

전하 불균형 효과를 고려한 Super Junction MOSFET 개발에 관한 연구

강이구^{1,a}

¹ 극동대학교 태양광공학과

Developing of Super Junction MOSFET According to Charge Imbalance Effect

Ey Goo Kang^{1,a}

¹ Department of Photovoltaic Engineering, Far East University, Eumseong 369-851, Korea

(Received July 24, 2014; Accepted September 1, 2014)

Abstract: This paper was analyzed electrical characteristics of super junction power MOSFET considering to charge imbalance. We extracted optimal design and process parameter at -15% of charge imbalance. Considering extracted design and process parameters, we fabricated super junction MOSFET and analyzed electrical characteristics. We obtained 600~650 V breakdown voltage, 224~240 mΩ on resistance. This paper was showed superior on resistance of super junction MOSFET. We can use for automobile industry.

Keywords: Super junction, N-pillar, P-pillar, On-resistance, Breakdown voltage, Trench angle, Power devices, Power MOSFET, Epi-layer

1. 서 론

SJ (super junction) MOSFET 구조는 기존의 플래너 (planar) 전력 MOSFET에 초접합 구조를 추가하여 온 저항을 획기적으로 낮춤으로써 현재 전력 반도체의 새로운 흐름을 창출하는 구조로서 집중적으로 연구되고 있는 중이다. 하지만 이 초접합 구조는 공정상으로 구현이 어렵기 때문에 현재 전 세계에서 일부 연구팀에서만 구현되고 있다.

a. Corresponding author; keg@kdu.ac.kr

Copyright ©2014 KIEEME. All rights reserved.
This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

현 전력 반도체 시장에서는 전기적인 특성 향상을 위한 연구가 계속 진행되고 있지만, 기본 물질인 실리콘을 기반으로 하고 있기 때문에 실리콘이 아닌 다른 물질을 사용하지 않는 이상 한계점에 도달할 수밖에 없다. 이러한 실리콘의 최대 한계 지점까지 온 상태 전압강하와 항복전압과의 트레이드오프 최대치를 극복하기 위하여 제안된 구조가 SJ MOSFET이다. 높은 농도의 N-pillar 영역에 P-pillar를 깊게 형성하여 낮은 온저항과 높은 항복전압을 얻을 수 있다. SJ MOSFET을 구현하는 방법에는 multi-Epi 공정과 trench filling 공정이 있다. Trench filling 공정은 multi-Epi 공정에 비해서 P-pillar의 내부에 결함(void)이 형성되기 쉽기 때문에 공정이 더 어렵지만 multi-Epi 구조에 비해 더 양호한 프로파일 (profile)

로 SJ MOSFET의 핵심인 전하 균형 (charge balancing)이 잘 이루어져 이로 인해 더 낮은 온 저항 특성과 높은 항복전압 값을 가질 수가 있다.

본 논문에서는 trench filling 공정을 이용함과 동시에 전하 균형 상태를 고려한 낮은 온 저항을 가진 SJ MOSFET을 구현하였으며, 특히 전하 균형 상태 조건에 따라 전기적인 특성 분석을 하였다. 이에 따른 최적의 공정 조건과 설계 변수를 도출하였다.

2. 실험 방법

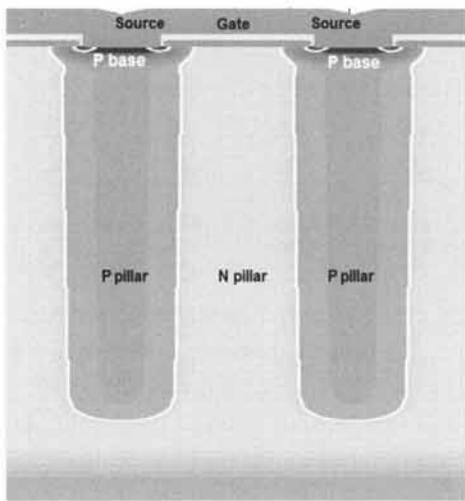


Fig. 1. The structure of SJ MOSFET for experiments.

그림 1은 시뮬레이션과 제작을 위한 SJ MOSFET의 구조를 나타내고 있다. 이러한 super junction 구조를 적용함으로써 수평적으로 형성된 P-N 접합에 의하여 소자 전 영역의 완전 공핍화가 가능하고, 그에 따라서 더욱 높은 항복전압을 얻을 수 있다.

하지만 이 구조가 성립되기 위해서는 N pillar 영역의 전하량과 P pillar 영역의 전하량이 동일한 전하 균형 상태에 있어야만 P 영역과 N 영역이 동시에 공핍화 되면서 최대의 항복전압 값을 가질 수 있게 되고, 그로 인하여 원하는 값보다 높은 항복전압만큼 N,P pillar 영역의 농도를 높이면서 온저항을 더 낮출 수 있다. 하지만 SJ MOSFET을 실제로 제작할 시에는 trench filling으로 P pillar 영역을 형성해줄 때 웨이퍼 전 영역에서 모두 균일한 trench가 생성되는 것이 아니기 때문에 전하 균형이 이루어지지 않는 구조

가 나올 수 있다. 이러한 구조들을 사용하지 못하게 된다면 전기적인 특성이 저하됨을 의미한다.

효율적인 전기적인 특성을 얻기 위해서는 전하 균형 상태의 변화에 대한 경향성을 파악하고 그에 따른 추가적인 전기적 특성 offset을 적용하여 설계를 하는 것이 필요하여 그림 1의 구조를 가지고 시뮬레이션을 수행하였다.

3. 결과 및 고찰

3.1 SJ MOSFET에서 전하 불균형 상태에 대한 고찰

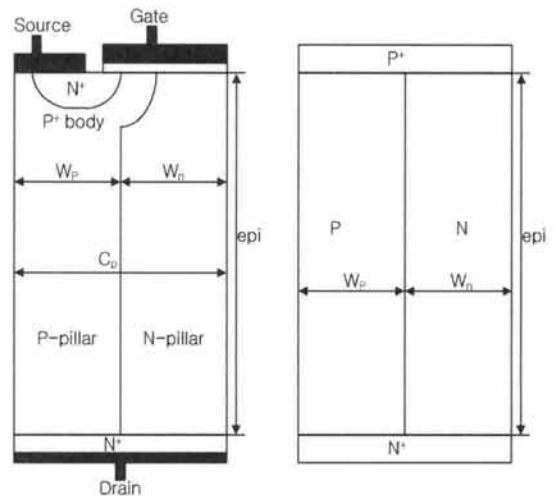


Fig. 2. The structure and drift layer of SJ MOSFET for charge imbalance.

그림 2는 전하 불균형 상태를 분석하기 위한 SJ MOSFET의 구조와 더불어 드리프트 층의 구조를 보여주고 있다. SJ MOSFET에서 N pillar 영역과 P pillar 영역 간의 전하 균형이 완벽하게 맞을 때 이론상으로 최대 항복전압을 가지게 된다. 그림과 같이 이상적인 초접합 구조에서는 W_p 와 W_n 가 동일한 값을 가질 때 최대의 항복전압이 얻어진다. 그러나 초접합 구조 상단에 MOSFET 구조가 형성되게 되면 작은 차이가 발생한다.

그림 3은 P pillar와 N pillar의 전하 불균형에 따른 SJ MOSFET의 항복전압 변화를 보여주고 있으며, 음의 방향일수록 P pillar 농도 우세, 양의 방향일수록 N pillar 농도 우세를 나타내고 있다.

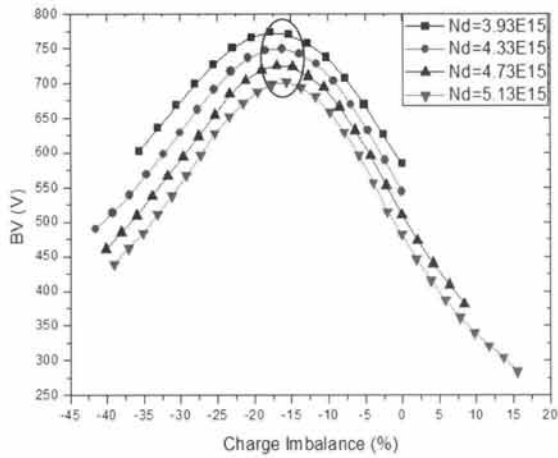


Fig. 3. The breakdown voltage characteristics of SJ MOSFET according to charge imbalance state.

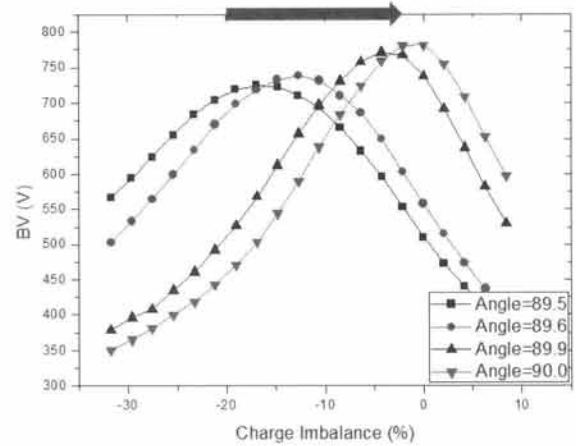


Fig. 5. The breakdown voltage characteristics of SJ MOSFET according to charge imbalance state and trench etch angle.

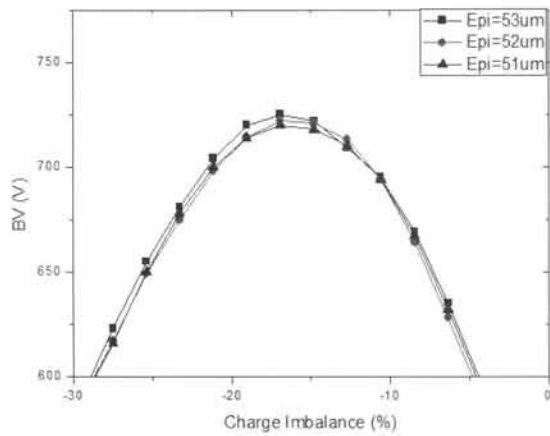


Fig. 4. The breakdown voltage characteristics of SJ MOSFET according to charge imbalance state and drift layer.

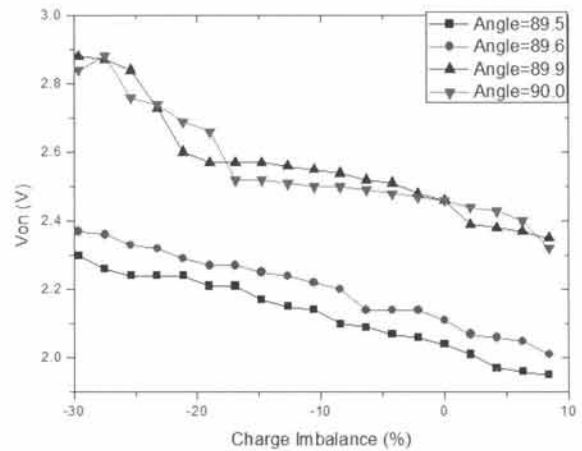


Fig. 6. The on state voltage characteristics of SJ MOSFET according to charge imbalance state and trench etch angle.

시뮬레이션 결과에서 보듯이 전하 균형 상태를 고 의로 들어서 이에 따른 항복전압의 변화를 확인해본 결과 P pillar 농도가 더 높은 -15% 전하 불균형에서 각 농도마다 최적점을 가지는 결과를 확인하였다. 기존 이론에 의하면 P pillar의 농도가 N pillar 대비 3% 우세할 때 항복전압의 최대치가 나타나야 하지만 본 연구 결과에서는 보다 더 큰 값의 P pillar 농도에서 최적점이 나타나는 결과를 얻게 되었다. 이는 기존 이론의 구조와 본 시뮬레이션 구조의 차이에서 기인된다고 판단된다. 2가지의 차이점을 발견할 수 있

었는데 첫 번째로 기존 이론의 구조는 PT (punch through) SJ MOSFET 구조인 반면 본 실험 구조는 공정마진을 고려하여 Non PT 구조로 형성하였기 때문에 이로 인한 전하 불균형 효과가 강화되어 불균형 차이가 발생한 것으로 판단하였다. 해당 차이를 확인 하기 위해 초집합 구조 하단의 N drift 영역의 길이를 감소시키면서 시뮬레이션을 진행하였다.

그림 4는 N-Drift 층의 농도는 $4.73 \times 10^{15} \text{cm}^{-3}$ 로 고 정한 후 N drift 영역의 길이를 65 um에서 50 um까

지 감소시키면서 특성 경향을 확인한 결과이다. 그림 4의 결과에서는 최적점의 전하 균형 값이 예상과는 다르게 거의 차이하지 않음을 알 수 있다. 이는 NPT 또는 PT SJ MOSFET의 구조상의 문제가 아니었다는 것을 확인할 수 있었다.

그림 5는 Trench 식각 각도를 89.5°, 89.6°, 89.9°, 90°로 하였을 때의 전하불균형에 따른 항복전압 특성을 보여주고 있다. 그림 5의 결과에서 알 수 있듯이 전하 불균형 파라미터를 변화시키지 않고서도 식각 각도에 따라서 점점 최적점이 0에 가까워지는 것을 확인할 수 있었다. 하지만 그림 6에서 확인할 수 있듯이 trench 각도에 따라서 온 저항도 같이 증가하는 경향을 확인할 수 있었기에 trench 식각 각도가 온 저항을 감소시키는 영향도 같이 주는 것을 확인할 수 있었다.

3.2 SJ MOSFET의 제작에 따른 전기적 특성에 대한 고찰

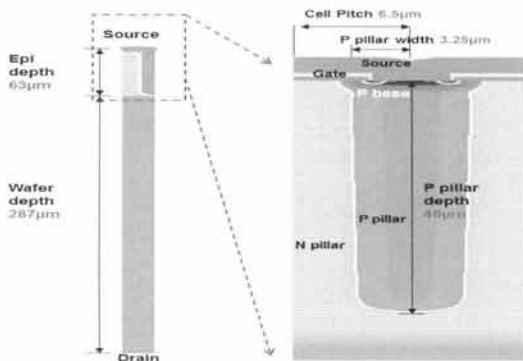


Fig. 7. The design parameters of SJ MOSFET for fabrication.

Table 1. The process parameters of SJ MOSFET for fabrication.

Region	Process condition	Region	Process condition
Wafer	0.018 Ωcm	N+	Dose 2E14 cm ⁻²
		Source	Energy 100 KeV
N pillar	Concentration 4.73×10 ¹⁵ cm ⁻³	P Base	Dose 6.5E13 cm ⁻² Energy 80 KeV
P pillar	Concentration 5.53E15 cm ⁻³	N JFET	Dose 4E11 cm ⁻² Energy 100 KeV
Aspect Ratio	1:15(Half Pitch)	Trench angle	89.5°
P+ base	Dose 5E12 cm ⁻² Energy 100 KeV		

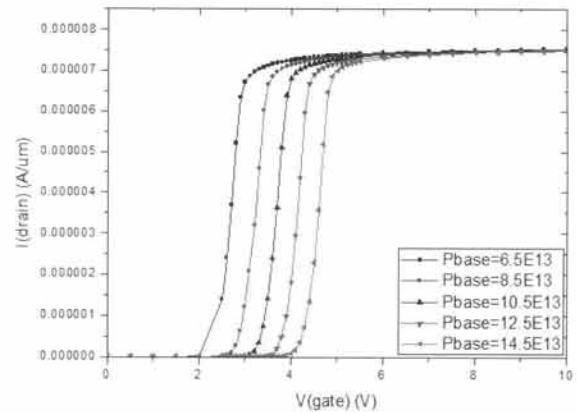


Fig. 8. The threshold voltage characteristics of SJ MOSFET according to p-base concentration.

Table 2. The breakdown voltage of SJ MOSFET according to threshold voltage.

P base dose (cm ⁻²)	BV (V)
6.5×10 ¹³	724
8.5×10 ¹³	723
10.5×10 ¹³	722
12.5×10 ¹³	721
14.5×10 ¹³	721

그림 7과 표 1에서 보여주는 것은 시뮬레이션을 통해 얻은 설계 및 공정파라미터에 의한 SJ MOSFET의 구조를 보여주고 있다.

그림 8은 p-base 농도에 따른 문턱전압의 변화를 나타낸 그래프이다. 그림에서 알 수 있듯이 p-base 농도가 14.5×10¹³ cm⁻²일 때, 4 V의 문턱전압을 갖는다. 표 1에서 알 수 있듯이, 그때의 항복전압은 721 V이다. 표 1은 p-base농도에 따른 항복전압의 변화를 보여주고 있다.

3.3 SJ MOSFET의 제작

그림 9는 trench filling 및 CMP 공정 이후 최종적인 SJ MOSFET의 SEM 사진을 보여주고 있는데, 최초의 설계한대로 핵심공정이 이루어진 것을 알 수 있다.

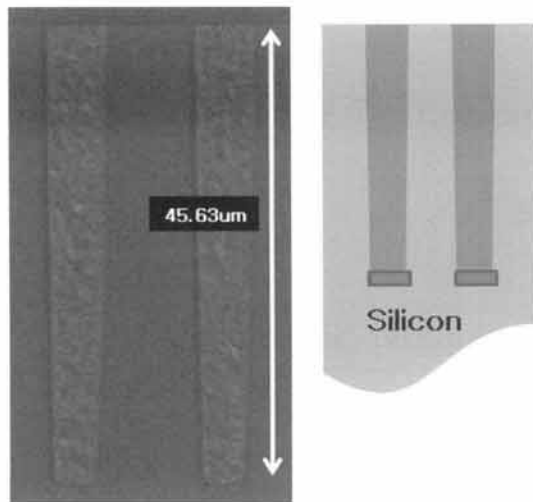


Fig. 9. The SEM image of SJ MOSFET after CMP process.

Table 3. The electrical characteristics of fabricated SJ MOSFET.

Evaluation contents	Unit	Value
Breakdown voltage	V	600~650
On-resistance	mΩ	225~240
Total gate charge	nC	12 ($I_D=0.5$ mA)
Turn off delay time	ns	28
I_{gss}	nA	≤ 120

표 3은 제작된 SJ MOSFET의 전기적 특성 값을 보여주고 있다. 항복전압은 600~650 V를 나타내고 있으며, 온저항은 224~240 mΩ으로 상당히 낮은 저항값을 보여주고 있어, 연구의 목표치를 충분히 달성할 수 있었다.

4. 결론

본 논문에서는 SJ MOSFET의 전하 불균형을 고려하였으며, 그에 따른 항복전압, 온 저항, 문턱전압의 변화의 특성을 살펴보았다. 전하 불균형 -15%에서 최적의 설계 및 공정 파라미터를 도출하였다.

도출된 설계 및 공정파라미터를 고려하여, SJ MOSFET을 제작한 다음 전기적 특성을 분석하였다. 제작된 소자의 항복전압은 600~650 V, 온 저항은 224~240 mΩ으로 측정되었다. SJ MOSFET의 핵심 특성인 온 저항은 우수한 특성을 보여주고 있으며, 향후 우수한 열 내성이 필요한 자동차 산업 및 이에 관련 산업의 핵심 부품으로 충분히 활용할 수 있는 것으로 판단된다.

REFERENCES

- [1] E. G. Kang and M. Y. Sung, *J. KIEEME*, 15, 758 (2002).
- [2] T. J. Nam, H. S. Chung, and E. G. Kang, *J. KIEEME*, 24, 713 (2011).
- [3] M. A. Paul and D. J. Bates, *Electronic Principles* (McGraw-Hill College, 2006)
- [4] E. Gates and L. Chartrand, *Introduction to Electronics, 4ed.* (Delmar, 2001)
- [5] S. S. Kyoung, J. H. Seo, Y. H. Kim, J. S. Lee, E. G. Kang, and M. Y. Sung, *J. KIEEME*, 22, 12 (2009).
- [6] H. S. Lee, E. G. Kang, A. R. Shin, H. H. Shin, and M. Y. Sung, *KIEE*, 7 (2006).
- [7] W. H. Hayt Jr., *Eng. Ineer. Ingelect. Romagnetics-7ed.* (McGraw-Hill, 2005)