

이온 주입과 기판 온도 효과에 의한 Al-1%Si 박막의 Hillock 형성 특성

최창억^{1,a}, 이용봉², 김정호³

¹ 한국전자통신연구원 나노융합센서연구실

² 한국전자통신연구원 부품소재연구부 연구협력팀

³ 국립한밭대학교 정보통신전문대학원 컴퓨터공학부

Characteristics of Hillock Formation in the Al-1%Si Film by the Effect of Ion Implantation and Substrate Temperature

Chang-Auk Choi^{1,a}, Yong-Bong Lee², and Jeong-Ho Kim³

¹ Nano Convergence Sensor Research Section, ETRI, Daejeon 305-700, Korea

² Convergence Components & Materials Research Laboratory, ETRI, Daejeon 305-700, Korea

³ Department of Computer Engineering, Dean of Graduate School of Information & Communication, Hanbat National University, Daejeon 305-719, Korea

(Received October 2, 2013; Revised November 15, 2013; Accepted November 22, 2013)

Abstract: As packing density in integrated circuits increases, multilevel metallization process has been widely used. But hillock formed in the bottom layers of aluminum are well known to make interlayer short in multilevel metallization. In this study, the effects of ion implantation to the metal film and deposition temperature on the hillock formation were investigated. The Al-1%Si thin film of 1 μm thickness was DC sputtered with substrate (SiO_2/Si) temperature of 20°C, 200°C, and 400°C, respectively. Ar ions ($1 \times 10^{15} \text{ cm}^{-2}$; 150 keV) and B ions ($1 \times 10^{15} \text{ cm}^{-2}$, 30 keV, 150 keV) were implanted to the Al-Si thin film. The deposited films were evaluated by SEM, surface profiler and resistance measuring system. As a results, Ar implanting to Al-Si film is very effective to reduce hillock size in the metal deposition temperature below than 200°C, and B implanting to an Al-Si film is effective to reduce hillock density in the high temperature deposition conditions around 400°C. Line width less than 3 μm was free of hillock after alloying.

Keywords: Al-1%Si, Hillock, DC sputtered, Metallization

1. 서 론

반도체 소자의 집적도 및 기능이 증대됨에 따라 칩 내에서의 전기적 배선을 위한 금속선의 점유 면적이 상대적으로 커지게 되므로, 칩의 이용 면적과 기능을 높이고자 다층배선 구조에 의한 소자의 제작 및 연구가 이루어지고 있다. 다층배선 기술은 실리콘 산화막 (SiO_2), 질화막 (Si_3N_4) 등의 절연체를 사용하여 하층 금속선과 상층 금속선을 상호 연결시키는 기술이다.

a. Corresponding author; cachoi@etri.re.kr

다층배선 기술의 중요한 공정 기술은 양질의 절연막 형성, 금속박막의 힐록 (Hillock) 발생 감소, 표면 평탄화 기술 및 금속선의 저항을 줄이는 것 등으로 집약된다 [1-4].

현재 이러한 배선 기술 중 배선 재료로서의 알루미늄 (Al) 사용 한계는 electromigration 등의 단점을 줄이기 위하여 합금 Al과 장벽 금속 박막을 사용할 경우, 선폭이 $1\ \mu\text{m}$ 정도로 보고 있으며, Al의 electromigration 현상으로 현재는 Cu 공정을 통해 진행되어지고 있으나 Cu 재료만으로 공정을 진행하기에는 Cu 막의 특성상 빠른 산화현상으로 다시, 주배선 재료로서 변화될 수 있을 것으로 판단된다 [5]. 그러나 Al은 실리콘과의 열팽창계수 차이가 커서 합금 처리 후 힐록 발생으로 인한 절연막의 유전 파괴, 포토 공정 결함 등은 소자의 신뢰성에 많은 영향을 끼친다.

본 논문에서는 Al-1%Si 재료를 반도체 소자의 배선 재료로 사용할 경우 힐록에 의한 공정 결합률을 줄이고자 Al의 스퍼터링 증착 시 기판의 온도 변화와 금속박막에 이온 주입을 한 후, 합금 열처리 시 생성되는 힐록 양상을 각 조건에 따라 비교 검토하였다. 박막의 패턴을 확인하기 위해 SEM을 사용하였고, 표면의 상태를 알아보고자 surface profile을 사용하였으며, 저항 값을 측정하기 위해 4-point probe를 이용하였다.

2. 실험 방법

2.1 시편 제작 및 순서

본 실험에 이용한 기판은 비저항 $30\text{--}50\ \Omega\text{cm}$, 결정면 (100), 5인치 웨이퍼로서 붕소로 도핑된 기판을 이용하였다. 금속 형성을 위한 스퍼터링 재료는 일반적으로 집적회로 제작 시 많이 사용된 Al-1%Si 타겟으로 순도 99.999%의 것으로 이용하였다.

실험을 진행하기에 앞서 세정 작업을 진행하였다. 세정 작업은 100°C 정도의 $\text{H}_2\text{SO}_4\text{:H}_2\text{O}_2=4:1$ 혼합 용액과 Di wafer에서 10분간 담가 진행 후 스핀 드라이를 이용하여 5분간 건조 처리를 진행하였다. 산화막 두께는 $100\ \text{nm}$ 를 증착하였다. 실험에 필요한 금속 박막을 증착하기 위해 Varian사의 Mi-3180을 이용하였으며, 공정 시 진공도는 $6\ \text{mTorr}$, DC power는 $9.6\ \text{kW}$ 로 하여 Al-1%Si 박막을 증착시켰으며, 이때 실리콘 기판의 온도를 각각 상온, 200°C 및 400°C 로 구분하여 실시하였다.



Fig. 1. Process sequence of the sample.

증착 두께는 모두 $1\ \mu\text{m}$ 로 고정하고 증착하였다. 이온 주입원은 붕소 (B) 및 아르곤 (Ar)을 사용하였으며, 이용한 장비는 Eaton사의 NV-6200이었다. 이온 주입량은 B 및 Ar 모두 $1\times 10^{15}\ \text{cm}^{-2}$ 으로 하고, 주입 에너지는 Ar은 $150\ \text{keV}$, B은 $30\ \text{keV}$ 으로 하였다. 이때 웨이퍼는 이온 주입 시 Al 박막의 온도 상승에 의한 자체 어닐링 현상을 배제하기 위하여 웨이퍼 표면에 수소 퍼지에 의한 웨이퍼 냉각을 하였고, 이온 주입선에 대한 웨이퍼의 경사각은 0° 로 하였다. 본 실험에서 시편 제작을 위한 공정 순서는 그림 1을 보면 알 수 있다.

2.2 측정 방법

본 실험에서 Al-Si 금속선의 모양 및 기판의 요철에 따른 웨이퍼를 기판으로 하여 그림 2와 같은 간단한 패턴을 사용하였고, 금속선의 선폭에 따른 저항 및 힐록 변화 상태를 조사하기 위하여 선폭은 $10\ \mu\text{m}$, $5\ \mu\text{m}$, 그리고 $3\ \mu\text{m}$ 으로 하여 제작하였다.

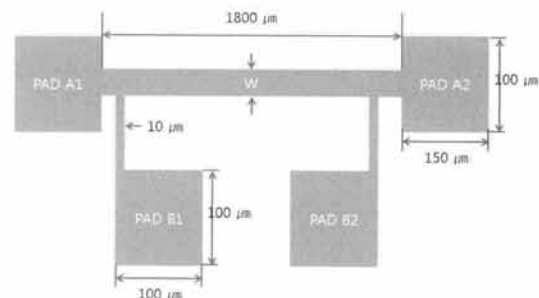


Fig. 2. Test pattern of the this work.

패드 A1과 A2는 DC 전류 공급용으로 패드 B1과 B2는 전압 측정용 패드로 하여 금속선 길이 1,780 μm 에 대한 저항값을 측정하였다. 저항 및 선폭 측정은 시료 웨이퍼 각 공정 조건 따라 웨이퍼의 시험 패턴 10개 석에 대한 평균값과 표준 편차를 얻었다. 금속선의 선폭 측정은 그림 2의 각 패턴에 대하여 선폭 측정 장비 (nanometrics)를 사용하였으며, 선폭의 가장자리 감지 문턱 값을 70%로 측정하였다. 또한, 금속선의 저항 측정은 그림 2의 패드 A1과 A2에 DC 전류를 흘리고 패드 B1과 B2에서 측정되는 전압값에 의한 선저항을 측정하였다. 이때 이용된 장비로는 DC power supply (628A, HP Co.), parameter analyzer (4145B, HP Co.) 및 probe station (AP-4, Karl suss Co.) 등을 사용하였다. 웨이퍼의 표면 관찰은 SEM (S-800, Hitachi Co.)을 이용하였으며, 패드 부위 전체에 대한 힐록 발생 정도는 현미경을 dark-field로 하여 관찰하였다. 또한, 합금 처리 후 Al-1%Si 박막의 두께 및 표면 요철 정도는 surface profiler (α -step 300, Tencor Co.) 장비를 사용하였다.

3. 결과 및 고찰

3.1 금속선 저항값 변화

440 $^{\circ}\text{C}$ 에서의 합금 처리한 Al-1%Si 박막의 면저항은 상온 증착의 경우 0.04 Ω/\square , 200 $^{\circ}\text{C}$ 증착 박막은 0.038 Ω/\square , 400 $^{\circ}\text{C}$ 증착 박막은 0.037 Ω/\square 로 측정되었고, Ar 및 B 주입에 따른 면저항값의 변화는 없었다. 그러나 금속선의 선폭이 작을수록 스퍼터링 증착 시 기판 온도 상승에 의한 저항 측정값은 높아지는 경향을 나타내었다. 그림 3(a)는 선폭 8.5 μm 에 대한 금속선 저항값으로 기판의 온도가 400 $^{\circ}\text{C}$ 일 때 측정 저항값이 계산값에 약간 근접함을 보여주고 있다. 그림 3(b)는 금속선 선폭이 3.5 μm 경우 실제 선폭에 대비되는 저항 측정값은 기판의 온도가 200 $^{\circ}\text{C}$ 및 400 $^{\circ}\text{C}$ 로 상승함에 따라 예상 저항값에 근접하는 경향을 나타내고 있다. 이는 그림 3(a)의 8.5 μm 선저항 경우와 비슷한 결과로서 선폭이 작을수록 기판 온도 상승에 대한 합금 처리 후 선저항 값이 상대적으로 높다. 그림 3(c)는 금속선 선폭이 1.5 μm 의 경우이다. 실제 선폭 측정 장치에 대비되는 선저항값은 기판 온도가 증가할수록 합금 처리 후의 측정값이 예상치를 상회하는 값으로 측정되었으며, 기판 온도가 400 $^{\circ}\text{C}$ 일 때는

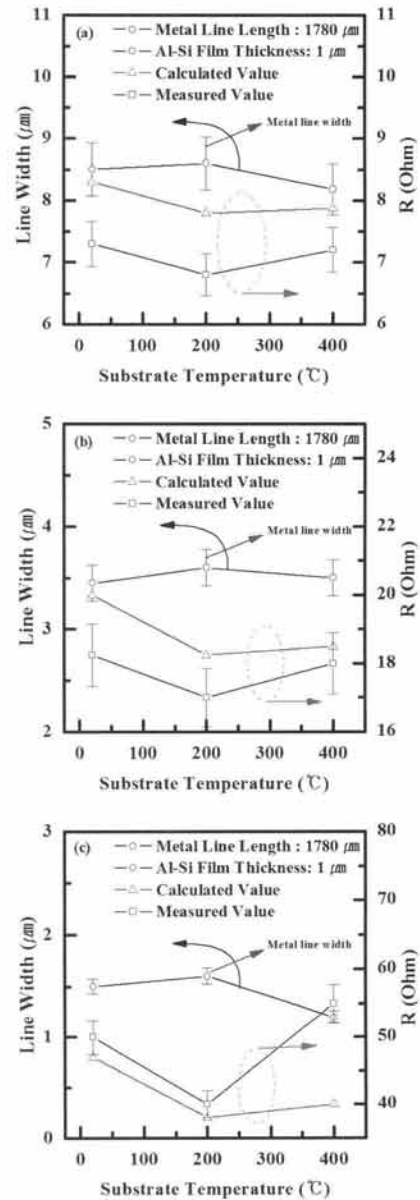


Fig. 3. Line width and line resistance versus substrate temperature after alloying. (a) 8.5 μm , (b) 3.5 μm , and (c) 1.5 μm .

예상 저항값 보다 33% 정도나 높은 값으로 측정되었다. 그림 3(c)는 (a) 및 (b)의 저항 변화와 같은 경향을 나타내고 있다. 이는 합금 열처리 시 금속 표면의 Al_2O_3 산화막이 형성되어 실제 전하 이동 통로의 단면적이 상대적으로 줄어드는 현상으로 생각된다. 또한 증착 온도가 높아짐에 따라 금속의 grain size가 커지는데, grain size가 클수록 금속 박막의 두께 손실은 산화에 의해서 증대되는 것으로 생각된다.

3.2 힐록 형성

금속 증착 시 기판의 온도 및 이온 주입에 의한 힐록 상태를 관찰하기 위하여 1) 기판 온도 상승에 따른 증착 금속의 grain size를 크게 하는 것과 2) 박막 표면에 손상을 주는 방법 및 3) 박막 내부에 이온 주입을 하는 방법을 선택하였다. 1)에 대한 방법은 Al-1%Si 박막 증착 시 기판 온도를 상온 (20℃), 200℃ 및 400℃로 하고, 2)에 대한 방법은 Ar을 150 keV에서, B를 30 keV에서 각각 이온 주입을 행할 때, Al 표면에 대한 Rp (projected range)는 약 120 nm로 하였다. 3)에 대한 방법은 B를 150 keV에서 이온 주입을 행하여 Rp는 약 600 nm가 되게 하였다.

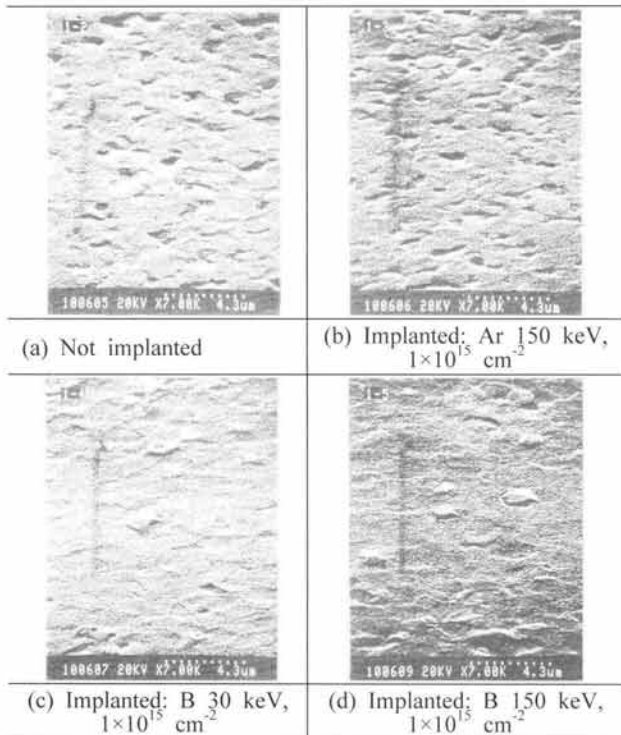


Fig. 4. Effect of ion implantation on Al-Si after alloying (Sub. Temp. 200℃).

그림 4는 스퍼터링 시 기판 온도를 상온으로 하고 합금 처리를 한 패드의 표면 사진으로 이온 주입을 하지 않은 그림 4(a)와 Ar을 금속 표면에 이온 주입한 그림 4(b)에서 표면이 부분적으로 함몰된 것 같은 양상을 나타낸다. 이는 상온 증착 시 금속 조직 내 voids에 의한 밀도 결함이 합금 열처리 시 금속 이온의

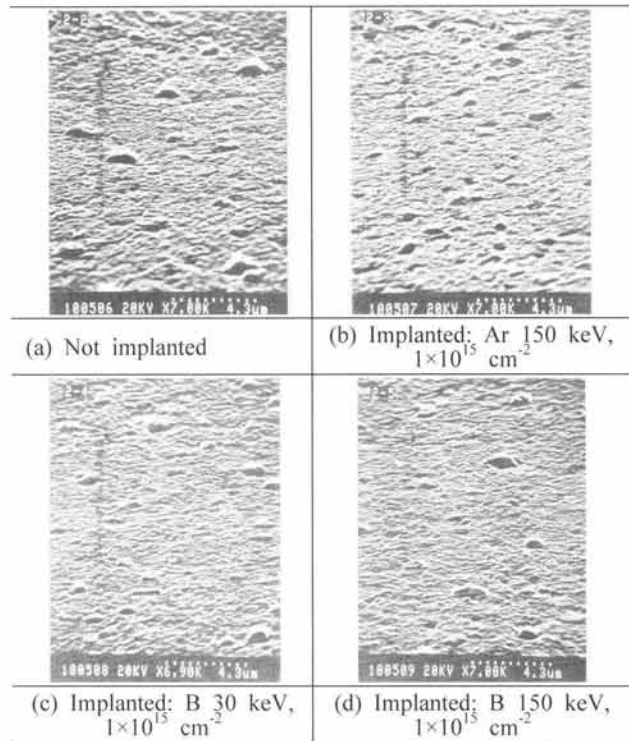


Fig. 5. Effect of ion implantation on Al-Si after alloying (Sub. Temp. 200℃).

재결정 과정에 의해 발생하는 것으로 생각된다.

그림 4(c)와 (d)의 B 이온 주입일 경우 함몰된 양상은 보이지 않으나 반석모양의 비교적 크고, 높이가 낮은 힐록이 관찰되었다. 이는 Al 박막의 표면 및 내부에 주입된 B 이온이 합금 처리에 의한 금속 재결정 과정에서 voids 및 입계면의 내부 결함을 메워주는 효과가 있는 것으로 생각된다 [5,6].

그림 5는 기판 온도 200℃에서 증착하고 합금 처리를 한 것으로 그림 5(a) 경우 이온 주입을 아니한 표면은 1.4 μm 이상 크기의 힐록이 다수 형성되었고, 그림 5(b)의 Ar 이온 주입 경우 힐록 생성 개수는 증가하나 크기가 1 μm 이하의 것이 발생됨을 보았다. 또한, 그림 5(c) 및 (d)의 B 이온을 주입한 경우 1.4 μm 이상 크기의 힐록이 관찰되나 이온 주입을 안한 표면보다 개수가 적어짐을 보였다. 따라서 Ar 이온 주입을 통한 표면 damage 효과는 alloy 시 힐록의 크기를 작게하는 효과가 있는 것으로 생각된다.

그림 6은 기판 온도를 400℃에서 증착하여 합금 처리를 한 것으로 표면은 기판 온도 20℃ 및 200℃ 증착보다 더욱 거칠어 졌다. 이온 주입을 아니한 그림

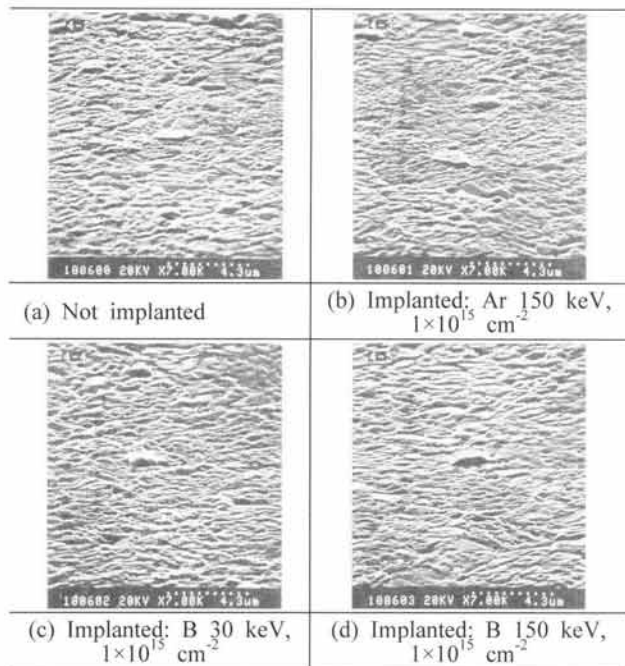


Fig. 6. Effect of ion implantation on Al-Si after alloying (Sub. Temp. 400°C).

6(a)와 Ar 이온 주입을 한 그림 6(b)에선 비교적 큰 반석 모양의 힐록이 나타남을 보였고, B이온을 주입한 그림 6(c) 및 (d)에서 큰 돌출 형태의 힐록 생성됨을 보였으나, 시편 전체에서 1.4 μm 이상의 크기를 갖는 돌출 형태의 힐록 생성 밀도는 기판 온도 200°C 경우보다 감소하였다. 따라서 기판 온도 400°C에서 증착한 경우는 이온 주입에 의한 변화가 별로 나타나지 않고 힐록 크기가 커져가는 양상을 보였다.

3.3 금속선과 어닐링 힐록

그림 7은 금속선의 선폭별로 본 힐록 생성 차이를 나타내었다. 그림 7(a)의 1.5 μm 선폭을 갖은 금속선 및 그림 7(b)의 선폭 3 μm 금속선에서 합금 처리 후 금속선 표면에 힐록이 생성되지 않았다. 그림 7(c)의 경우 8.5 μm 선폭의 금속선과 1.5 μm 선폭의 금속선에서 서로 교차되는 형태로서 8.5 μm 선폭이 금속선에서 힐록이 발생됨을 보이나 1.5 μm 선폭의 금속선에선 힐록이 발생되지 않았다. 이는 금속 선폭이 작을수록 합금 열처리 시 금속 박막의 내부적으로 받는 응력이 적어 힐록 생성을 감퇴시키는 것으로 보인다. 또한, 선폭이 1 μm 정도의 금속선은 열처리 후 금속 입계면

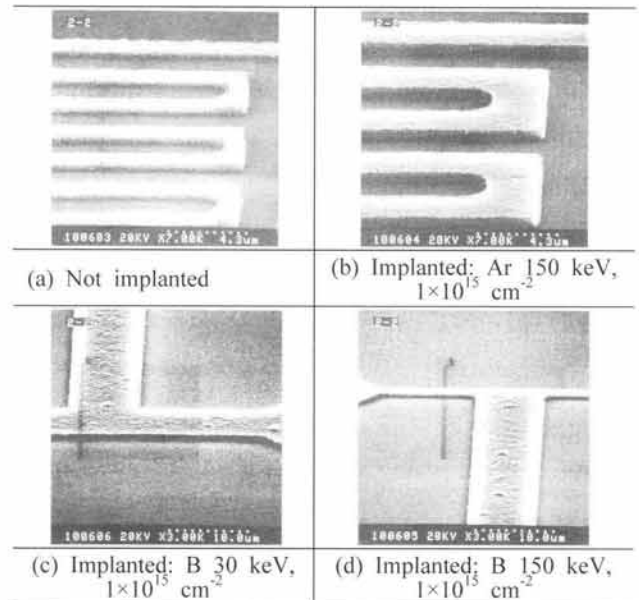


Fig. 7. Hillock formation according to line-width variation for Al-1%Si film (thickness: 1 μm).

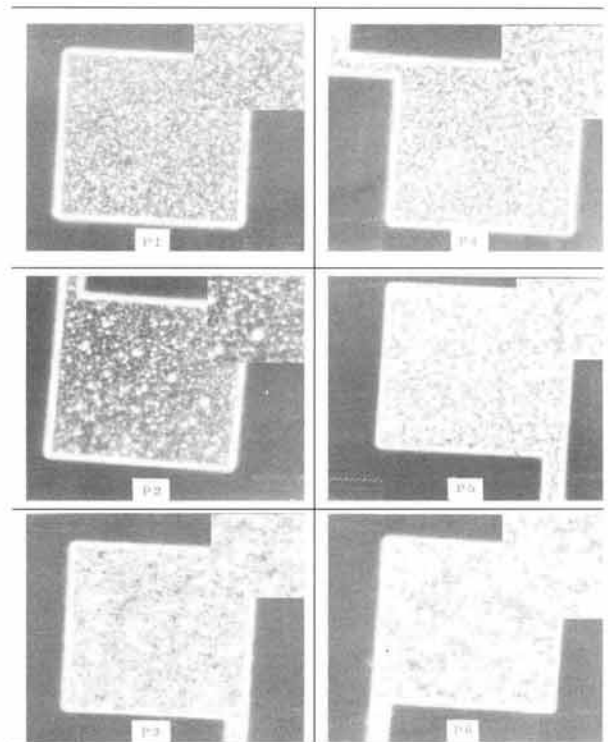


Fig. 8. Comparison of PAD hillocks after alloying. (a) not implanted, Sub. Temp. P1: 20°C, P2: 200°C, and P3: 400°C, (b) implanted: Ar 150 keV, $1 \times 10^{15} \text{ cm}^{-2}$, Sub. Temp. P4: 20°C, P5: 200°C, and P6: 400°C.

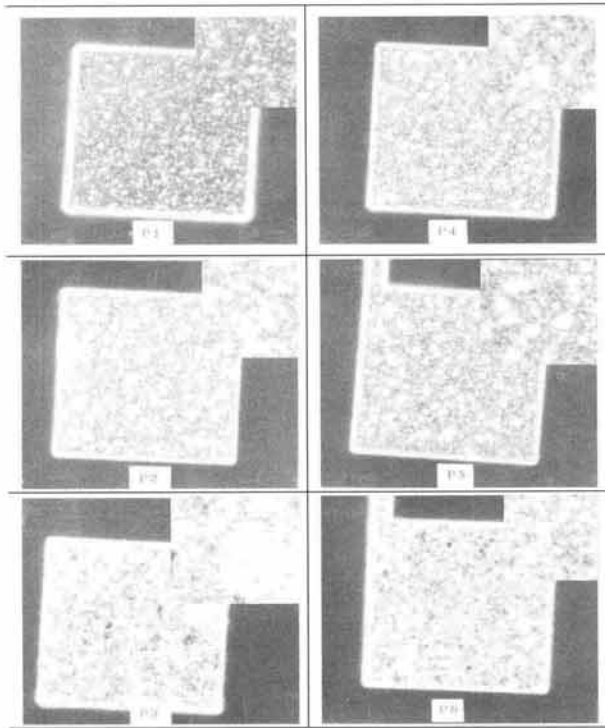


Fig. 9. Comparison of PAD hillocks after alloying. (a) implanted: B 30 keV, $1 \times 10^{15} \text{ cm}^{-2}$, Sub. Temp. P1: 20°C, P2: 200°C, and P3: 400°C, (b) implanted: B 150 keV, $1 \times 10^{15} \text{ cm}^{-2}$, Sub. Temp. P4: 20°C, P5: 200°C, and P6: 400°C.

변화에 따른 bamboo 형태의 구조적인 변화를 보였고 힐록이 발생되지 않는다는 보고와 본 실험의 선폭에 따른 힐록 발생 경향은 같은 결과를 보였다 [5].

그림 8과 9는 각각 합금 처리 후 패드 (크기: $100 \times 100 \mu\text{m}$)의 표면 상태를 현미경을 통하여 배율 200 배로 촬영한 것이다. 그림 8의 (a)에서 P1, P2 및 P3는 이온 주입을 하지 않고, (b)에서 P4, P5, 및 P6은 Ar 이온 주입한 것으로 증착 시 기판 온도별로 대비하였다. 그림에서 Ar이 주입된 패드는 같은 기판 온도의 이온을 주입하지 않은 패드보다 힐록이 나타나고 있으나 크기가 작게 보이는 것을 확인할 수 있다 [7].

그림 9의 (a)에서 P1, P2, 및 P3는 B 이온을 30 keV에서 이온 주입을 행하고, (b)에서 P4, P5, 및 P6은 B 이온을 150 keV에서 이온 주입을 한 후 합금 열처리를 행한 것으로 각 기판 온도별로 대비하였다. 그림에서 B 이온 주입 일 경우 150 keV에서 이온 주입을 한 그림 (b) 그룹의 패드가 30 keV에서 이온 주입을 한 사진 (a) 그룹의 패드보다 힐록 생성이 감소

하였으며, 기판 온도가 400°C 경우 더욱 효과적이었다. 따라서 B 이온 주입은 주입 에너지가 높을수록 즉, Al-Si 박막 내부에 온도가 클수록 힐록 감소에 효과적인 방법으로 생각된다.

4. 결론

Al-1%Si 금속박막 증착 시 기판 온도 및 이온 주입에 따른 합금 열처리 후의 힐록 특성을 요약하면 다음과 같다.

1. 산화막 100 nm 두께의 실리콘 웨이퍼 기판 상에 Al-1%Si 박막 증착 시 기판 온도 20°C 및 200°C에서 Ar 이온 주입을 한 시료는 이온 주입을 하지 않은 시료 및 B 이온을 이온 주입한 시료보다 금속 표면이 평탄함을 보여 힐록이 생성되지 않았다.

2. Al-1%Si 박막 증착 시 기판 온도가 400°C 경우 B 이온의 금속 bulk 내 이온 주입 효과는 Ar이온의 금속 표면에 이온 주입을 한 것보다 높이 200 nm 이상에서 힐록 감소에 더욱 효과적이었다.

3. Al-1%Si 금속선의 선폭이 작을수록, 그리고 증착 시 기판 온도가 높을수록 합금 열처리 후 금속선 저항값은 상대적으로 증가하였다.

4. 금속선의 선폭이 3 μm 이하에서는 합금 열처리 후 힐록이 생성되지 않았다.

이상의 결과를 종합하면 Al-1%Si을 금속 재료로 사용하는 집적회로의 금속 증착 시, 기판 온도를 200°C 정도로 하고 이온 주입에 의한 금속 표면에 damage를 준 후 합금 열처리를 행하는 것이 집적회로 소자의 공정 신뢰성을 더욱 향상시킬 수 있는 방법으로 생각된다.

REFERENCES

[1] G. C. Schwartz, *ULSI Sci. & Tech.*, 493 (1987).
 [2] A. Singh, *J. Vac. Sci. Tech.*, B3, 923 (1985).
 [3] T. J. Faith, C. P. Wu, *Appl. Phys. Lett.*, 45, 470 (1984).
 [4] T. Y. Lee, K. N. Tu, and D. R. Frear, *J. Appl. Phys.*, 90, 4502 (2001).
 [5] M. Zaborowski, P. Dumania, *Microelectro. Eng.*, 50, 301 (2000).
 [6] T. Takalokastari, S. J. Jung, D. D. Lee, and W. Y. Chung, *IEEE Transactions on Ultrasonics, Ferroelectrics and Frequency Control*, 52, 911 (2005).