

Native- V_{th} MOSFET을 이용한 셀프-캐스코드 구조의 아날로그 성능 분석

이대환¹, 백기주¹, 하지훈¹, 나기열², 김영석^{1,a}

¹ 충북대학교 반도체공학과

² 충북도립대학 반도체전자전공

Analog Performance Analysis of Self-cascode Structure with Native- V_{th} MOSFETs

Dae-Hwan Lee¹, Ki-Ju Baek¹, Ji-Hoon Ha¹, Kee-Yeol Na², and Yeong-Seuk Kim^{1,a}

¹ Department of Semiconductor Engineering, Chungbuk National University, Cheongju 361-763, Korea

² Department of Semiconductor Electronics, Chunbuk Provincial College, Okcheon 363-806, Korea

(Received July 2, 2013; Revised July 8, 2013; Accepted July 9, 2013)

Abstract: The self-cascode (SC) structure has low output voltage swing and high output resistance. In order to implement a simple and better SC structure, the native- V_{th} MOSFETs which has low threshold voltage(V_{th}) is applied. The proposed SC structure is designed using a qualified industry standard 0.18- μm CMOS technology. Measurement results show that the proposed SC structure has higher transconductance as well as output resistance than single MOSFET. In addition, analog building blocks (e.g. current mirror, basic amplifier circuits) with the proposed SC structure are investigated using by Cadence Spectre simulator. Simulation results show improved electrical performances.

Keywords: Self-cascode, Native- V_{th} MOSFET, Analog circuit

1. 서론

지속적으로 발전되는 CMOS (complementary metal-oxide-semiconductor) 공정을 이용하는 아날로그 회로 설계에 있어서, 높은 출력 저항을 갖는 캐스코드 구조는 아날로그 증폭기의 이득을 높이기 위해서 일반적으로 사용된다. 그러나 배터리 사용 시간을 지속시키기 위한 저전압, 저전력 회로에 대해서는 일반적인 캐스코드

구조의 아날로그 회로는 문턱전압과 출력 전압 스윙으로 사용이 제한된다. 이 문제를 해결하기 위한 회로가 고안되고 있는데, 그 중 하나가 셀프-캐스코드 (self-cascode) 구조이다 [1]. 셀프-캐스코드 구조는 단일 MOSFET과 비슷한 드레인-소스 전압을 가지므로 출력 전압 스윙의 제한이 없고, 단일 MOSFET보다 높은 출력 임피던스를 가진다. 그러므로 셀프-캐스코드 구조를 사용하여 아날로그 증폭기 설계 시 높은 전압 이득을 얻을 수 있고, 출력 전압 스윙이 일반적인 캐스코드 구조보다 증가하게 된다.

본 논문에서는 산업체에서 널리 활용되고 있는 0.18- μm 표준 CMOS 공정에서 기본적으로 제공하는 문턱전압 (V_{th})이 낮은 Native- V_{th} MOSFET 소자를 이용하여 셀

a. Corresponding author; kimys@cbnu.ac.kr

프-캐스코드 구조를 설계하였고, 단일 MOSFET과 셀프-캐스코드 구조의 트랜스컨덕턴스 (g_m)와 출력 저항 (r_{out})을 비교하여 특성을 분석하였다. 그리고 제안하는 셀프-캐스코드 구조를 이용하여 전류 거울, 공통-소스 증폭기, 공통-드레인 증폭기, 2단 연산 증폭기와 같은 기본적인 아날로그 회로를 설계하였다. 설계된 회로들의 성능 분석은 회로 시뮬레이터인 Cadence사의 Spectre를 이용하였다.

2. 실험 방법

2.1 셀프-캐스코드 구조

셀프-캐스코드(SC) 구조는 일반적인 캐스코드 구조보다는 낮은 드레인-소스 전압 ($V_{OD} = V_{GS} - V_{th}$)을 가지고, 단일 MOSFET보다 높은 출력 임피던스를 가지는 장점이 있다. 그림 1은 일반적인 SC 구조와 단일 MOSFET을 나타낸다.

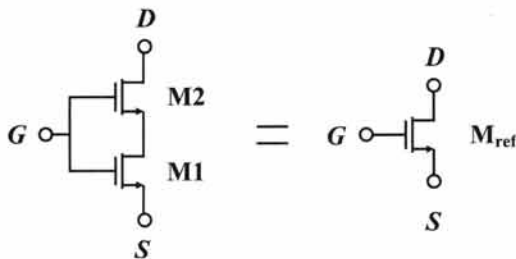


Fig. 1. Self-cascode structure.

SC 구조는 r_{out} 을 증가시키기 위해 다음과 같은 방법들이 사용된다. 첫 번째 방법은 M1과 M2의 채널 폭과 길이 비율(W/L)을 조절하는 방법이 있다 [2].

$$\frac{\beta_2}{\beta_1} \geq \frac{n^2}{(n-1)^2}, \quad n = 1 + \gamma / (2\sqrt{2\Phi_F + V_{SB}}) \quad (1)$$

여기서 $\beta = \mu_n C_{ox} W/L$, $\gamma =$ 바디 효과 인자 (body effect factor)이다. 드레인쪽 MOSFET M2가 소스쪽 MOSFET M1에 비하여 훨씬 큰 W/L 비율을 갖게 되면, 식 (1)의 조건을 만족한다. 하지만 원하는 수준의 r_{out} 을 얻기 위해서는 두 MOSFET의 W/L 비율이

상당히 커져야 하므로, 면적 소모가 큰 것이 단점이다.

또 다른 방법은 M2의 문턱전압(V_{th})을 M1의 V_{th} 보다 작게 하는 것이다 [3-5].

$$V_{th2} < V_{th1} \quad (2)$$

위와 같이 최적의 전류와 게이트 바이어스 전압이 주어진다면, SC 구조의 출력 저항은 최대로 된다. 두 번째 방법에서 V_{th} 를 낮추기 위한 방법으로는 먼저 정방향 바디 전압을 인가할 수 있는데, 이 경우 바디 전압을 인가하기 위한 추가 회로가 필요하다. 그리고 n형 MOSFET (NMOS)인 경우 기판의 접지와 바디 전압이 분리되어야 하므로 deep n-well이 제공되는 triple-well 공정이나 일반적으로 사용되는 실리콘 기판이 아닌 SOI (silicon on insulator) 기판을 이용하여 분리된 well을 형성 후, 다른 바디 전압을 인가하여야 한다 [6]. 또 다른 방법은 문턱전압 조절 이온주입 공정을 추가하여 V_{th} 를 다르게 할 수 있으나, 앞에서 언급한 모든 방법은 제조비용이 증가하는 단점이 있다.

2.2 제안하는 셀프-캐스코드 구조

본 논문에서는 그림 1의 M2를 $0.18\text{-}\mu\text{m}$ 표준 CMOS 공정에서 기본적으로 제공하는 Native- V_{th} NMOS를 이용한 SC 구조를 제안하였다. 제안하는 SC 구조의 공정 완료 후의 단면도는 그림 2와 같고, Native- V_{th} NMOS는 p-well이 형성되지 않아서 V_{th} 가 거의 0 V이다. 제안하는 SC 구조를 사용하면 위에서 언급한 추가 공정 또는 특수한 SOI 기판이 필요한 단점을 보완할 수 있다.

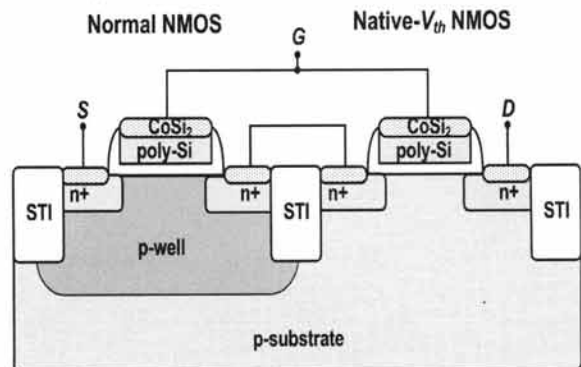


Fig. 2. Cross sectional view of the proposed self-cascode structure.

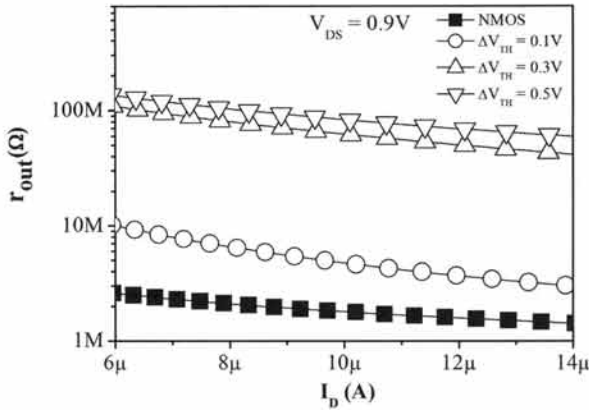


Fig. 3. Output resistance characteristics of SC structures with various ΔV_{th} as a function of drain current.

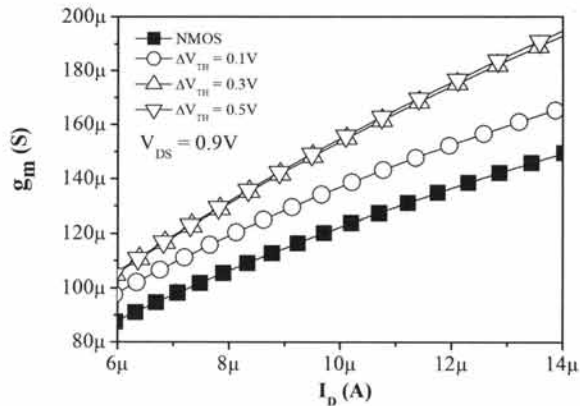


Fig. 4. Transconductance characteristics of SC structures with various ΔV_{th} as a function of drain current.

제안하는 SC 구조의 M1의 채널길이 L_1 과 M2의 채널 길이 L_2 는 $0.5 \mu\text{m}$ 이고, 두 채널 길이의 합 ($L_1 + L_2$)은 기준이 되는 단일 NMOS M_{ref} 의 채널 길이 $L_{ref} = 1.0 \mu\text{m}$ 와 같다. 실험에서 사용한 모든 NMOS의 채널 폭 $W = 4.0 \mu\text{m}$ 로 동일하다. 제안하는 SC 구조에서 M1의 V_{th} 는 0.5 V 이고, M2인 Native- V_{th} NMOS의 V_{th} 는 0 V 이다. 그러므로 두 NMOS의 문턱전압 차이 (ΔV_{th})는 0.5 V 이다.

그림 3에서는 단일 NMOS와 여러가지 ΔV_{th} 를 갖는 SC 구조의 출력 저항을 Cadence사의 회로 시뮬레이터 spectre를 이용하여 모의 실험한 결과이다. 실험을 위하여 설계한 회로의 바이어스 전류 (I_{BIAS}) $10 \mu\text{A}$ 를 기준으로 확인하였다. ΔV_{th} 가 클수록 r_{out} 이 증가하는 것을 볼 수 있다.

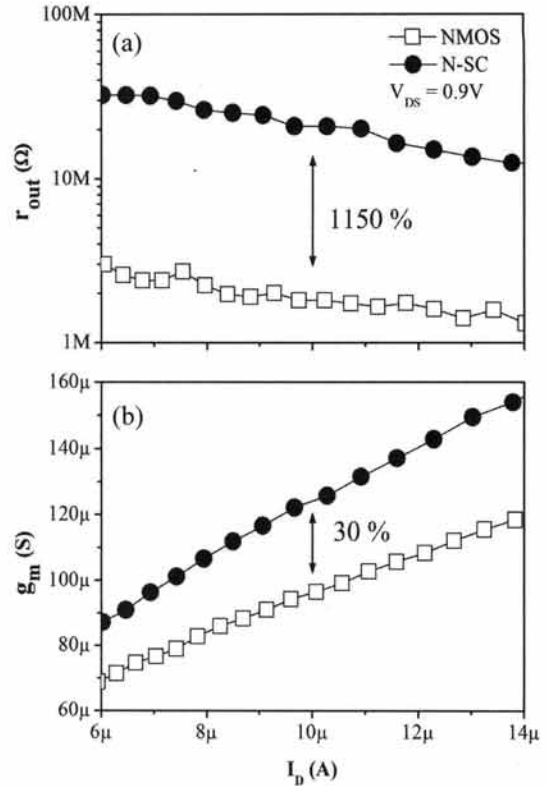


Fig. 5. Measured analog parameters of the proposed SC (a) r_{out} (b) g_m .

그림 4에서는 그림 3과 같은 방식으로 ΔV_{th} 에 따른 g_m 특성을 모의 실험한 결과이다. 결과를 보면 g_m 도 r_{out} 과 같이 ΔV_{th} 에 따라 증가하지만 $\Delta V_{th} = 0.3 \text{ V}$ 이상일 때는 g_m 이 크게 증가하지 않는 것을 확인할 수 있다.

제안하는 SC 구조의 ΔV_{th} 는 0.5 V 이므로, 그림 3과 4의 결과로 보면 회로에 적용 가능한 수준으로 판단된다. 특히 제안하는 SC 구조에서, Native- V_{th} NMOS는 낮은 기판 농도 ($\sim 10^{15}/\text{cm}^3$)로 인하여 농도 편차에 의한 V_{th} 변화율이 p-well의 농도 ($\sim 10^{17}/\text{cm}^3$) 변화에 의한 V_{th} 변화율보다 작을 것으로 예상되고, 표준 공정에서는 p-well이 안정된 V_{th} 를 유지하므로 제안하는 SC 구조도 안정된 ΔV_{th} 를 유지할 수 있을 것으로 판단된다.

그림 5는 단일 NMOS와 제안하는 SC 구조(N-SC)의 r_{out} 과 g_m 으로, Agilent사의 반도체 파라미터 분석기 4156C로 측정된 결과이다. $V_{DS} = 0.9 \text{ V}$ 일 때, 전류에 따른 r_{out} 과 g_m 을 확인하였다. 그림 5(a)의 r_{out} 의 경우 앞서 모의 실험 결과와 유사하게 단일 NMOS보다 증가하는 것

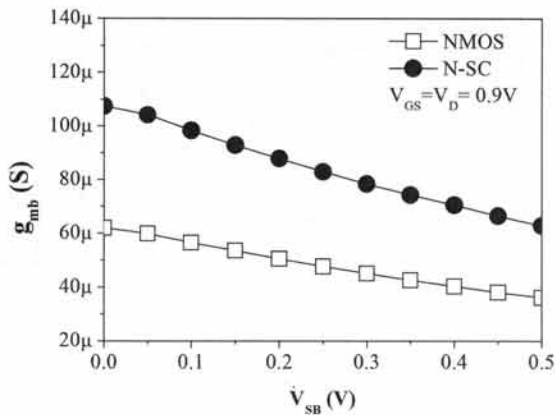


Fig. 6. Measured body transconductance versus body voltage.

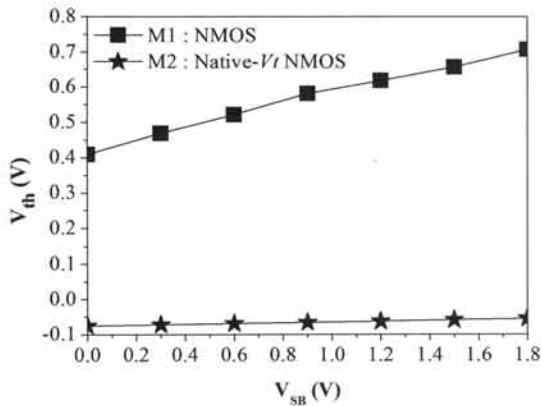


Fig. 7. Threshold voltage versus body voltage.

을 확인할 수 있고, 그림 5(b)의 g_m 의 경우 전류가 증가할수록 N-SC의 g_m 이 단일 NMOS보다 향상되는 것을 확인할 수 있다.

$I_{BIAS} = 10 \mu A$ 를 기준으로 비교해 보면, N-SC의 r_{out} 과 g_m 이 단일 NMOS보다 각각 1150%, 30% 향상되었다. 모의 실험에서 예상한 대로 N-SC가 단일 NMOS보다 향상된 특성을 갖는다.

그림 6은 단일 NMOS와 N-SC의 소스-바디 전압 (V_{SB})에 따른 바디 트랜스컨덕턴스 ($g_{mb} = \Delta I_D / \Delta V_{SB}$)를 측정 한 결과이다. 측정 방법은 V_{GS} 와 V_{DS} 는 동일하게 0.9 V를 인가하여, V_{SB} 에 따른 전류를 측정하였다. 결과를 보면, N-SC의 g_{mb} 가 단일 NMOS의 g_{mb} 보다 큰 것을 확인할 수 있다. g_{mb} 가 크면 캐스코드 구조의 증폭기나 공통-드레인 증폭기의 이득 향상에 제한을 줄 수 있지만

[7], 저전압 바디 입력 차동 증폭기의 경우는 g_{mb} 가 커지면 이득이 커지는 장점이 있다 [8]. g_{mb} 가 크다는 것은 V_{SB} 변화에 따른 전류 변화량이 크다는 것을 의미한다.

그림 7은 N-SC구조를 구성하는 단일 NMOS와 Native- V_{th} NMOS의 V_{SB} 에 대한 문턱전압의 변화를 나타낸 그래프이다. V_{SB} 가 증가함에 두 소자의 ΔV_{th} 가 증가하므로 그림 4에서 언급한 ΔV_{th} 에 따른 셀프-캐스코드 구조의 특성을 볼 때, N-SC의 g_{mb} 가 큰 이유는 V_{SB} 에 따라 전류 변화가 단일 NMOS보다 더 크기 때문이다. 제안하는 SC 구조와 단일 NMOS의 off상태 ($V_G = V_S = V_B = 0$ V) 누설전류 측정 결과 $V_D = 1.8$ V일 때 약 3 pA로 유사하게 측정되었다. 그러나 제안하는 SC 구조에서 높은 V_{th} 를 갖는 M1의 채널길이 L_1 이 작은 경우에는 누설전류가 증가할 것으로 예상된다. 제안하는 SC 구조와 유사한 원리를 가지는 소자인 LAC (lateral asymmetric channel) MOSFET인 경우에 L_1 이 작은 경우 높은 누설전류를 보였다 [9]. 적절한 r_{out} 을 위해서 최소 채널 길이보다 크게 사용할 것이므로 누설전류 문제는 크지 않을 것으로 예상된다.

3. 결과 및 고찰

3.1 전류 거울 성능 비교

그림 8은 단일 NMOS와 N-SC로 각각 전류 거울 (CM)을 구성하여 Cadence사의 회로 시뮬레이터 Spectre를 이용하여 모의 실험하였다. 동일한 전원전압 (V_{DD})는 1.8 V, 동일한 전류 레벨 10 μA 에서 $V_{out} = 0.9$ V일 때, N-SC는 단일 NMOS보다 r_{out} 이 약 10배 향상됨으로써 단일 NMOS로 보다 이상적인 전류원이 가능하고, 또한 이상적인 능동 부하 (active load)를 구성할 수 있을 것으로 보인다.

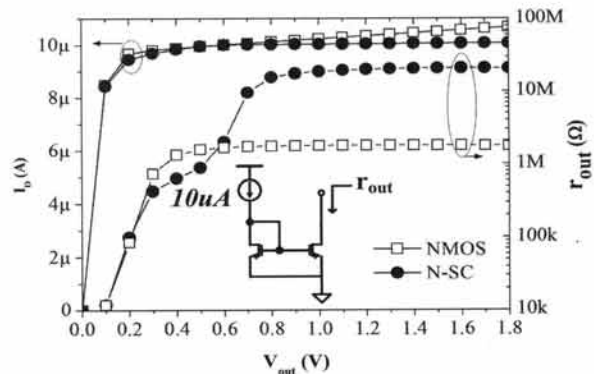


Fig. 8. Output characteristics of current mirror.

3.2 공통-소스 증폭기 성능 비교

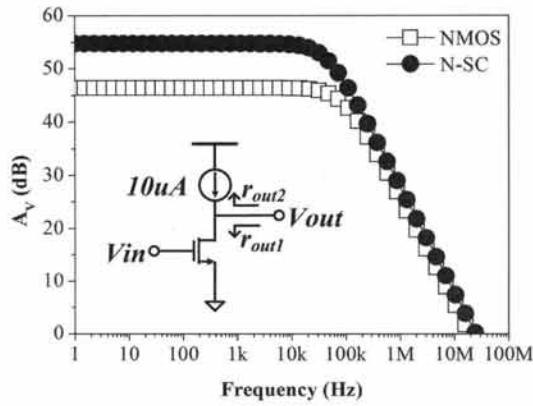


Fig. 9. Frequency response of common-source amplifier.

그림 9는 공통-소스 증폭기 (CS AMP)를 단일 NMOS와 N-SC를 사용하여 주파수에 따른 전압 이득 (A_V)을 모의 실험한 결과이다. V_{DD} 는 1.8 V, I_{BIAS} 는 동일하게 10 μ A를 인가하였다. 부하 커패시터 (C_L)는 15 pF이다. CS AMP의 전압 이득과 -3dB 주파수에 관한 식은 (3), (4)와 같다.

$$A_V = g_m (r_{out1} \parallel r_{out2}) \quad (3)$$

$$w_{-3dB} = \frac{1}{R_S [C_{GS} + C_{GD} (1 + A_V)]} \quad (4)$$

R_S = 입력 전압원 등가 저항

N-SC가 단일 NMOS보다 g_m 과 r_{out} 이 향상되므로 전압 이득이 높은 것을 알 수 있고, 단일 NMOS를 이용한 CS AMP보다 약 8.4 dB 증가한 것을 확인할 수 있다. 반면에 밀러 효과에 의한 -3dB 주파수도 높아진 A_V 로 인하여 낮아진 것을 식 (4)와 그림 9의 모의 실험 결과에서 확인할 수 있다.

3.3 공통-드레인 증폭기 성능 비교

그림 10은 공통-드레인 증폭기 (CD AMP)를 단일 NMOS와 N-SC를 사용하여 모의 실험한 결과이다. V_{DD} 는 1.8 V, I_{BIAS} 는 동일하게 10 μ A를 인가하였다. C_L 은 15 pF이다. CD AMP의 전압 이득과 -3dB 주파수에 관한 식은 (5), (6)과 같다.

$$A_V = \frac{g_m}{g_m + g_{mb}} = \frac{1}{1 + \eta}, \quad (\eta = \frac{g_{mb}}{g_m}) \quad (5)$$

$$w_{-3dB} = \frac{1}{R_S [C_{GD} + C_{GB} + C_{GS} (1 - A_V)]} \quad (6)$$

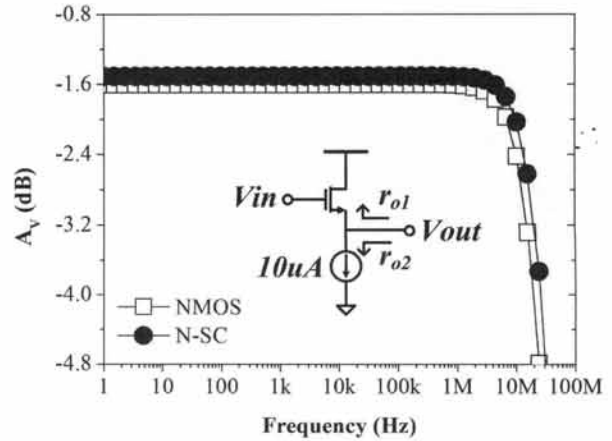


Fig. 10. Frequency response of common-drain amplifier.

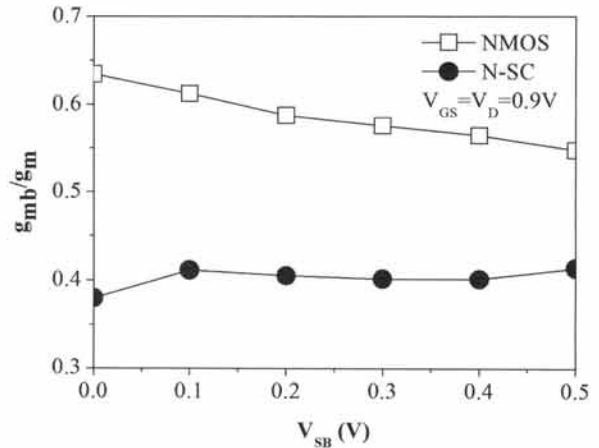


Fig. 11. g_{mb}/g_m versus body voltage.

R_S = 입력 전압원 등가 저항

식 (5)를 보면 전압 이득에 영향을 주는 인자가 g_{mb} 와 g_m 의 비율인 η 임을 알 수 있다. CD AMP에서 전압 이득이 N-SC가 단일 NMOS보다 약 0.1 dB 차이로 유사하다. 그림 6의 바디 트랜스컨덕턴스로 예상한 결과와 다른 것을 확인할 수 있다. 그러므로 단일 NMOS와 N-SC의 V_{SB} 에 대한 g_{mb} 와 g_m 비율을 추가로 모의 실험하여 확인하였다.

그림 11은 단일 NMOS와 N-SC의 V_{SB} 에 대한 g_{mb} 와 g_m 비율 ($g_{mb}/g_m = \eta$)을 모의 실험한 결과이다. 그림 6에서 N-SC의 g_{mb} 가 단일 NMOS보다 크지만, g_{mb} 와 동시에 N-SC의 g_m 도 향상되기 때문에, η 가 단일 NMOS보

다 작은 것을 확인할 수 있다. 그러므로 CD AMP에서의 전압 이득과 -3dB 주파수에 대해서 크게 차이가 나지 않았다.

3.4 2단 연산 증폭기 성능 비교

그림 12는 기본적인 2단 연산 증폭기 (OP-AMP) 회로이다. 이 회로에서 첫 번째 단의 차동 입력단과 전류원에 단일 NMOS만 적용한 OP-AMP와 N-SC를 적용한 OP-AMP를 설계하여 성능의 차이를 비교해 보았다. V_{DD} 는 1.8 V, 첫 번째단 I_{BIAS} 는 10 μ A를 인가하고, C_L 은 15 pF, 주파수 보상 저항 (R_Z) 및 커패시터 (C_C)는 각각 35 k Ω , 1.3 pF이다.

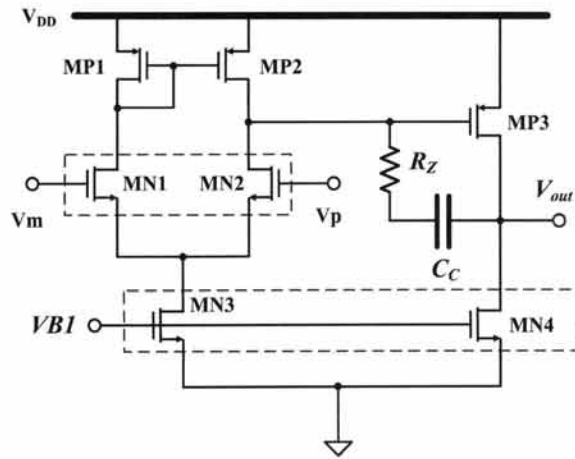


Fig. 12. Circuit diagram of two-stage operational amplifier.

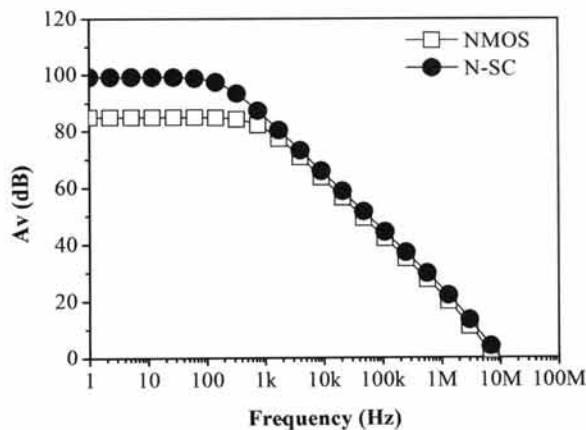


Fig. 13. Frequency response of operational amplifier.

Table 1. Comparison of basic analog circuit performance.

Item	NMOS	N-SC	Improvement
Supply Voltage	1.8 V	1.8 V	
CM r_{out}	1.77 M Ω	17.6 M Ω	894%
CS AMP A_v (Freq.=10 Hz)	46.4 dB	54.8 dB	163%
CD AMP A_v (Freq.=10 Hz)	-1.6 dB	-1.5 dB	1%
OP-AMP A_v (Freq.=10 Hz)	85 dB	99 dB	400%

그림 13은 OP-AMP의 주파수에 따른 전압 이득 모의 실험 결과이다. N-SC로 구성된 OP-AMP는 단일 NMOS로만 구성된 OP-AMP보다 전압 이득이 15 dB 증가되었고, -3dB 주파수는 감소된 것을 확인할 수 있다. 이는 N-SC에 의해서 첫 번째 단의 g_m 향상과 두 번째 단의 r_{out} 향상에 따른 결과임을 식 (7), (8)과 앞서 언급한 제안하는 SC구조의 특성을 통해 확인할 수 있다.

$$A_v = (g_{m.MN2}R_1)(g_{m.MP3}R_2) \quad (7)$$

$$\omega_{-3dB} \approx \frac{1}{g_{m.MN2}R_1R_2C_C} \quad (8)$$

$$R_1 = r_{o.MN2} \parallel r_{o.MP2}, R_2 = r_{o.MN4} \parallel r_{o.MP3}$$

표 1은 지금까지 논의되었던 단일 NMOS와 N-SC를 이용한 기본적인 아날로그 회로의 성능을 비교한 표이다. 제안하는 N-SC의 향상된 g_m 과 r_{out} 으로 인하여 아날로그 회로의 성능을 향상시키는 것을 확인할 수 있다.

4. 결론

저전압 아날로그 회로의 높은 출력 저항을 위해 주로 사용되는 셀프-캐스코드 구조에서, 설계와 제조 공정에서 유리한 Native- V_{th} MOSFET 소자를 이용하여 구성된 셀프-캐스코드 구조를 제안하였다. 단일 MOSFET과 제안하는 구조의 주요 아날로그 파라미터인 출력 저항과 트랜스컨덕턴스를 비교했을 때, 제안하는 구조의 특성이 향상됨을 측정 결과로 확인하였다. 그러나 바디 트랜스컨덕턴스는 증가하였다. 제안하는 셀프-캐스코드 구조로 전류 거울 및 공통-소스, 공통-드레인 증폭기와 2단 연

산 증폭기와 같은 기본적인 아날로그 회로를 구성하여 모의 실험으로 비교 분석하였다. 제안하는 셀프-캐스코드 구조의 향상된 출력 저항으로 인하여 전류 거울은 출력 저항이 향상되었고, 공통-소스 증폭기와 연산증폭기는 전압 이득이 향상되었다. 증가된 바디 트랜스컨덕턴스는 공통-드레인 증폭기의 전압 이득을 제한할 것으로 예상했으나 향상된 트랜스컨덕턴스로 인하여 전압 이득의 감소는 없었다. 제안하는 셀프-캐스코드 구조는 표준 CMOS공정을 이용하는 아날로그 회로의 성능 향상에 도움이 될 것으로 예상된다.

감사의 글

이 논문은 2011년도 정부 (교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업임 (2011-0006764).

REFERENCES

- [1] S. S. Rajput and S. S. Jamuar, *IEEE Circuits and Systems Mag.*, 2, 24 (2002).
- [2] C. G-Montoro, M. C. Schneide, and I. J. B. Loss, *J. of Solid State Circuits*, 29, 1094 (1994).
- [3] R. Castello, A. G. Grassi, and S. Donati, *IEEE J. of Solid-State Circuits*, 25, 669 (1990).
- [4] I. Fujimori and T. sugimoto, *IEEE J. of Solid-State Circuits*, 33, 1863 (1998).
- [5] M. T. Sanz, S. Celma, B. Calvo, and D. Flandre, *IEE Proc.-Circuits Devices Syst.*, 153, 461 (2006).
- [6] K. J. Baek, J. M. Gim, H. S. Kim, K. Y. Na, N. S. Kim, and Y. S. Kim, *Electron. Letts.*, 49, 591 (2013).
- [7] R. J. Baker, *CMOS Circuit Design, Layout, and Simulation*, 3rd ed. (John Wiley & Sons, New Jersey, 2010) p.287.
- [8] J. M. Gim, D. H. Lee, K. J. Baek, K. Y. Na, and Y. S. Kim, *J. KIEEME*, 26, 278 (2013).
- [9] K. J. Baek, J. K. Kim, Y. S. Kim, and K. Y. Na, *Trans. Electr. Electron. Mater.*, 11, 1 (2010).