

500 V 급 Planar Power MOSFET의 P 베이스 농도 변화에 따른 설계 및 특성 향상에 관한 연구

김권제^{1,2}, 강예환¹, 권영수^{2,a}

¹ ㈜파워솔루션

² 동아대학교 나노공학과

A Study About Design and Characteristic Improvement According to P-base Concentration Charge of 500 V Planar Power MOSFET

Gwon Je Kim^{1,2}, Ye Hwan Kang¹, and Young-Soo Kwon^{2,a}

¹ Powersolution Incorporated, Pohang 790-784, Korea

² Department of Nano Engineering, Dong-A University, Busan 604-714, Korea

(Received March 4, 2013; Revised March 6, 2013; Accepted March 24, 2013)

Abstract: Power MOSFETs(Metal Oxide Semiconductor Field Effect Transistor) operate as energy control semiconductor switches. In order to reduce energy loss of the device during switch-on state, it is essential to increase its conductance. We have experimental results and explanations on the doping profile dependence of the electrical behavior of the vertical MOSFET. The device is fabricated as 8.25 μm cell pitch and 4.25 μm gate width. The performances of device with various p base doping concentration are compared at V_{th} from 1.77 V to 4.13 V. Also the effect of the cell structure on the on-resistance and breakdown voltage of the device are analyzed. The simulation results suggest that the device optimized for various applications can be further optimized at power device.

Keywords: Power MOSFET, V_{th} , BV, R_{on} , Pbase dose

1. 서 론

전력반도체 소자는 자동차, 전철 등의 교통기기에
 서부터 사무기기, 통신기기, 사무용품, 가전제품, 휴대
 기기 등 전력 조정 및 출력단 제어가 필요한 모든 전
 자제품에 사용되는 매우 중요한 반도체 소자이다. 다
 양한 분야에서 사용되고 있는 전력반도체는 고전압

고전류를 제어하는 전기적 스위치 역할을 하는 반도
 체 소자로서 전력전자산업이 발달함에 따라 그 중요
 성이 점점 높아지고 있다. 특히 최근 에너지 절감과
 관련된 기술들이 큰 화두로 떠올라 전력반도체 분야
 에서도 에너지 절감을 위한 노력이 이루어지고 있다
 [1]. 그 중 power MOSFET은 높은 입력 임피던스
 및 빠른 스위칭 특성으로 모바일기기, 가전제품, 사무
 기기뿐만 아니라 미래 자동차인 전기 자동차에도 전
 기적 에너지 제어를 위해 필수적이다 [2]. 앞서 언급한
 에너지절감, 즉 power MOSFET의 특성 향상을 위해
 서는 높은 항복전압을 확보하는 동시에 좋은 전도도를
 갖도록 설계해야 한다. 하지만 이 두 가지 특성은

a. Corresponding author: yskwon@dau.ac.kr

trade-off 관계를 가지므로 동시에 만족시키기 어렵다 [3]. 본 연구에서는 집적도 향상을 위해 셀 크기를 줄이는 500 V급 power MOSFET을 설계하고 시제품을 제작하여 trade-off 전기적 특성을 분석하였다.

2. 실험 방법

2.1 Power MOSFET 전도도 특성 개선 원리

2.1.1 Power MOSFET의 항복전압

항복전압은 power MOSFET의 오프 상태 유지 능력을 나타내는 중요한 전기적 특성으로, 수식 (1)에 의해 도출된다 [4].

$$\text{Breakdown Voltage} = \int_0^{\text{Depletion Length}} E(y) dy \quad (1)$$

항복전압은 역방향 바이어스 된 MOSFET의 PN 접합에서, 공핍층에 인가되는 전기장의 넓이이다. PN 접합에서의 공핍층의 길이는 N-드리프트 영역의 도핑농도에 반비례하므로 도핑농도가 높을수록 MOSFET의 항복전압이 낮아짐을 알 수 있다.

2.2 Power MOSFET의 저항 성분

Power MOSFET의 switch-on 상태에서의 전력 손실은 정격전류에서의 전압 강하량으로 생각할 수 있다. 전압강하는 power MOSFET이 switch-on 상태에서 전류를 통할 때 반도체 소자 내의 저항에 의한 강하이다. 즉, switch-on 상태 전압강하는 반도체 소자에서 각 영역의 저항 성분으로 분석할 수 있다. 이를 수식으로 표현하면 식 (2)와 같다 [5].

$$R_{on} = R_{N+} + R_{CH} + R_A + R_J + R_D + R_S \quad (2)$$

위의 저항 중 switch-on 상태 전압강하에 영향을 미치는 저항은 R_J 와 R_D 이다. R_J 는 JFET 영역의 저항으로, planar gate MOSFET에서 P 베이스 사이의 전류 통과 영역이다. 이러한 JFET 영역은 온 상태에서 역방향 전압이 인가되어 P 베이스와 N-드리프트 접합에 형성되는 공핍층의 확장에 의해 면적이 변한다. 따라서 이 지역의 저항은 공핍층 크기에 따라 변하고, 그 면적에 따라 식 (3)과 같이 나타낼 수 있다.

$$R_{J,sp} = \frac{\rho_D(L_G + 2m)(X_p + W_0)}{(L_G - 2X_p - 2W_0)} \quad (3)$$

R_D 는 N-드리프트 영역의 저항이다. 면적을 고려한 드리프트 영역의 저항은 식 (4)와 같이 표현된다.

$$R_{D,sp} = \frac{\rho_D(L_G + 2m)}{2} \ln\left(\frac{L_G + 2m}{L_G - 2X_p - 2W_0}\right) + \rho_D(t_d - m - X_p - W_0) \quad (4)$$

이 저항들은 식 (3)과 (4)에서 나타낸 것처럼, N-드리프트 영역의 저항률과 관계된 저항이므로, 각 영역의 도핑 농도에 의해 정해진다. 그리고 N-드리프트 영역의 도핑 농도가 높을수록 저항은 작아지고 전도도 특성은 우수해져 에너지가 절감된다 [6,7].

3. 결과 및 고찰

3.1 최적화 설계 및 제작

3.1.1 500 V급 planer power MOSFET 최적화 설계

Table 1. Final 500 V planer power MOSFET parameter for simulation.

Parameter	Condition
Cell Pitch	8.25 μm
Gate width	4.25 μm
Epi Thickness	46 μm
P base Depth	3.25 μm
Substrate Thickness	320 μm
Resistivity	13 Ωcm
P+ Source dose	2.8e13 cm^2 Energy 120 KeV
P Base dose	4.5e13 cm^2 Energy 100 KeV
N JFET dose	1e12 cm^2 Energy 100 KeV
N+ Source dose	1.2e15 cm^2 Energy 100 KeV

본 연구에서는 공정 시뮬레이터인 TSUPREM4와 디바이스 분석 시뮬레이터인 MEDICI를 이용하여 8.25 μm 의 셀 크기를 갖는 500 V급 planer power MOSFET의 전기적 특성을 확인하기 위하여 시뮬레

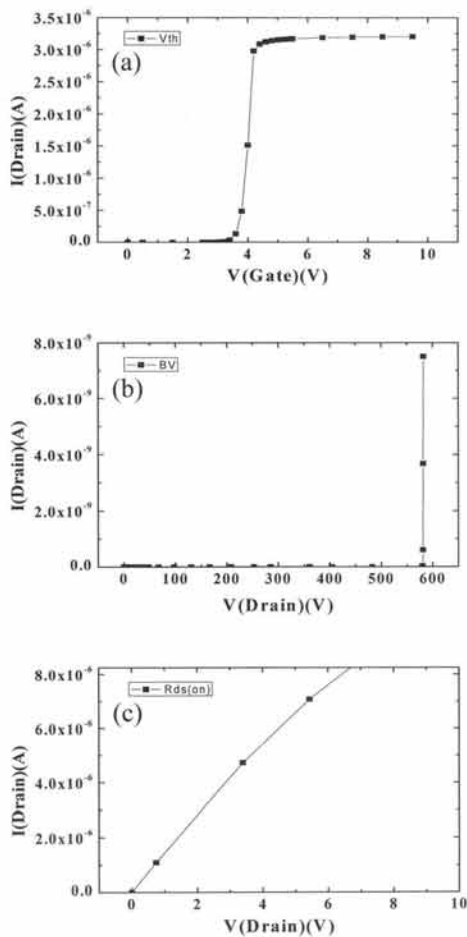


Fig. 1. Threshold voltage, breakdown voltage, on resistance optimization planar power MOSFET. (a) V_{th} , (b) BV, (c) $R_{ds(on)}$.

Table 2. Threshold voltage, breakdown voltage, on resistance optimization planar power MOSFET.

V_{th}	BV	$R_{ds(on)}@100\text{ A}$
3.62 V	580 V	0.066 Ω

이션을 진행하였다. 그 결과 500 V급 이상의 항복전압과 3.5 V의 문턱전압을 갖는 구조를 도출하였고 설계 파라미터 값은 표1에 나타내었고, 전기적 특성 결과는 그림 1과 표 2에 각각 나타내었다.

3.2 집적도 향상을 위한 500 V급 planar power MOSFET 최적화 설계

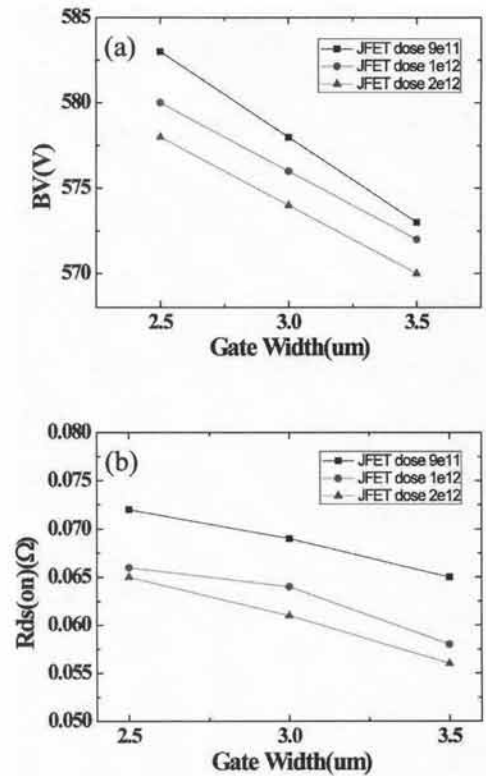


Fig. 2. The electrical characteristics according to gate width and JFET dose. (a) BV, (b) $R_{ds(on)}$.

최적화된 500 V급 planar power MOSFET의 구조에서 집적도 향상을 위해 Epi thickness와 resistivity를 동일하게 고정시킨 후 셀 크기를 8.25 μm 에서 6 μm 로 감소시켜 동일한 전기적 특성을 갖는 시뮬레이션을 진행하였다. 셀 크기가 감소한 만큼 게이트 크기 또한 감소하기 때문에 최적의 값을 도출하기 위해 gate width와 JFET dose를 변화시켜 시뮬레이션을 진행하였으며 그에 따른 특성을 분석하였다. Gate width가 줄어들수록 JFET영역의 저항이 크게 증가하는 결과를 얻었다. 또한 농도가 증가할수록 온 저항은 감소하지만 항복전압도 감소하는 것을 알 수 있었다. 그에 따른 특성분석 결과를 그림 2에 나타내었다. 위와 같은 공정 변수들 간의 관계를 고려하여 gate width 2.5 μm 의 결과를 얻었다. 또한 JFET dose 1e12 cm^{-2} 로 설정하여 500 V급 planar 소자의 시뮬레이션을 완료하였다.

소자의 채널 형성에 관련 있는 P base dose 실험을 위해 dose를 1e15 cm^{-2} 에서 5e15 cm^{-2} 까지 변화시켜 설계 시뮬레이션을 진행하였다.

Table 3. The electrical characteristics according to P base dose.

P Base dose(cm^2)	Vth(V)
1e13	1.77
2e13	2.58
3e13	3.17
4e13	3.66
5e13	4.13

Table 4. Final 500 V planar power MOSFET parameter for simulation.

Parameter	Condition
Cell Pith	6 μm
Gate width	2.5 μm
Epi Thickness	46 μm
P base Depth	3.25 μm
Substrate Thickness	320 μm
Resistivity	13 Ωcm
P+ Source dose	2.8e13 cm^2 Energy 120 KeV
P Base dose	4e13 cm^2 Energy 100 KeV
N JFET dose	1e12 cm^2 Energy 100 KeV
N+ Source dose	1.2e15 cm^2 Energy 100 KeV

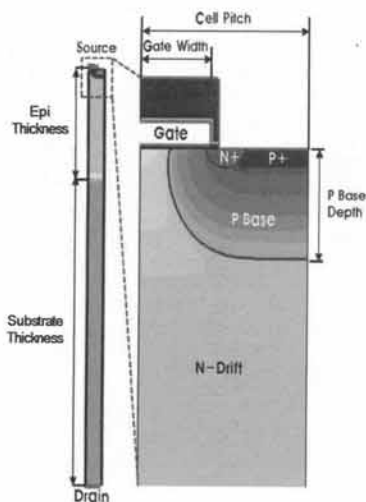


Fig. 3. Final structure of 500 V planar power MOSFET.

표 3은 실험 결과 도출된 파라미터 값이다. P base dose가 증가할수록 문턱전압이 증가하는 것을 알 수

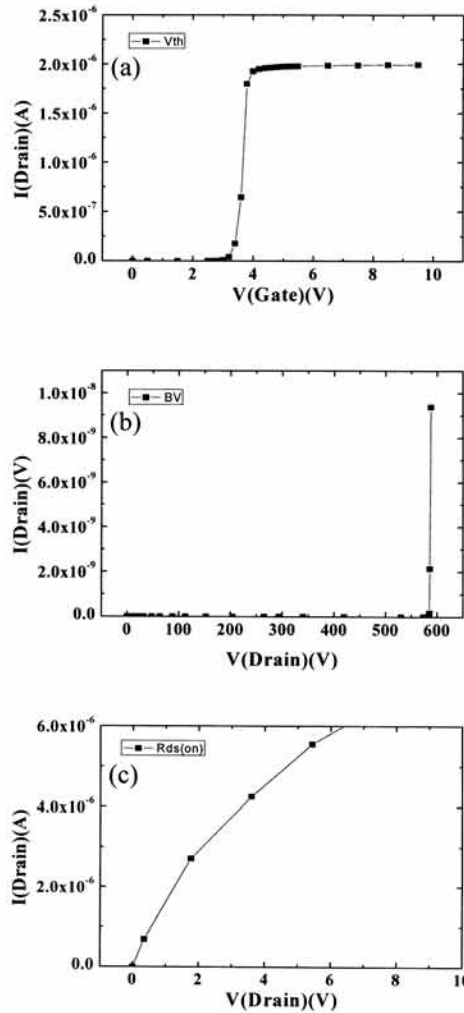


Fig. 4. Threshold voltage, breakdown voltage, on resistance optimization planar power MOSFET. (a) Vth, (b) BV, (c) Rds(on).

Table 5. Threshold voltage, breakdown voltage, on resistance optimization planar power MOSFET.

Vth	BV	Rds(on)@100A
3.66 V	582 V	0.064 Ω

있었다. 또한 문턱전압을 너무 낮게 설정하면 목표로 하는 전압보다 낮은 전압에서 턴온된다. 따라서 설계 목표치인 문턱전압 3.5 V를 고려하여 P base dose 4e13 cm^2 으로 시뮬레이션을 완료한 구조를 그림 3에 나타내었고, 그에 따른 파라미터를 표 4에 표시하였다.

시뮬레이션 결과 셀 크기가 감소하였음에도 불구하고 동일한 전기적 특성을 갖는 것을 확인하였고 그 결과를 그림 4와 표 5에 각각 나타내었다.

3.3 시제품 제작 및 결과

최적화 시뮬레이션 결과를 고려하여 시제품을 제작하였고 SEM 사진 결과를 그림 5에 나타내었다. 그림 5(a)에서 알 수 있듯이 contact 영역 및 poly gate 영역의 범위가 시뮬레이션 목표 값과 동일하게 형성되었다는 것을 알 수 있었다. 그림 5(b)에서는 junction 영역의 형성 및 depletion 영역의 크기를 알 수 있었다. 그 결과 소자 동작을 위한 active area가 시뮬레이션 값과 동일하게 형성되었음을 알 수 있었다.

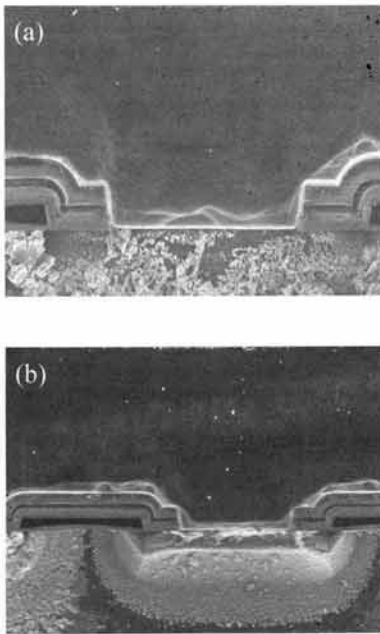


Fig. 5. SEM image of vertical structure. (a) contact area, (b) junction area.

4. 결론

본 논문은 power MOSFET의 전기적 특성 향상을 위한 최적화 구조를 적용함에 있어, 항복전압 특성을 포함한 전기적 특성을 유지하면서 칩 사이즈를 줄일 수 있는 방법을 제안하였다. 제안된 방법은 가능한 최대 도핑량을 기존과 달리하여 switching에서 에너지 손실을 감소시키는 방법을 찾고 그 방법을 통하여 제품 특성의 최적화를 결정하였다. Power MOSFET 시뮬레이션 결과 8.25 μm 의 셀 크기를 6 μm 로 감소하였으며 셀 크기가 감소하였음에도 불구하고 동일한 전기적 특성을 갖는 것을 알 수 있었다. 이는 동일 면적에서 net die의 개수가 증가되어 생산가격 절감을 가져 올 것으로 예상된다.

감사의 글

본 연구는 지식경제부 기술혁신사업의 지원에 의해 수행되었습니다. (과제번호: 10036102)

REFERENCES

- [1] E. G. Kang and M. Y. Sung, *J. KIEEME*, 15, 758 (2002).
- [2] T. J. Nam, H. S. Chung, and E. G. Kang, *J. KIEEME*, 24, 713 (2011).
- [3] M. Alwan, B. Beydoun, K. Ketata, and M. Zoeter, *Microelectronics*, 38, 727 (2007).
- [4] S. M. Sze, *The Physics of Semiconductor*, 2nd ed (Wiley, New York, 1982) p. 318.
- [5] H. Cheng and A. G. Milnes, *Solid-State Electron.*, 25, 1209 (1982).
- [6] H. Ye, C. W. Lee, J. Reynolds, P. Haldar, M. J. Hennessy, and E. K. Mueller, *Cryogenics*, 47, 243 (1982).
- [7] S. S. Kyoung, J. H. Seo, Y. H. Kim, J. S. Lee, E. G. Kang, and M. Y. Sung, *J. KIEEME*, 22, 12 (2009).