

낮은 온저항과 칩 효율화를 위한 Unified Trench Gate Power MOSFET의 설계에 관한 연구

강이구^{1,a}

¹ 극동대학교 태양광공학과

Design of Unified Trench Gate Power MOSFET for Low on Resistance and Chip Efficiency

Ey-Goo Kang^{1,a}

¹ Department of Photovoltaic Engineering, Far East University, Eumseong 369-700, Korea

(Received August 23, 2013; Revised September 17, 2013; Accepted September 23, 2013)

Abstract: Power MOSFET operate voltage-driven devices, design to control the large power switching device for power supply, converter, motor control, etc. We have optimal designed planar and trench gate power MOSFET for high breakdown voltage and low on resistance. When we have designed 6,580 um × 5,680 um of chip size and 20 A current, on resistance of trench gate power MOSFET was low than planar gate power MOSFET. The on state voltage of trench gate power MOSFET was improved from 4.35 V to 3.7 V. At the same time, we have designed unified field limit ring for trench gate power MOSFET. It is Junction Termination Edge type. As a result, we have obtained chip shrink effect and low on resistance because conventional field limit ring was convert to unify.

Keywords: Power device, Breakdown voltage, Deep trench, Unified technology, Low on resistance

1. 서론

Power MOSFET 소자는 전압 구동 방식으로 동작하는 소자이며, 큰 전력을 처리하기 위해 설계된 스위칭 디바이스로서 전원 공급 장치, 변환기, 모터 제어기 등에 널리 사용된다. 산업용 모터 구동에 사용되는 power MOSFET은 동작 상태에서 낮은 온저항은 전력 공급의 손실을 줄여줌으로 효율을 높이고 결과적으로 저전력 구현을 가능하게 한다. 또한 스위

칭 특성이 우수하며 입력 임피던스가 크기 때문에 구동 회로를 단순화할 수 있는 장점이 있다. 하지만 고전압 power MOSFET의 경우 고전압 특성 향상을 위해 항복 전압을 증가시키려면 드리프트 영역의 비저항과 두께를 증가시켜야 하며 따라서 온-저항 특성이 항복전압의 증가에 따라 급격히 증가하는 문제가 있다. 이에 600 V급 기준으로 고전압 특성을 가지면서도 기존 planar power MOSFET 대비 낮은 온-저항 특성을 가지는 unified trench power MOSFET 기술로의 전환이 이루어지고 있다.

본 논문을 통하여 개발하고자 하는 unified trench gate MOSFET는 항복전압과 칩 크기를 좌우하는 field ring 개수를 edge termination을 고려하여 줄임으로 전체 칩 크기를 줄임으로 웨이퍼 당 칩 수를 기

a. Corresponding author: keg@kdu.ac.kr

존 파워 MOSFET 보다 1.5배 증가시키며, trench gate를 통한 낮은 온저항 구현 및 life time control를 통한 fast body diode 특성을 개선하여 SMPS 전원 모듈에 적합한 열특성 및 신뢰성을 확보하고자 하였다.

2. 실험 방법

본 논문에서는 unified 기술을 적용한 power MOSFET의 전기적인 특성을 검증하기 위해서 planar power MOSFET과 trench power MOSFET의 구조를 제시하였으며, 제안된 구조에서 동일한 설계 및 공정파라미터를 이용하여 시뮬레이션을 진행하였다. 시뮬레이터로는 T-CAD 툴을 이용하였다. 시뮬레이션 결과를 분석하여 최적의 설계 및 공정 파라미터를 제시하였고, 분석 결과 trench gate power MOSFET이 우수한 특성을 나타내었으며, 이 소자에 unified 필드링 기술을 적용하기 위해서 unified 필드링을 설계하여 시뮬레이션을 진행하였고, 최적의 필드링 조건을 도출하였다.

3. 결과 및 고찰

3.1 Planar power MOSFET의 최적 설계

Trench gate power MOSFET은 일반 planar gate power MOSFET과 달리 gate 영역 하단부의 JFET 영역의 저항을 없앤 구조이다. Trench 식각 공정으로 이 JFET 영역을 제거한 후, oxide insulated poly silicon으로 채워 gate 전극을 구성하여 채널을 형성하게 된다. Gate와 채널이 소자 내에 존재함으로써 수평 방향으로 흐르는 표면 전류가 줄어들고 JFET 영역의 저항이 없으므로 소자의 저항값이 전반적으로 낮아지게 된다. 이에 planar gate MOSFET과 trench gate MOSFET의 직접적인 비교를 위해 600 V급 power MOSFET으로 소자를 설계하여 시뮬레이션하고 최종적으로 20 A급 chip layout을 디자인하였다. 온 상태 저항 값이 $250 \text{ m}\Omega\text{cm}^2$ 이하, 그리고 chip size는 $6,580 \text{ }\mu\text{m} \times 5,680 \text{ }\mu\text{m}$ 로 설정하고 3~4 V 기준 문턱전압 조건에서 최적의 항복전압과 저항값을 갖도록 두 소자를 각각 설계하였다. Trench gate power MOSFET 설계에 앞서 비교할 planar MOSFET이 필요하다. 특히, JFET영역을 제외하고 planar gate

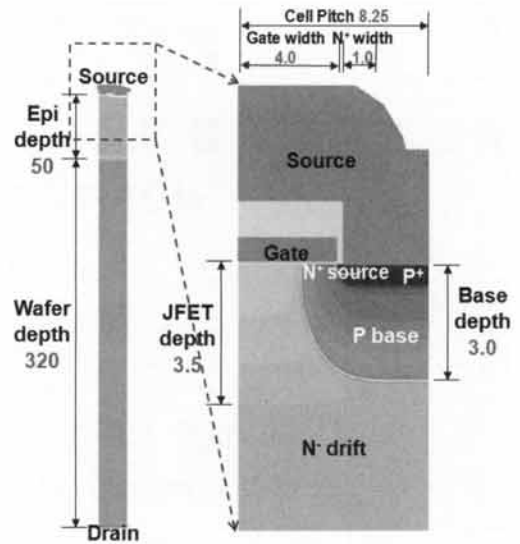


Fig. 1. The structure of planar gate power MOSFET.

Table 1. The process parameters of planar gate power MOSFET.

Region	Process condition
Wafer resistance	$0.018 \text{ }\Omega\text{cm}^2$
Epi layer resistance	$14.5 \text{ }\Omega\text{cm}$
P+ Base dose/energy	$3.010^{15} \text{ cm}^{-2} / 120 \text{ KeV}$
N+ Source dose/energy	$5.010^{15} \text{ cm}^{-2} / 80 \text{ KeV}$
P Base dose/energy	$310^{13} \text{ cm}^{-2} / 120 \text{ KeV}$
N JFET dose/energy	$1.810^{12} \text{ cm}^{-2} / 100 \text{ KeV}$

MOSFET과 trench gate MOSFET의 top 공정 구조는 같으므로, 직접적인 전기적 특성 비교를 위해서 각 파라미터를 동일하게 설정해야 한다. 그 첫 번째 과정으로 N drift층의 길이와 비저항값에 따른 항복전압값의 경향을 실험을 진행하였으며, 그림 1은 항복전압 특성 실험을 위한 planar gate MOSFET의 초기 모델이다. 그리고 표 1은 초기 구조의 N drift층의 길이 및 그 저항값에 따른 항복전압 특성을 나타내고 있다. 시뮬레이션 결과 목표 항복전압인 600 V급의 항복전압을 갖는 N drift 비저항값은 $14.5 \text{ }\Omega\cdot\text{cm}$ 로 나타났다. 600 V급 파워 반도체 소자로 안정적으로 동작하기 위해서는 610 V 정도의 전압을 견뎌야 하므로 N drift 길이는 $50 \text{ }\mu\text{m}$ 이상이어야 한다.

Table 2. The breakdown voltage and on-state voltage drop according to N-drift length and resistance.

N-drift length (um)	N-drift resistance (Ω·cm)	Breakdown Voltage (V)	ON-state Voltage Drop (V)
45	12.5	546	
45	13.5	577	
45	14.5	602	4.2
50	11.5	512	
50	14.5	610	4.6
55	11.5	511	
55	14.5	611	5

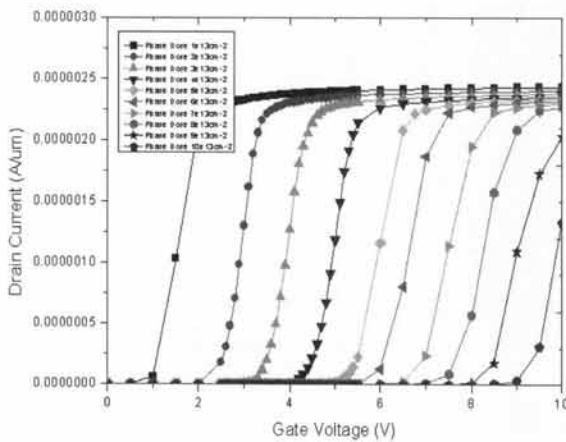


Fig. 2. The threshold voltage according to p base dose.

표 2에 따르면 50 μm의 수직 길이를 가지는 소자가 4.6 V, 55 μm의 길이를 가지는 소자가 5 V의 전압 강하량을 보인다. 따라서 50 μm의 길이의 소자가 55 μm의 길이와 비슷한 항복전압을 견디면서도 더 낮은 전압강하를 보이므로 50 μm를 에피층 즉 N-drift의 길이로 설정하였다.

다음으로 P base 도즈량이다. P base 도즈량은 소자의 채널 형성에 필요한 문턱전압 (threshold voltage) 과 최대 항복전압을 견디기 위한 P층의 크기 및 채널의 저항값과 관련이 있다. 따라서 P base 층의 도즈량을 바꾸어가며 파워 반도체 소자로서 중요한 전기적 특성인 항복전압, 온 상태 전압 강하량, 문턱전압을 측정하였다. 그 결과를 그림 2, 그림 3, 그림 4에 나타내었다.

결과적으로, 목표 문턱전압인 3~4 V의 조건에 부합하면서 600 V의 항복전압을 견디고 동시에 스위치

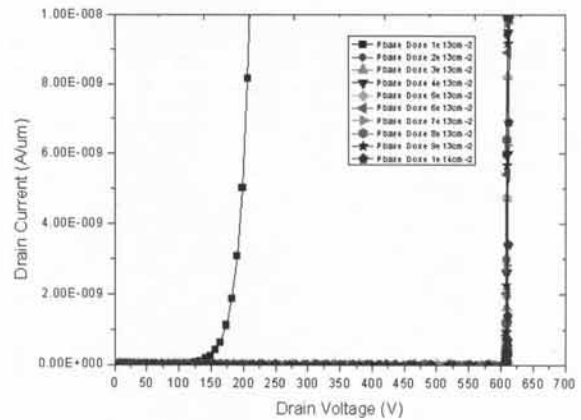


Fig. 3. The breakdown voltage according to p base dose.

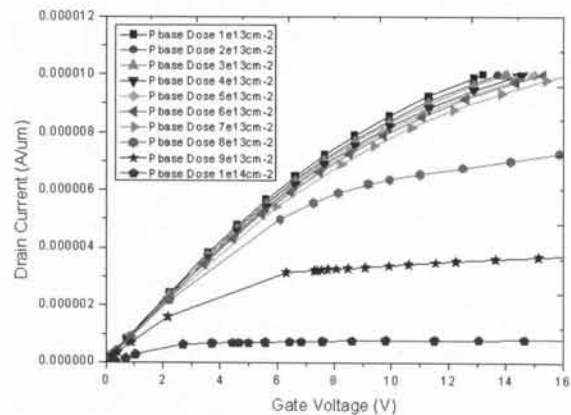


Fig. 4. The on state voltage according to p base dose.

온 상태일 때 전압강하가 가장 낮은 P base 도즈량은 대략 $3 \times 10^{13} \text{ cm}^{-2}$ 임을 알 수 있었고, 이때의 전압강하는 4.35 V였다.

3.2 Trench gate power MOSFET의 최적 설계

다음으로 trench gate power MOSFET 설계를 위해 비교할 planar MOSFET과 동일한 구조 파라미터를 적용하여 설계를 시작하였다. 그림 5와 같이 planar gate MOSFET을 참고로 trench gate power MOSFET 구조를 구성하였다. 각 구조 파라미터의 초기값은 planar gate MOSFET의 최적값과 동일하게 설정하였다. 높은 항복전압과 낮은 저항을 위한 최적화의 첫 번째 과정으로 planar gate MOSFET 설계 방법과 마찬가지로 N-drift층의 수직 길이와 비저항 값에 따른 항복전압 특성을 시뮬레이션을 통하여 알아보았다.

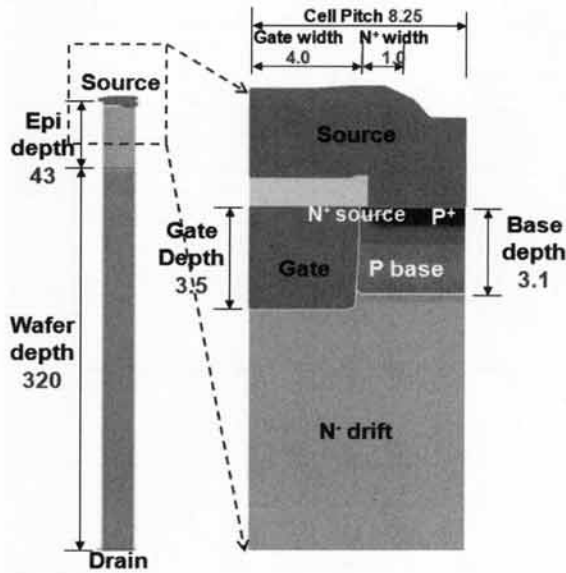


Fig. 5. The structure of trench gate power MOSFET.

Table 3. The breakdown voltage and on-state voltage drop according to N-drift length and resistance.

N-drift length (μm)	N-drift resistance (Ω·cm)	BV (V)	ON-state Voltage (V)
41	14.5	600	3.6
42	14.5	600	3.65
43	14.5	610	3.7
44	14.5	610	4

표 3은 N-drift층의 수직 길이와 비저항 값에 따른 항복전압 특성 결과를 보여준다. 이 결과에 의하면 planar gate MOSFET과 마찬가지로 14.5 Ω·cm의 비저항을 설정했을 때 610 V 이상의 항복전압을 버티는 N-drift의 길이가 43 μm이다. 이는 planar gate MOSFET 보다 14% 가량 감소된 길이로 결과적으로 소자의 저항값을 낮출 수 있다는 사실을 보여준다. 실제로, 같은 셀 크기 및 칩 크기 기준으로 4.415 A/μm가 흐를 때의 전압 강하량은 3.7 V로서 planar gate MOSFET에 비해 15% 감소한 값이다. 다음으로 P base 도즈량에 따라 전기적 특성 분석을 위한 시뮬레이션을 수행하였다. Planar gate MOSFET과 채널이 형성되는 곳이 다르므로 문턱 전압도 상이할 것으로 예상되었다. 그림 6, 7, 8은 P base 도즈량에 따른 trench gate의 문턱전압 및 항복전압, 그리고 스위치 온 상태의 전압강하를 나타낸다.

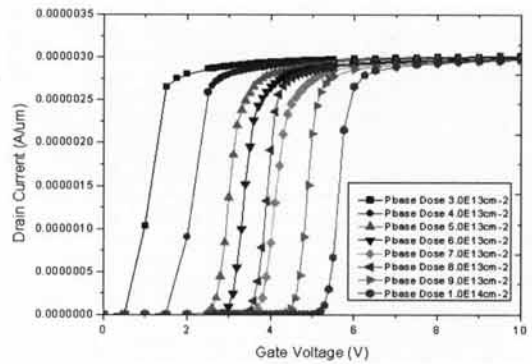


Fig. 6. The threshold voltage of trench gate power MOSFET according to p base dose.

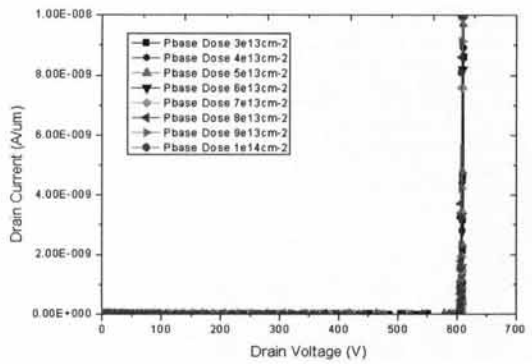


Fig. 7. The breakdown voltage of trench gate power MOSFET according to p base dose.

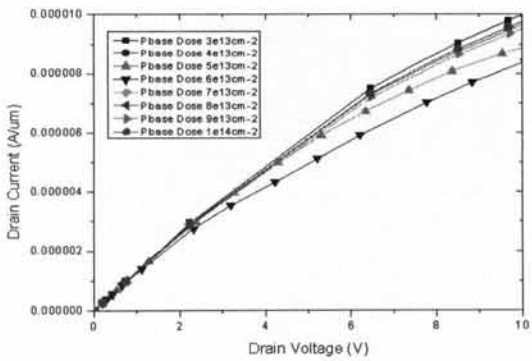


Fig. 8. The on state voltage of trench gate power MOSFET according to p base dose.

예상대로 문턱전압은 planar gate MOSFET의 P base 도즈량과 차이가 났다. Planar gate MOSFET의 경우 $3 \times 10^{13} \text{ cm}^{-2}$ 의 도즈량으로 문턱전압 3 V의 특성을 나타냈지만 trench gate MOSFET의 경우 같은

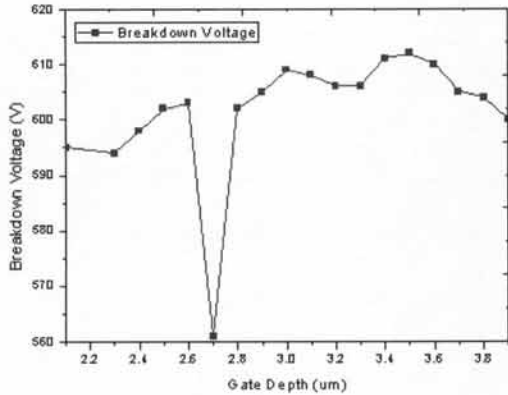


Fig. 9. The breakdown voltage of trench gate power MOSFET according to trench gate depth.

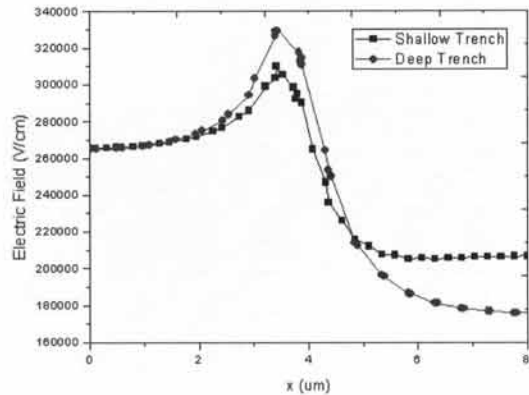


Fig. 11. The electric field distribution of trench gate power MOSFET according to trench gate depth.

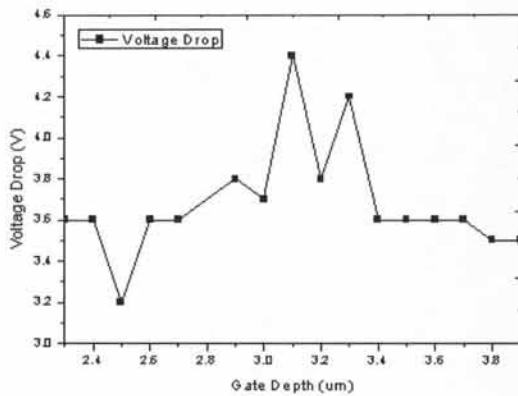


Fig. 10. The on-state voltage drop of trench gate power MOSFET according to trench gate depth.

문턱전압을 위해 $7 \times 10^{13} \text{ cm}^{-2}$ 의 도즈량이 필요했다. 하지만 이때의 스위치 온 상태 전압 강하량은 3.7 V로서, 4.35 V인 planar gate MOSFET과 분명한 차이를 보여줬다. 이것은 저항 특성이 15% 정도 향상된 결과로, 그 원인은 JFET 영역의 저항이 존재하지 않으므로 N-drift의 길이를 14% 줄일 수 있었기 때문이다. 따라서 위와 같은 설계 파라미터 및 구조상에서 600 V급으로 power MOSFET을 구성할 경우 trench gate 형태가 15%의 특성 향상을 갖는다는 결론을 얻을 수 있었다. 다음으로 trench gate power MOSFET의 핵심 변수인 trench gate의 깊이에 따라 파워 반도체 소자의 전기적 특성 변화 살펴보기 위해 시뮬레이션을 수행하였다. 기본적으로 가장 좋은 특성을 보여 주었던 $3 \times 10^{13} \text{ cm}^{-2}$ 의 도즈량일 때를 기준으로 gate의 깊이를 달리한 상태에서 항복전압 특성과 스위치 온 상태

전압강하를 관찰하였다. 시뮬레이션 결과, gate depth가 깊을수록 gate 전극의 모서리가 두드러지는 양상을 따르게 되어 전계집중 현상이 심화된다. 이는 소자가 건디는 항복전압보다 더 낮은 항복 전압에서 항복 현상이 일어나게 유도하므로 항복전압 특성을 저하시킨다. 그림 11에 gate depth에 따른 전계 분포를 2-D로 나타내고 있다. 그림에서 알 수 있듯이, gate depth가 깊을수록 gate의 모서리가 두드러지는 현상이 빠른 항복 현상을 일으킴을 보이고, 항복전압 특성이 저하됨을 확인할 수 있다. 결과적으로 gate depth는 $3 \times 10^{13} \text{ cm}^{-2}$ 의 P base 도즈량을 기준으로 3.5 um일 때 가장 높은 항복전압과 낮은 스위치 온 상태 전압 강하 특성을 보인다.

3.3 Unified 필드링의 설계 및 특성 분석

Power MOSFET 소자 설계에 있어 power MOSFET 동작하는 단위 셀 영역도 중요하지만 이와 함께 소자의 edge termination 영역에 대한 설계 기술 또한 매우 중요하다. 본 절에서는 unified power MOSFET 소자 설계에 있어 edge termination 설계 연구 결과를 정리하였다. 특히 고내압 특성을 견디며, field ring 수를 줄여 전체 칩 크기를 줄일 수 있는 unified field ring 기술을 기준으로 시뮬레이션과 실험을 진행하였다. FLR (field limit ring) 기반 연구의 의미는 개념적으로는 최소의 termination 면적을 사용하여 최대의 내압 특성을 얻는 것과 함께 소자 균을 이루고 있는 500 V/600 V에 적용할 수 있는 웨이퍼 저항과 패턴 설계 룰을 확정짓고 그 설계 룰에 의해

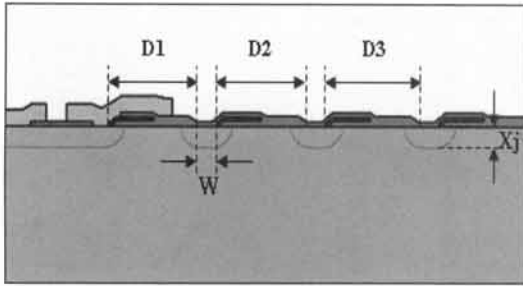


Fig. 12. The structure and design factor of field limit ring (FLR).

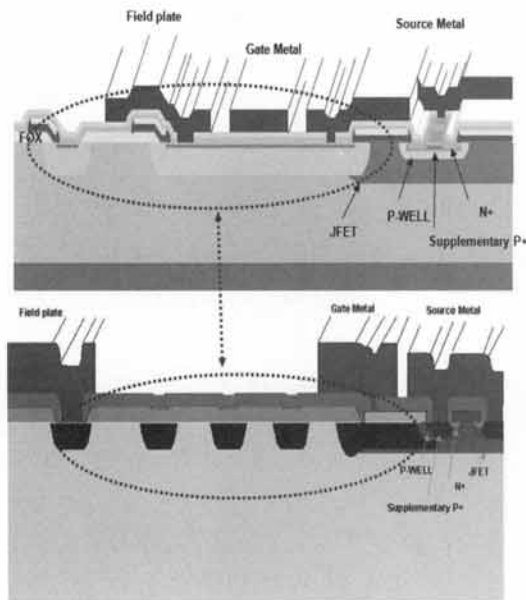


Fig. 13. The effect of unified field limit ring (FLR).

제작된 소자의 안정적인 장기 신뢰성을 확인하는 것이라 하겠다. 본 내용도 이점에 맞추어 정리하였다.

그림 12는 본 실험의 주요 변수에 대한 도식을 보였다. 주요 설계인자로는 웨이퍼 저항율과 접합 깊이에 따라서 표면의 전계를 결정짓는 ring 간격이 될 수 있으며, 각 ring 간격의 최적화는 설계자마다 다를 수 있으나 통상 첫 번째 ring의 시뮬레이션 후 조정을 거쳐 목표로 하는 표면 전계를 갖는 최소의 ring 개수 및 간격을 확정하게 된다. 따라서 그림에서의 첫 번째 ring 간격은 그 자체가 의미있는 것이 아니라 각 ring 간격을 대표하는 의미이며, 정격이 올라갈수록 간격이 넓어지는 것이 통상적이다. 그림 12와 13에 본 실험을 진행하기 위한 전체 FLR 패턴 및 세부 도식도를 각각 보였다.

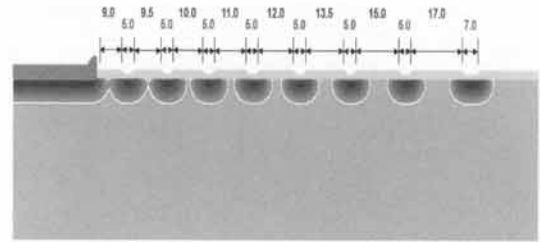


Fig. 14. The design parameter of unified FLR.

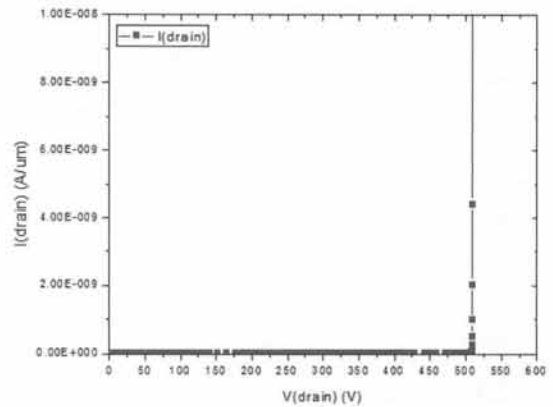


Fig. 15. The breakdown characteristics of field limit ring.

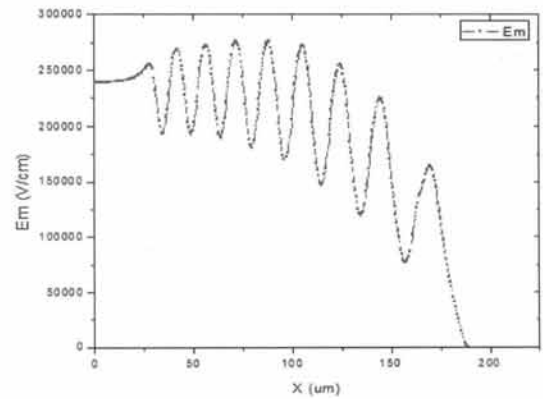


Fig. 16. The electric field distribution of field limit ring.

그림 12에서 나타낸 것처럼 각 ring과 field oxide 경계에 걸쳐 도핑된 poly-Si이 걸쳐있는 poly-Si field plate 구조를 사용하였으며, 각 ring의 개수 및 간격의 조정을 통하여 평가 패턴으로 구성하였다. 또한 제안한 field ring은 그림 13에서 보듯이 JTE type으로 기존의 FLR을 unify하게 줄여 기존 ring 도핑을 저농도 (P/1e12) PWell 접합에 의한 전계 확산으로

인한 내압 증가로 에피의 비저항 및 두께를 줄일 수 있으며 결과적으로 chip shrink 효과를 가져 올 수 있었다.

그림 14는 unified field ring의 설계 조건을 제시하였고, 그림 15는 FLR의 항복 전압 특성을 보이고 있다. 항복전압이 509 V가 나오는 것을 볼 수 있다. 실제 소자 제작의 경우 각 단위 공정의 산포 및 누적된 공정에 따른 산포가 존재하므로 실제로는 설계된 ring 간격과는 다소 차이가 존재한다. 따라서 소자의 설계 시에는 각 ring의 간격의 변화에 둔감한 설계가 좋은 설계이며, 실험의 결과 정격 별로 이러한 기준에 일치하는 ring 간격을 얻었다.

4. 결 론

600 V급 planar gate power MOSFET와 trench gate power MOSFET을 설계하고 최대 항복전압 및 최저 스위치 온 상태 전압강하를 갖도록 최적화하였다. Chip size 6,580 um × 5,680 um에 20 A 흐르는 소자를 설계했을 때 두 소자 모두 610 V의 항복전압 특성을 나타내는 상태에서 저항값의 차이가 남을 확인할 수 있었으며, trench gate power MOSFET은 planar gate power MOSFET과 달리 JFET 영역이 존재하지 않아 저항 값이 상대적으로 작다.

설계 과정에서 확인한 trench gate power MOSFET의 스위치 온 상태 전압 강하 특성 향상의 폭은 4.35 V에서 3.7 V로 대략 15%였다. 동시에 trench gate power MOSFET에 적용하기 위해 unified 필드링을 설계하였으며, JTE type으로 기존의 FLR을 unify하게 줄여 기존 ring 도핑을 저농도 ($P/1e12$) PWell 접합에 의한 electrical field 확산으로 인한 내압 증가로 에피의 비저항 및 두께를 줄일 수 있으며 결과적으로 chip shrink 효과를 가져 올 수 있었다.

REFERENCES

- [1] E. G. Kang and M. Y. Sung, *J. KIEEME*, 15, 758 (2002).
- [2] T. J. Nam, H. S. Chung, and E. G. Kang, *J. KIEEME*, 24, 713 (2011).
- [3] Malvino, A. Paul, Bates, and J. David, *Electronic Principles* (McGraw-Hill College, 2006)
- [4] Gates and D. I. Earl, *Introduction to Electronics 4/E Hardcover* (Delmar, 2001)
- [5] S. S. Kyoung, J. H. Seo, Y. H. Kim, J. S. Lee, E. G. Kang, and M. Y. Sung, *J. KIEEME*, 22, 12 (2009).
- [6] H. S. Lee, E. G. Kang, A. R. Shin, H. H. Shin, and M. Y. Sung, *KIEE*, 7 (2006).
- [7] W. H. Hayt, Jr. *Engineer Ingelect Romagnetics-7/E* (Mc Grawhill, 2005)