

## 실리콘산화아연주석 산화물 반도체의 후열처리 온도변화에 따른 트랜지스터의 전기적 특성 연구

이상렬<sup>1,a</sup>

<sup>1</sup> 청주대학교 반도체공학과

### Electrical Performance of Amorphous SiZnSnO TFTs Depending on Annealing Temperature

Sang Yeol Lee<sup>1,a</sup>

<sup>1</sup> Department of Semiconductor Engineering, Cheongju University, Cheongju 360-764, Korea.

(Received July 10, 2012; Revised July 24, 2012; Accepted August 21, 2012)

**Abstract:** The dependency of annealing temperature on the electrical performances in amorphous silicon-zinc-tin-oxide thin film transistors (SZTO-TFT) has been investigated. The SZTO channel layers were prepared by using radio frequency (RF) magnetron sputtering method with different annealing treatment. The field effect mobility ( $\mu_{FE}$ ) increased and threshold voltage ( $V_{th}$ ) shifted to negative direction with increasing annealing temperature. As a result, oxygen vacancies generated in SZTO channel layer with increasing annealing temperature resulted in negative shift in  $V_{th}$  and increase in on-current.

**Keywords:** a-SZTO, Oxide semiconductor, Annealing temperature, Threshold voltage

#### 1. 서론

최근 산화물 소재가 각광을 받고 있다. 산화물 재료에 대한 연구가 오래 전부터 이루어져 왔지만, 최근 대형 평판 디스플레이, 태양전지에 적용을 위한 투명전극, ZnO 및 GaN 계열의 발광소자 등에 적용 가능한 특성들을 보임으로써 그 연구가 활발히 진행되고 있다. 산화물 박막 트랜지스터 (thin film transistor, TFT)는 저온 공정, 넓은 밴드 갭, 뛰어난 전기적 특성(전계 효과 이동도등)을 가지고 있다. 특히, 산화물 반도체의 넓은 밴드갭과 저온 공정 특성은 플렉서블 AM-OLED (active matrix organic light emitting diode)와 같은 차세대 디스플레이 구현을 가능하게 해줄 것으로 예상하고 있다. 하지만 ZnO 기반

의 박막 트랜지스터는 대면적 시, 전기적 특성의 불균일, 가스의 흡착과 탈착으로 인한 불안정성, 박막 표면의 거칠기와 같은 임도경계 (grain boundaries)와 관련된 문제를 가지고 있다. 최근에는 여러 연구 그룹에서 갈륨 (gallium), 하프늄 (hafnium), 자르코늄 (zirconium), 실리콘 (silicon)을 도핑하여 징크 산화물 트랜지스터의 전기적 특성 및 안정성을 향상시킬 수 있다고 보고되어지고 있다. 높은 이동도를 가지는 채널을 만들기 위해서 In을 많이 사용하고 있는데, In은 산화물 반도체에서 carrier transport를 형성하여 자유전자의 이동을 쉽게 한다. 이는 active 채널에 많은 자유전자를 공급하여 이동도를 높이는데 매우 중요한 역할을 한다. 하지만 In의 희귀성으로 인한 인산 비용 때문에 In이 없는 TFT 소자가 필요하며, 이를 대체하기 위한 ZTO 계열의 TFT의 채널의 개발이 필요하다 [1-6].

a. Corresponding author; [sylee@cju.ac.kr](mailto:sylee@cju.ac.kr)

본 연구에서는 1 wt% 실리콘이 도핑된 실리콘-아연-주석-산소 (SiZnSnO, SZTO) 타겟을 사용하여 RF-magnetron sputtering 방법으로 비정질 SZTO 박막을 증착하였다. 실리콘 1 wt.%가 도핑된 SZTO 박막을 증착하고 포토리소그래피를 이용하여 박막트랜지스터를 제작하였다. 그리고 후열처리 온도의 변화에 따른 SZTO 박막의 문턱전압 및 전계효과이동도를 분석하였다.

## 2. 실험 방법

본 실험에서는 RF magnetron sputtering 방법을 사용하여 SZTO 박막을 p 타입 실리콘 기판에 (200 nm-SiO<sub>2</sub> / p-Si) 증착하였다. 스퍼터링 타겟으로는 1 wt.%의 실리콘이 도핑된 직경 2인치의 디스크 타입 SZTO 타겟을 사용하였다. 공정압력은 5×10<sup>-3</sup> torr, 가스 분위기는 아르곤 (95 sccm)과 산소 (5 sccm)로 혼합된 가스를 사용하였고, 기판온도는 상온 (RT)에서 이루어졌다. RF 파워에 70 W를 사용하였다. 트랜지스터 구조는 bottom-gate structure를 적용하였다. 채널 형성을 하기 위해 포토 리소그래피 방법과 에칭공정이 이루어졌다. 소스와 드레인 전극 형성은 전자빔 증착법 (electron beam evaporation)과 열 증착법 (thermal evaporation)을 사용하여 티타늄 (10 nm) 와 골드 (50 nm)를 증착하였으며 lift-off 방식으로 전극 패턴을 형성하였다. 위와 같은 방법으로 제작된 a-SZTO 박막 트랜지스터의 안정성과 전극과의 접촉 특성을 향상시키기 위해 1시간 동안 질소 분위기에서 300, 400, 500°C에서 후열처리를 실시하였다.

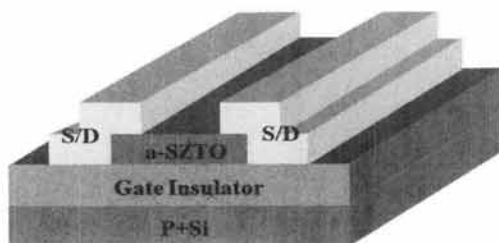


Fig. 1. A schematic view of an a-SZTO thin film transistor.

마지막으로 그리고 전극의 폭은 250 μm이며, 이에 대한 트랜지스터의 전기적 특성은 semiconductor

parameter analyzer를 이용하여 상온에서 측정하였고 실리콘 1 wt.%가 도핑된 SZTO 박막을 이용하여 박막트랜지스터를 제작하였다. 이 때 후열처리 효과를 체계적으로 관찰하고 분석하기 위하여 각각 후열처리 온도를 300°C, 400°C, 그리고 500°C에서 수행하였다. 그림 1에는 SZTO 채널을 이용하여 제작한 W/L비율이 250 μm/50 μm인 전극 구조를 갖는 박막트랜지스터를 보여주고 있다.

## 3. 결과 및 고찰

표 1은 후열처리온도변화에 따른 a-SZTO 트랜지스터의 전기적인 특성 변화를 나타낸 것이다. 다음과 같은 전기적 특성은 포화영역에서 아래와 같은 식을 통하여 추출되었다.

$$I_D = \frac{WC_i}{2L} \mu (V_G - V_{th})^2$$

여기서 W와 L은 채널의 폭과 길이를 의미하며, I<sub>D</sub>는 드레인 전류를 의미한다. C<sub>i</sub>와 V<sub>th</sub>는 각각 캐패시턴스와 문턱전압을 나타낸다.

Table 1. Electrical performance of a-SZTO thin film transistor depending on annealing temperature.

Annealing temperature	V <sub>th</sub> (V)	μ <sub>FET</sub> (cm <sup>2</sup> /V·s)	S.S (V/dec)	I <sub>on-off</sub> ratio
300	11.0	0.443	1.95	1.9×10 <sup>7</sup>
400	5.8	4.431	1.07	4.2×10 <sup>8</sup>
500	2.0	5.908	0.44	8.4×10 <sup>8</sup>

그림 2는 5.1 V의 드레인 전압 (drain voltage)에서 전기적 특성인 transfer curve를 후열처리 온도에 따라 나타낸 것이다. 후열처리 온도변화에 따라 트랜지스터의 성능 변화가 매우 확연히 관찰되었으며 특히, 특성곡선에서 모든 경우 매우 낮은 off 전류가 관찰되었다. 이것은 In이 포함된 다른 산화물 박막의 경우보다 비인듐계에서 상대적으로 적은 산소공공이 존재함을 의미하며 특히나 실리콘을 이용하여 더욱이 산소공공을 억제하여 매우 낮은 off 전류를 달성하였음을 알 수 있다.

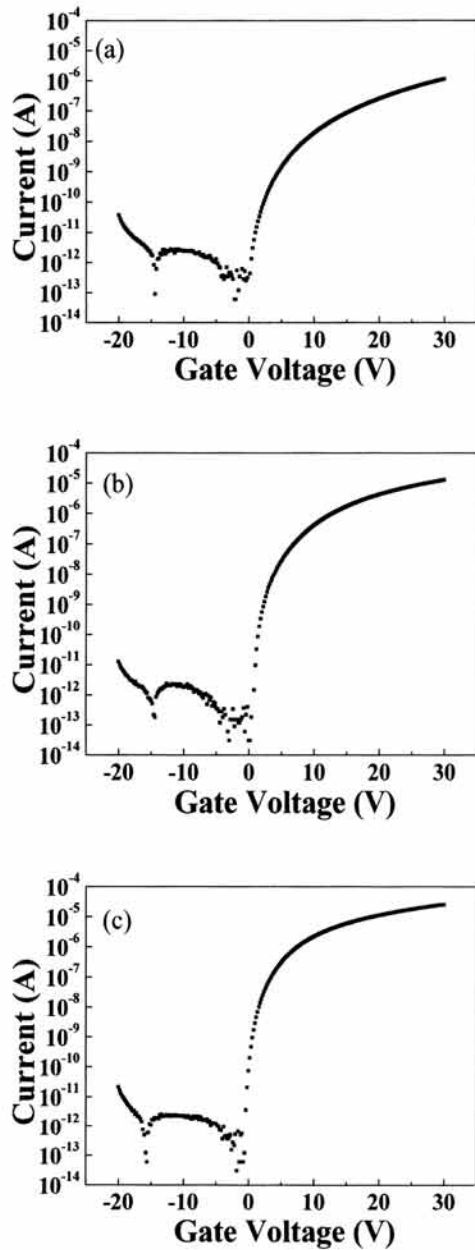


Fig. 2. Transfer curve of a-SZTO TFTs as a function of annealing temperature (a) 300°C, (b) 400°C, and (c) 500°C.

그림 3에는 a-SZTO 트랜지스터의 성능과 후열처리 온도와의 관계를 종합적으로 나타내었다. 후열처리 온도가 증가할수록 캐리어의 이동도 ( $\mu_{FE}$ )는  $0.443 \text{ cm}^2/\text{V}\cdot\text{s}$ 에서  $5.908 \text{ cm}^2/\text{V}\cdot\text{s}$ 로 증가하였고 문턱전압 ( $V_{th}$ )은 11.0 V에서 2.0 V로 감소하였다. 이것은 높은 에너지 입자에 의해 결합되어 있는 산소 원자의 결합

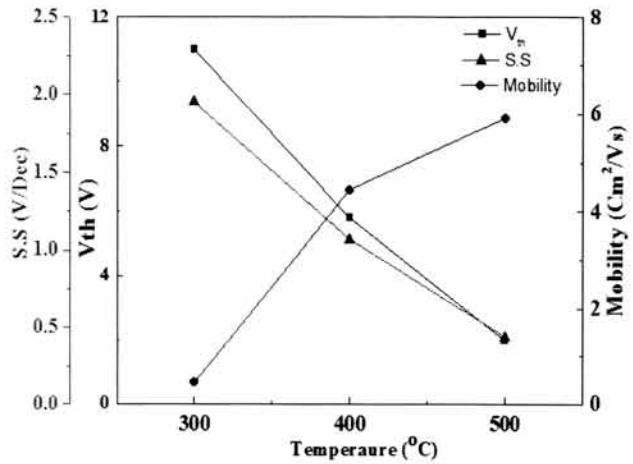


Fig. 3. Comparison of various performance of a-SZTO TFTs as a function of annealing temperature.

이 끊어졌기 때문에 비정질 SZTO 박막에서 줄어든 산소원자의 비율만큼 전류의 흐름에 기여하는 산소공공 (oxygen vacancy)을 형성하게 되었다는 것을 의미한다 [7]. 중성인 산소공공은 그 주위에 두 개의 trapped electron이 존재하고 있어 이온화 반응에 의하여 자유전자를 생성하여 전류 흐름에 기여하게 된다. 더욱이, Zn interstitial의 형성 엔탈피 (8 eV)에 비해 산소공공의 형성 엔탈피 (1.58 eV)가 더 작다 [8]. 그러므로 생성된 산소공공이 native 도너 (donor) 로써 역할을 하게 되는 것이다 [9-11].

그러므로 문턱전압, 캐리어 이동도, 문턱전압 이하에서의 기울기 (subthreshold swing)를 고려하여 최적화된 후열 처리온도를 500°C라고 판단하였다. 그 이유는 500°C 후열처리인 경우 캐리어 이동도는  $5.908 \text{ cm}^2/\text{V}\cdot\text{s}$ , 문턱전압 이하에서의 기울기는 0.44 V/dec로 가장 특성이 좋음을 알 수 있다.

#### 4. 결론

본 연구에서는 RF magnetron sputtering을 이용하여 실리콘이 도핑된 SZTO 박막을 제작하였다. 실험으로 다양한 후열처리 온도변화에 따른 비정질 SZTO 박막 트랜지스터의 산소공공에 의한 전기적 특성변화를 관찰하였다. 비인듐계 산화물박막으로 실리콘을 이용하여 산소공공 형성을 억제하여 매우 낮은 off전류를 달성하였으며 그 중에서도 디바이스의

on 특성에 영향을 주는 문턱전압 값의 변화를 관찰하여, 후열처리 온도가 증가할수록 채널층에 결합되어 있는 산소원자를 끊어 자유전자 역할을 하는 산소공공이 증가함을 알 수 있었다. 채널의 전도성이 높아진다는 것을 문턱전압 값이 음의 방향으로 이동하는 경향과 on 전류의 증가로 일관성 있게 체계적으로 확인하였다. 따라서, 안정적인 특성의 비정질 SZTO 박막 트랜지스터를 구현하기 위해서는 후열처리 온도가 중요한 공정변수임을 확인하였다. 비인듐계 산화물 박막 트랜지스터 연구는 반도체와 디스플레이 분야에서 매우 중요한 이슈이며 향후 산소와 반응을 억제시키는 방향으로 박막 공정의 개선과 후열처리에 따른 박막의 특성 변화 등의 세밀한 연구를 통해 디스플레이 산업 분야에 a-SZTO 트랜지스터가 매우 유용하게 사용될 것으로 예상된다.

## REFERENCES

- [1] K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, *Nature*, 432, 488 (2004).
- [2] J. Y. Kwon, J. S. Jung, K. S. Son, K. H. Lee, J. S. Park, T. S. Kim, J. S. Park, R. Choi, J. K. Jeong, B. W. Koo, and S. Y. Lee, *J. Electrochem. Soc.*, 158, H433 (2011).
- [3] J. S. Park, T. S. Kim, K. S. Son, K. H. Lee, W. J. Maeng, H. S. Kim, E. S. Kim, K. B. Park, J. B. Seon, W. Choi, M. K. Ryu, and S. Y. Lee, *Appl. Phys. Lett.*, 96, 262109 (2010).
- [4] S. Y. Lee, Y. W. Song, and S. P. Chang, *Bulletin of KIEEME*, 21, 3 (2008).
- [5] J. K. Jeong, *Information Display*, 10, 42, (2009).
- [6] E. M. C. Fortunato, L. M. N. Pereira, P. M. C. Barquinha, A. M. B. do Rego, G. Gonçalves, A. Vilà, J. R. Morante, and R. F. P. Martins, *Appl. Phys. Lett.*, 92, 222103 (2008).
- [7] W. F. Wu and B. S. Chiou, *Thin Solid Films*, 247, 201 (1994).
- [8] E. Ziegler, A. Heirich, H. Oppermann, and G. Stover, *Phys. Stat. Sol.*, A66, 635 (1981).
- [9] J. S. Park, J. K. Jeong, Y. G. Mo, H. D. Kim, and C. J. Kim, *Appl. Phys. Lett.*, 93, 033513 (2008).
- [10] J. K. Jeong, H. W. Yang, J. H. Jeong, Y. G. Mo, and H. D. Kim, *Appl. Phys. Lett.*, 93, 123508 (2008).
- [11] E. C. Chong, K. C. Jo, and S. Y. Lee, *Appl. Phys. Lett.*, 96, 152102 (2010).