

활성층 두께 및 열처리 온도에 따른 비정질 인듐갈륨징크옥사이드 박막트랜지스터의 전기적 특성 변화

백찬수¹, 임기조¹, 임동혁², 김현후^{2,a}

¹ 충북대학교 전기공학부

² 두원공과대학교 디스플레이공학부

Electrical Properties Depending on Active Layer Thickness and Annealing Temperature in Amorphous In-Ga-Zn-O Thin-film Transistors

Chan Soo Baek¹, Kee Joe Lim¹, Dong Hyeok Lim², and Hyun-Hoo Kim^{2,a}

¹ College of Electrical Engineering, Chungbuk National University, Cheongju 361-763, Korea

² Display Engineering School, Doowon Technical University College, Paju 413-861, Korea

(Received June 14, 2012; Revised June 21, 2012; Accepted June 24, 2012)

Abstract: We report on variations of electrical properties with different active layer thickness and post-annealing temperature in amorphous In-Ga-Zn-O (IGZO) thin-film transistors (TFTs). In particular, subthreshold swing (SS) of the IGZO-TFTs was improved as increasing the active layer thickness at an given post-annealing temperature, accompanying the negative shift in turn-off voltage. However, as increasing post-annealing temperature, only turn-off voltage was shifted negatively with almost constant SS value. The effect of the active layer thickness and post-annealing temperature on electrical properties, such as SS, field effect mobility and turn-off voltage in IGZO-TFTs has been explained in terms of the variation of trap density in IGZO channel layer and at gate dielectric/IGZO interface.

Keywords: Active layer, In-Ga-Zn-O, Trap, Annealing, Thickness

1. 서론

최근, ZnO 기반의 비정질 산화물 반도체 (amorphous oxide semiconductor)를 이용한 박막트랜지스터 (thin-film transistor, TFT)는 고이동도 (mobility) 및 전기적/광학적 특성에서 높은 균일성 (uniformity)을 갖고 있어 플랫 패널

디스플레이 (flat panel display)와 같은 산업용으로서의 응용을 위한 연구가 활발히 진행되고 있다 [1-3]. 특히, 갈륨 (Ga)과 인듐 (In)을 ZnO에 합성한 비정질 (amorphous) In-Ga-Zn-O (IGZO) 산화물 반도체를 이용한 박막트랜지스터는 그 산업화를 바로 눈앞에 두고 있다 [4-6]. 현재까지 RF/DC 스퍼터링 (sputtering) 공정 시, 산소량 (oxygen flow), 스퍼터링 전력 (sputtering power), 활성층 (active layer) 두께 및 후열처리 온도 (post-annealing temperature)

등이 비정질 IGZO-TFT의 전기적 특성에 미치는 영향은 이미 많은 문헌을 통해 보고된 바 있다 [7-11]. 하지만, 현재보다 더욱 향상된 산화물 반도체 박막트랜지스터를 개발하기 위해서는 IGZO-TFT의 전기적 특성을 변화시킬 수 있는, 위에서 언급한 여러 변수들에 따른, 특성 변화 결과를 구체적으로 언급 및 나열하고 그 원인을 분석하는 연구가 앞으로도 계속 지속되어야 하는 것은 틀림없는 사실이다.

따라서 본 연구에서는 활성층 두께 및 후열처리 온도가 IGZO-TFT의 전기적 특성에 미치는 영향을 정확히 지적하고 그에 대한 원인을 벌크 및 계면 트랩 농도 변화의 견지에서 규명하고자 한다.

2. 실험 방법

본 연구를 위한 IGZO 산화물 박막트랜지스터는 다음과 같은 순서와 방법으로 제작되었다. 먼저, 낮은 비저항 ($\sim 10^{-4} \Omega\text{cm}$)을 갖는 p-type의 실리콘 (p-Si) 기판을 게이트 전극 (gate electrode)으로 사용하였다. Si 기판 위에는 200 nm 두께의 비정질 SiO_2 막을 열화학기상증착법 (thermal chemical vapor deposition)으로 증착하여 게이트 절연막 (gate insulator)으로 사용하였다. 또한 RF 마그네트론 (magnetron) 스퍼터링법을 이용하여 SiO_2 위에 각각 20, 60 및 100 nm의 두께를 갖는 비정질 IGZO 활성층을 증착하였다. 활성층 증착을 위한 스퍼터링 공정은 파워 30 W, 동작압력 (working pressure) 3 mTorr, 아르곤 (Ar) 가스 30 sccm으로, 상온 (room temperature)에서 실시되었다. 소스 (source) 및 드레인 (drain) 전극으로 10 nm 두께의 Ti와 50 nm 두께의 Au를 2층 구조로 증착하여 사용하였으며, 증착은 각각 전자빔 증착법 (electron beam evaporation)과 열증착법 (thermal evaporation)을 이용하여 진행되었다. 10 nm 두께의 Ti 층은 IGZO와 Au와의 접착 (adhesion)을 향상시키기 위해 사용되었다.

채널 (channel) 및 소스/드레인 전극의 형성은 일반적으로 사용되는 리소그래피 방법과 1%의 묽은 염산을 이용하여 진행되었다. 이와 같은 방법으로 채널의 길이 (length) 및 채널 폭 (width)이 각각 50 μm 과 350 μm 인 박막트랜지스터를 제작하였다. 박막트랜지스터 제작 후, 후열처리 공정은 질소 (N_2) 분위기에서 150~350°C의 온도 범위에서 1시간 동안 실시되었다.

또한 박막트랜지스터가 대기로 노출되는 것을 보호

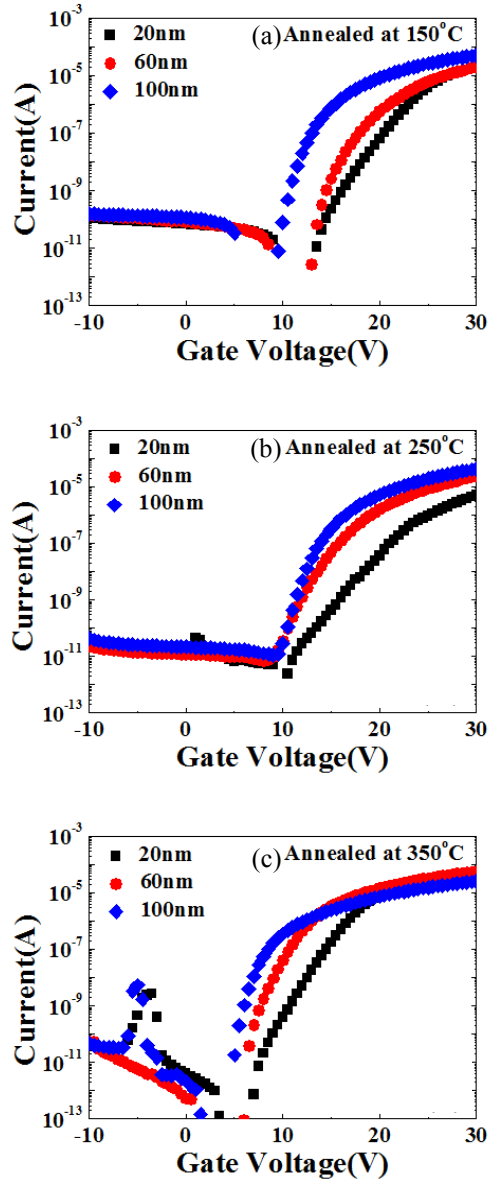


Fig. 1. Transfer curves of IGZO-TFTs annealed at (a) 150°C, (b) 250°C, and (c) 350°C with different active layer thickness.

하기 위해 poly (methyl methacrylate) (PMMA) 유기물을 이용하여 패시베이션 공정을 진행하였다.

채널층의 두께는 α -step (AMBIOS, XP-2)를 이용하여 측정하였고, 박막트랜지스터의 전기적 특성은 semiconductor parameter analyzer (Keithley 4200)를 이용하여 상온에서 측정하였다.

3. 결과 및 고찰

그림 1은 각각 150°C, 250°C와 350°C에서 열처리가 진행된 활성층의 두께에 따른 I-V 특성곡선 (transfer curve)을 보여준다. 그림 1의 (a), (b), (c)와 같이 세 가지 열처리 온도조건에 대해서, 활성층의 두께를 20 nm로부터 100 nm까지 증가시킬 때, 특성곡선의 subthreshold swing (SS)은 선형적으로 점점 향상됨을 확인할 수 있었다. 동시에 turn-off 전압 (off-current에서 전류가 증가하기 시작하는 전압)은 음의 방향으로 이동 (shift)하였다. 활성층 두께에 따른 SS의 향상 및 turn-off 전압의 음의 방향으로의 이동은 IGZO 벌크 (bulk) 트랩 및 계면 트랩의 감소를 나타낸다. [12]

이와 같은 현상은, IGZO 활성층의 두께가 증가함에 따라, SS는 향상되고 turn-off 전압이 음의 방향으로 이동하는 것은 IGZO 채널층에 존재하는 벌크 트랩 농도 및 채널/게이트 절연막 사이의 계면 트랩 농도의 감소로 설명할 수 있다 [10].

IGZO 활성층의 두께가 증가하면서, 전체 트랩은 감소하여 SS 값은 낮아지고 자유전자 밀도는 상대적으로 증가하여 문턱전압 (threshold voltage)이 음의 방향으로 이동하면서 동시에 on-current가 증가하였다. 따라서 활성층 두께가 증가함에 따라 박막트랜지스터의 이동도가 증가하였다.

IGZO 채널층 내에 전자를 포획하는 트랩 사이트 농도가 감소한다는 것은, 상대적으로 같은 채널층에 자유전자 농도를 증가시키는 원인이 될 수 있다 [10]. 전자 농도의 증가는 문턱전압을 음의 방향으로 이동시키고 동시에 on-current를 증가시켜 결국, 전계효과 이동도 (field effect mobility)를 증가시킨다 [13]. 이 설명은 그림 1의 (a), (b), (c)에서 보이는 결과와 모두 일치한다는 것을 알 수 있다.

그림 2는 특정한 활성층 두께에서 후열처리 온도에 따른 IGZO-TFTs의 I-V 특성곡선을 보여준다. 무엇보다, 그림 2의 (a), (b), (c)와 같이 세 가지 활성층 두께 조건에서, 열처리 온도가 150°C에서부터 350°C로 증가함에 따라, 그림 1과 같은 선형적인 SS의 변화는 보이지 않았으며, 주로 turn-off 전압의 음의 방향으로의 이동만이 확인되었다. 또한 열처리 온도가 증가함에 따라, on-current 및 off-current가 증가하는 경향을 확인할 수 있었다.

이와 같은 결과로부터, IGZO-TFT에 대한 150°C에서 350°C 사이에서의 열처리는 주로, 계면 트랩보다는 IGZO 벌크 트랩을 감소시킨다는 것을 확인할 수 있

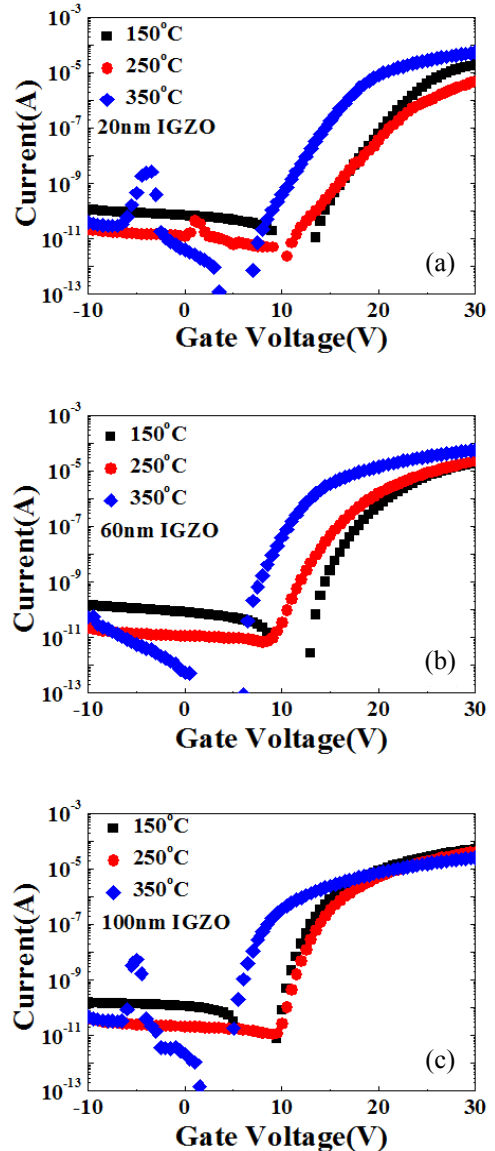


Fig. 2. Transfer curves of IGZO-TFTs with different post-annealing temperature at a given active layer thickness of (a) 20 nm, (b) 60 nm, and (c) 100 nm.

었다. 결과적으로, IGZO 벌크 트랩 감소에 의해 on-current가 증가하였고, 따라서 전계효과 이동도가 향상되었다.

따라서 활성층의 두께와 후열처리 온도는 IGZO-TFT의 전기적 특성에 서로 다른 영향을 미치고 있으며, 이들의 변화는 모두 트랩 변화와 연관되어 있음을 확인할 수 있었다.

4. 결론

RF 마그네트론 스퍼터법을 이용하여 서로 다른 활성층 두께 및 후열처리 온도를 갖는 비정질 IGZO-TFT를 제작하였고, SS, 전계효과 이동도 및 on/off current와 같은 박막트랜지스터의 전기적 특성을 측정하였다. 활성층 두께 및 후열처리 온도에 따른 전기적 특성의 변화는 IGZO-TFT 내의 벌크 트랩 및 계면 트랩을 견지에서 설명되었다.

먼저, IGZO 활성층 두께가 증가하게 되면, SS 값은 선형적으로 감소하였고, on-current 및 전계효과 이동도는 증가하였다. 동시에 turn-off 전압은 음의 방향으로 이동하였다. 하지만, off-current는 활성층 두께에 따라 변하지 않았으며 그 값이 일정하였다. 이와 같은 현상에 대해서는 활성층 두께가 증가함에 따라, 채널층의 벌크 트랩 농도 및 계면 트랩 농도의 감소로 설명할 수 있었다.

또한 후열처리 온도가 증가함에 따라, SS는 거의 변하지 않았으며, on-current와 전계효과 이동도는 증가하였다. 마찬가지로, turn-off 전압은 음의 방향으로 이동하였다. 무엇보다, 후열처리 온도가 증가하면서, off-current가 감소한다는 것을 관찰하였다. 이 결과들은 계면 트랩 보다는 주로 반도체 벌크 트랩의 감소로 인한 것으로 확인되었다. 따라서 150°C~350°C 사이에서의 열처리는 주로 벌크 트랩을 감소시키는 것으로 보인다.

결국, 활성층의 두께 변화는 벌크 트랩과 계면 트랩의 변화를 동시에 유도하였고, 150°C~350°C 사이의 후열처리 온도 변화는 계면 트랩보다는 주로 벌크 트랩의 변화를 유도하였다.

REFERENCES

- [1] K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, *Nature*, **432**, 488 (2004).
- [2] K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano, and H. Hosono, *Science*, **300**, 1269 (2003).
- [3] R. A. Street, *Adv. Mater.*, **21**, 2007 (2009).
- [4] K. Nomura, T. Aoki, K. Nakamura, T. Kamiya, T. Nakanishi, T. Hasegawa, M. Kimura, T. Kawase, M. Hirano, and H. Hosono, *Appl. Phys. Lett.*, **96**, 263509 (2010).
- [5] M. J. Lee, S. J. Kang, J. Y. Baik, K. K. Jeong, H. D. Kim, H. J. Shin, J. Chung, J. Lee, and J. Lee, *J. Appl. Phys.*, **108**, 024507 (2010).
- [6] W. Lim, J. H. Jang, S. H. Kim, D. P. Norton, V. Craciun, S. J. Pearton, F. Ren, and H. Shen, *Appl. Phys. Lett.*, **93**, 082102 (2008).
- [7] S. Kim, Y. W. Jeon, Y. Kim, D. Kong, H. K. Jung, M. K. Bae, J. H. Lee, B. D. Ahn, S. Y. Park, J. H. Park, J. Park, H. I. Kwon, D. M. Kim, and D. H. Kim, *IEEE Electron Devices Lett.*, **33**, 62 (2012).
- [8] H. Q. Chiang, B. R. McFarlane, D. Hong, R. E. Presley, and J. F. Wager, *Thin Solid Films*, **354**, 2826 (2008).
- [9] B. Kim, E. Chong, D. H. Kim, Y. W. Jeon, D. H. Kim, and S. Y. Lee, *Appl. Phys. Lett.*, **99**, 062108 (2011).
- [10] S. Y. Lee, D. H. Kim, E. Chong, Y. W. Jeon, and D. H. Kim, *Appl. Phys. Lett.*, **98**, 122105 (2011).
- [11] S. Hwang, J. H. Lee, C. H. Woo, J. Y. Lee, and H. K. Cho, *Thin Solid Films*, **519**, 5146 (2011).
- [12] A. H. Chen, H. T. Cao, H. Z. Zhang, L. Y. Liang, Z. M. Liu, Z. Yu, Q. Wan, *Microelectron. Eng.*, **87**, 2019 (2010).
- [13] S. Y. Lee, D. H. Kim, B. Kim, H. K. Jung, and D. H. Kim, *Thin Solid Films*, **520**, 3796 (2012).