

채널 구조에 따른 1T-DRAM Cell의 메모리 특성

장기현¹, 정승민¹, 박진권¹, 조원주^{1,a}

¹ 광운대학교 전자재료공학과

Memory Characteristics of 1T-DRAM Cell by Channel Structure

Ki-Hyun Jang¹, Seung-Min Jung¹, Jin-Kwon Park¹, and Won-Ju Cho^{1,a}

¹ Department of Electronic Materials Engineering, Kwangwoon University, Seoul 139-710, Korea

(Received January 19, 2012; Revised January 24, 2012; Accepted January 24, 2012)

Abstract: We fabricated fully depleted (FD) SOI-based 1T-DRAM cells with planar channel or recessed channel and the electrical characteristics were investigated. In particular, the dependence of memory operating mode on the channel structure of 1T-DRAM cells was evaluated. As a result, the gate induced drain leakage current (GIDL) mode showed a better memory property for planar type 1T-DRAM. On the other hand, the impact ionization (II) mode is more effective for recessed type.

Keywords: Impact ionization (II), Kink effect, Floating body effect, Gate induced drain leakage (GIDL)

1. 서 론

최근 반도체 칩의 트랜지스터 집적화 기술이 발달함에 따라 소자의 크기가 나노미터 영역으로 작아지면서 DRAM (dynamic random access memory)의 캐패시터 영역을 작게 만들어야 하는 문제가 제기되고 있다. 이러한 문제점을 해결하기 위해 대체 기술이 끊임없이 연구되고 있는 가운데, 하나의 트랜지스터와 하나의 캐패시터로 구성된 기존의 DRAM과 달리 하나의 트랜지스터만으로 이루어진 1T-DRAM 소자의 연구가 활발히 진행되고 있다 [1-4]. 이는 기존 DRAM의 구조와는 달리 캐패시터 영역이 필요하지 않아 복잡한 공정과정이 줄어들어 소자 제작이 용이하며, 더 높은 집적도를 구현할 수 있는 장점이 있다. 또한 SOI (silicon-on-insulator) 기판을 사용함으로써 기존의 벌크 실리콘 기판에 비하여, 기생 정전 용량

이 감소되어 고속 동작이 가능하고, 스위칭 동작을 향상시키며, 누설전류를 줄일 수 있다.

일반적인 DRAM의 경우 불순물의 주입을 통하여 소스 및 드레인을 형성시킨다, 이에 따라 고온에서 열처리 공정을 거칠 경우, 불순물의 확산에 의한 유효 채널 길이 감소에 의해 단 채널 효과가 증가하게 된다. 이러한 문제점을 해결하기 위해서 유효 채널 길이를 늘려 단 채널 효과에 의한 영향을 감소시키는 recessed 형태의 채널 구조가 제안되었다 [5]. Recessed channel 구조는 소스/드레인의 저항을 감소시키고, 기판의 도핑 농도를 낮출 수 있으며, 문턱전압의 조절이 용이하다. 또한 접합 누설전류 및 DIBL (drain induced barrier lowering) 현상을 개선하여 전기적 특성을 향상시킨다 [5,6]. 하지만 채널 구조에 따라 소자의 전기적 특성의 차이가 있으므로, 채널 구조에 따른 메모리 특성을 분석하여 각 구조에 적합한 구동방법을 찾아야 할 필요가 있다. 본 연구에서는 planar 타입과

recessed 타입의 채널 구조를 가지는 완전 공핍된 1T-DRAM을 제작하여 전기적 특성을 분석하였으며, impact ionization (II)과 GIDL (gate induced drain leakage)를 이용하여 메모리 특성을 평가하고, 각 구조에 적합한 메모리 구동방법을 확인하였다.

2. 실험 방법

기판으로는 상부 실리콘과 매몰 산화막이 각각 100 nm와 200 nm인 (100) 방향의 p-type SOI 기판을 사용하였다. 포토리소그래피와 건 식각 과정을 이용하여 활성화 영역을 형성하였다. Recessed 구조의 경우 LPCVD (low pressure chemical vapor deposition)을 이용하여 고농도의 n-type 다결정 실리콘을 증착하여 소스 및 드레인을 형성하였다. 건 식각을 이용하여 recessed 채널을 형성한 후 RF 스퍼터를 이용하여 게이트 절연막으로 SiO₂를 증착하였다. 게이트 전극으로는 e-beam evaporator를 이용하여 알루미늄을 증착하였다. Planar 구조의 경우, 게이트 절연막은 건 식 산화를 이용해 SiO₂를 성장시켰으며, 게이트 전극으로는 LPCVD를 이용하여 고농도로 도핑된 n-type 다결정 실리콘을 증착하였다. 소스 및 드레인 영역을 형성하기 위해 플라즈마 도핑시스템을 이용하여 phosphorus를 주입시켰다.

두 구조의 소자 모두 소스 및 드레인 영역의 활성화를 위해 950°C로 N₂/O₂ 분위기에서 30초 동안 급속 열처리를 실시하였으며 계면상태 개선을 위해 후속 열처리 공정은 2% H₂/N₂의 혼합 가스 분위기에서 450°C로 30분 간 후속열처리를 진행하였다. 그림 1은 채널 구조에 따라 제작된 1T-DRAM의 구조도이며, 채널 길이와 폭은 각각 10/20 μm 이다.

3. 결과 및 고찰

그림 2는 게이트 전압에 따른 드레인 전류의 변화를 나타낸 그래프이다. 문턱전압은 planar 구조의 경우 -248 mV, recessed 구조의 경우 -847 mV, sub-threshold swing값은 각각 76 mV/dec, 78 mV/dec로 우수한 스위칭 특성을 보였다. 드레인 전압이 1 V일 때 planar, recessed 구조에서의 on/off 전류 비율은 각각 10⁹, 10¹⁰ 을 갖는다. 동작 영역에서의 드레인 전류는 planar 구조에서 더 큰 것을 확인

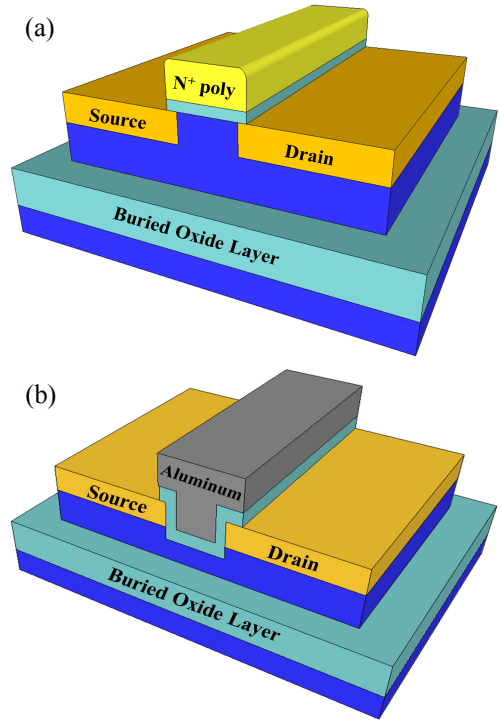


Fig. 1. Schematic diagram of the fabricated FD SOI 1T-DRAM with (a) planar and (b) recessed type.

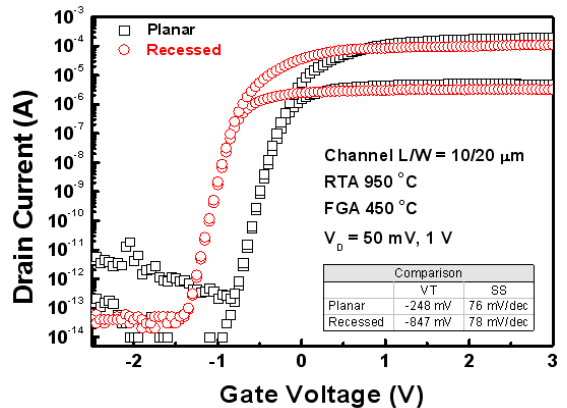


Fig. 2. The I_D-V_G characteristics of SOI nMOSFETs.

할 수 있는데, 이는 유효 채널 길이가 recessed 구조보다 짧기 때문이다. Off 영역의 경우 recessed 구조에서 소스/드레인과 채널영역 기판과의 접합면이 감소하여 누설 전류가 개선되었다. 그림 3은 드레인 전압에 따른 드레인 전류의 변화를 나타낸 그래프이다. 포화영역에서의 동작전류가 planar 구조에서 더 큰

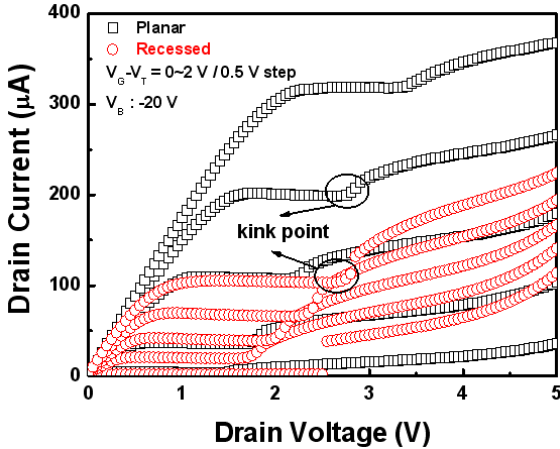


Fig. 3. The I_D - V_D characteristics of SOI nMOSFETs.

것을 확인할 수 있는데, 이는 그림 2의 결과와 같이 구조상의 특성을 가지기 때문이다 [6]. Recessed 구조의 경우 소스/드레인이 기판과의 접합 깊이가 거의 없으므로, 기판위에 축적된 정공과 접합 누설전류간의 재결합이 개선된다 [7]. 본 연구에서는 완전 공핍된 SOI 기판을 사용하여, impact ionization에 의해 생성된 정공이 축적되게 하기 위해서 기판에 -20 V의 전압을 인가하였다. 두 소자 모두 kink effect가 발생하는 것을 확인함으로써 floating body effect를 이용하여 1T-DRAM의 구동 가능성을 확인할 수 있었다.

그림 4(a)는 II 구동방법을 이용한 채널 구조에 따른 메모리 특성이다. 프로그램 동작 뒤 5 ms 후에 '1' 상태와 '0' 상태의 전류차를 sensing margin (ΔI_s)로 정의하였다. II 방법으로 측정할 경우에 planar 구조는 5 μ A, recessed 구조는 18 μ A의 sensing margin을 보여 recessed 구조에서 메모리 특성이 더 좋은 것을 확인하였다. 이는 그림 3의 결과와 같이, recessed 구조에서 축적된 정공과 접합 누설전류간의 재결합이 개선되어 kink effect 후의 전류 증폭량이 크기 때문이다. 그림 4(b)는 GIDL 구동방법을 이용한 채널 구조에 따른 메모리 특성이다. GIDL 방법으로 측정할 경우에 recessed 구조는 7 μ A, planar 구조는 17 μ A의 sensing margin을 보여 planar 구조에서 메모리 특성이 더 좋은 것을 확인하였다. 이는 그림 2의 결과와 같이, planar 구조의 경우에 게이트와 드레인이 중첩되는 부분과 기판과의 접합면이 넓어, GIDL (gate induced drain leakage) 전류가 크기 때문이다.

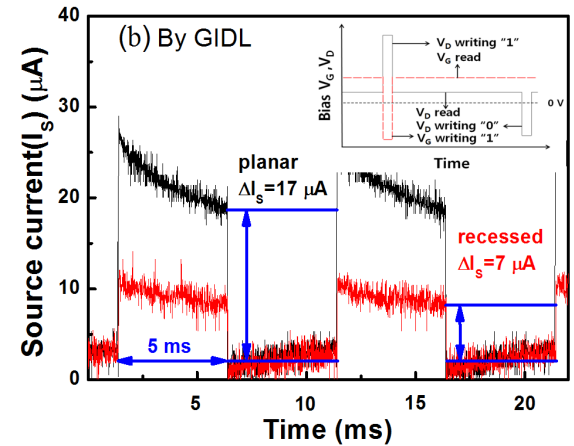
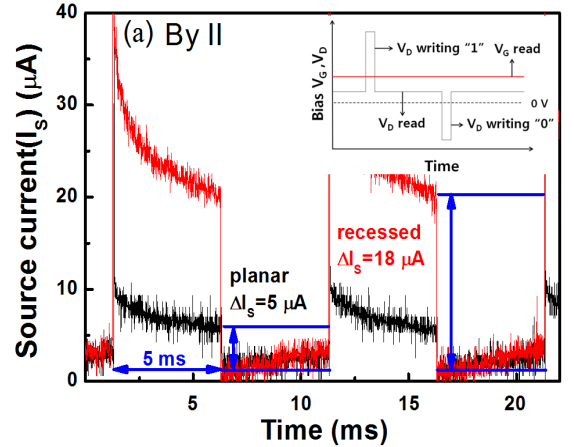


Fig. 4. According to channel structure, memory characteristics of SOI 1T-DRAM with (a) by II and (b) by GIDL method.

4. 결론

채널 구조에 따른 1T-DRAM의 측정방법에 관한 메모리 특성을 연구하였다. Recessed 구조의 경우, planar 구조에 비하여 드레인 전류가 작지만, 소스/드레인과 채널영역 기판간의 접합 면적이 작아 누설전류가 개선되었다. 그 결과 kink effect 후 증폭된 전류량이 planar 구조보다 큰 것을 확인하였다. 이에 따라 recessed 구조의 경우 II 방법을 이용하여 1T-DRAM 구동을 할 경우 효과적인 메모리 특성을 확인할 수 있었다. Planar 구조의 경우, 게이트와 드레인이 중첩되는 영역이 넓다. 그 결과 높은 GIDL 전류를 나타내므로, GIDL 방법을 이용하여 1T-DRAM 구동을 할 경우 효과적인 메모리 특성을 확인할 수

있었다. 따라서 효과적인 메모리 특성을 얻기 위해서, 채널 구조에 따라 적합한 측정방법을 적용하여야 한다.

감사의 글

2011년도 정부 (교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업임 (No.2011-0003573).

REFERENCES

[1] S. Okhonin, M. Nagoga, J. M. Sallese, and P. Fazan, *IEEE Electron Devices Lett.*, **23**, 85 (2002).

[2] M. Bawedin, S. Cristoveanu, and D. Flandre, *Solid State Electron*, **51**, 1252 (2007).

[3] M. Bawedin, S. Cristoloveanu, and D. Flandre, *IEEE Electron Devices Lett.*, **29**, 795 (2008).

[4] K. Kim, C. G. Hwang, and J. G. Lee, *IEEE Electron Devices Lett.*, **45**, 598 (1998).

[5] J. Y. Kim, C. S. Lee, S. E. Kim, I. B. Chung, Y. M. Choi, B. J. Park, J. W. Lee, D. I. Kim, Y. S. Hwang, J. M. Park, D. H. Kim, N. J. Kang, M. H. Cho, M. Y. Jeong, H. J. Kim, J. N. Han, S. Y. Kim, B. Y. Nam, H. S. Park, S. H. Chung, J. H. Lee, J. S. Park, H. S. Kim, Y. J. Park and K. N. Kim, *VLSI Symp. Tech. Dig.*, 11 (2003).

[6] P. H. Bricout and E. Dubois, *IEEE Trans. Elec. Dev.*, **43**, 1251 (1996).

[7] S. M. Sze and K. Ng. Kwok, *Physics of Semiconductor Devices*, 3rd ed. (John Wiley & Sons, New Jersey 2007) p. 343.