

산화막과 질화막 위에 제작된 3D SONOS 다층 구조 플래시 메모리소자의 1/f 잡음 특성 분석

이상율¹, 오재섭², 양승동¹, 정광석¹, 윤호진¹, 김유미¹, 이희덕¹, 이가원^{1,a}

¹ 충남대학교 전자전파정보통신공학과

² 나노종합팩센터 CMOS 소자팀

The 1/f Noise Analysis of 3D SONOS Multi Layer Flash Memory Devices Fabricated on Nitride or Oxide Layer

Sang-Youl Lee¹, Jae-Sub Oh², Seung-Dong Yang¹, Kwang-Seok Jeong¹, Ho-Jin Yun¹,
 Yu-Mi Kim¹, Hi-Deok Lee¹, and Ga-Won Lee^{1,a}

¹ Department of Electronics Engineering, Chungnam National University, Daejeon 305-764, Korea

² Nano Process Technology Team, National Nanofab Center, Daejeon 305-806, Korea

(Received January 9, 2012; Revised January 24, 2012; Accepted January 24, 2012)

Abstract: In this paper, we compared and analyzed 3D silicon-oxide-nitride-oxide-silicon (SONOS) multi layer flash memory devices fabricated on nitride or oxide layer, respectively. The device fabricated on nitride layer has inferior electrical properties than that fabricated on oxide layer. However, the device on nitride layer has faster program / erase speed (P/E speed) than that on the oxide layer, although having inferior electrical performance. Afterwards, to find out the reason why the device on nitride has faster P/E speed, 1/f noise analysis of both devices is investigated. From gate bias dependance, both devices follow the mobility fluctuation model which results from the lattice scattering and defects in the channel layer. In addition, the device on nitride with better memory characteristics has higher normalized drain current noise power spectral density (S_{ID}/I_D^2), which means that it has more traps and defects in the channel layer. The apparent hooge's noise parameter (α_{app}) to represent the grain boundary trap density and the height of grain boundary potential barrier is considered. The device on nitride has higher α_{app} values, which can be explained due to more grain boundary traps. Therefore, the reason why the devices on nitride and oxide have a different P/E speed can be explained due to the trapping/de-trapping of free carriers into more grain boundary trap sites in channel layer.

Keywords: SONOS, Multi layer, Buffer layer, 1/f noise, Mobility fluctuation

1. 서론

Information technology 산업의 발전은 정보의 양을 폭발적으로 증가시키고 있으며, 정보의 저장 형태도 인쇄된 문서나 도서의 형태에서 전산화된 정보의

형태로 바꾸고 있다. 이러한 변화는 반도체 시장, 특히 메모리 분야의 성장을 주도하고 있는데, 휴대전화, 디지털 카메라, MP3 등 이동성 매체에 부합하는 메모리의 수요가 급격히 증가한 것으로부터 이를 알 수 있다. 이동성 매체에 적합한 메모리의 특징은 소형, 다량의 정보저장, 빠른 속도의 프로그램 / 소거, 저소

비 전력 등을 들 수 있는데, 이를 충족시키는 메모리로 플래시 메모리가 이동성 매체에 사용되었다. 그러나 더 작고, 더 많은 정보를 저장할 수 있도록 소자를 축소화함에 따라 게이트 절연막의 두께가 얇아지고, 이로 인해 단채널 현상 중의 하나인 전자 터널링을 통한 게이트 누설 전류가 증가하여 물리적, 전기적으로 소자를 신뢰할 수 없게 되었다 [1]. 이와 같은 문제를 해결하기 위해 새로운 구조와 물질의 적용에 대한 많은 연구가 이루어지고 있는데, 그 중 SONOS (silicon-oxide-nitride-oxide-silicon) 구조를 갖는 메모리 소자가 주목을 받고 있다 [2]. 또한 소자를 2차원 구조에서 3차원 구조로 만들어서 단채널 현상의 발생을 효과적으로 억제하는 연구도 활발히 진행 중에 있으며 [3,4], 여기서 그치지 않고 소자를 제작할 때, 각 구조에 어떤 물질을 사용하고, 추가하느냐에 따라 소자 성능의 개선에 영향을 주는지에 대한 연구도 함께 진행되고 있다 [5].

본 논문에서는 동일한 다층 구조를 가지나 기판 위의 물질을 의도적으로 바꾼 서로 다른 플래시 메모리 소자를 제작하여 각 물질 위에 증착된 비정질 실리콘의 특성에 따른 소자의 전기적, 메모리 특성을 비교, 분석하였다. 그리고 계면 근처와 산화물층 내에 있는 트랩, 그리고 채널의 질을 평가할 수 있는 강력한 분석 도구인 $1/f$ 잡음 측정을 통해 소자 특성 분석을 수행하였다 [6].

2. 실험 방법

본 실험에서는 다층 구조를 갖는 SONOS 플래시 메모리 소자를 제작하였다. 기판 위의 물질에 따른 소자의 특성 비교를 위해 2개의 p형 실리콘 기판 위에 질화막(Si_3N_4)과 산화막(SiO_2)을 각각 1,000 Å 증착하였다. 그리고 다층 구조를 형성하기 위해 순차적으로 각 기판 위에 비정질 실리콘 (α -poly) 500 Å, 산화막 500 Å, 비정질 실리콘 500 Å, 산화막 100 Å를 각각 적층한 후에 HF 용액을 이용하여 20초 동안 습식 식각 공정을 진행하였다. 보다 나은 특성을 갖는 채널 형성을 위해 산화막 30 Å, 질화막 60 Å, 산화막 80 Å를 증착하여 ONO (oxide/nitride/oxide) 구조를 형성하였고 그 위에 비정질 실리콘을 1,000 Å 적층시켜서 게이트를 형성하였다. 그 후 소스와 드레인 인 (phosphorus)과 비소 (arsenic)로 각각 이온 주입을 하였으며 1,000°C에서 10초 동안 N_2 분위기에

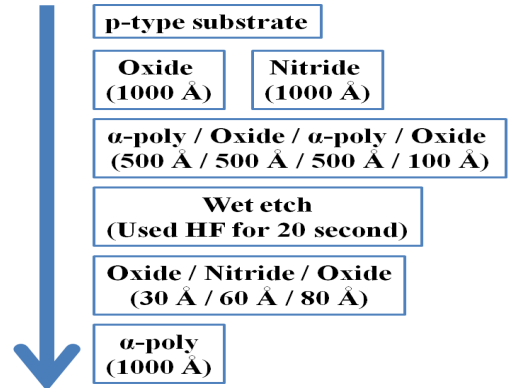


Fig. 1. Process flow of the SONOS multi layer flash memory devices fabricated on nitride or oxide layer.

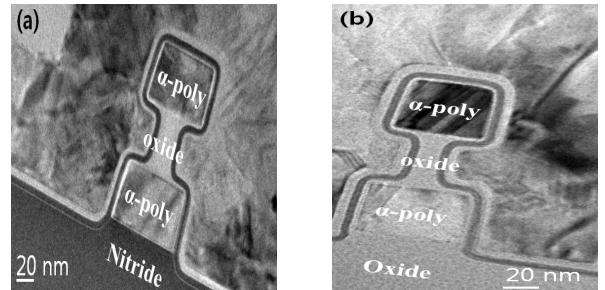


Fig. 2. TEM images of SONOS multi layer flash memory devices fabricated on nitride or oxide layer at the scale of 20 nm.

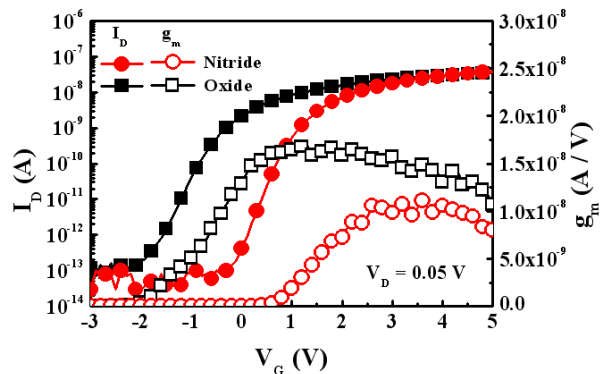


Fig. 3. I_D - V_G and g_m - V_G characteristics of SONOS multi layer memory devices fabricated on nitride or oxide layer.

서 열처리를 하였고, 마지막으로 접촉 패드를 각 층의 위·아래층에 각각 연결하였다. 소자의 측정은 폭 0.22 μm , 길이 10 μm 크기에서 진행하였으며, 그

Table 1. The DC parameters of the SONOS multi layer flash memory devices fabricated on nitride or oxide layer.

| | Nitride | Oxide |
|--|--------------------|--------------------|
| V_{TH} (V) | 1.34 | -0.13 |
| $I_{ON/OFF}$ ratio | 3.17×10^5 | 7.23×10^5 |
| Subthreshold Slope (SS) (mV/decade) | 304 | 343 |
| $g_{m,max}$ (nA/V) | 10.6 | 16.8 |

림 1에 다층 구조 메모리 소자의 제작 순서도를 나타내었다.

그림 2는 TEM (transmission electron microscopy) 분석 사진이다. TEM 분석을 통해 다음 메모리 소자의 구조가 다층인 것과 기판 위의 물질이 서로 다를 수 있다. 그림 2(a)와 (b)의 TEM은 각각 기판 위의 물질이 질화물인 경우와 산화물인 경우를 보여준다. 또한 ONO 구조의 형성과 게이트에 둘러싸여 있는 것 또한 확인할 수 있다.

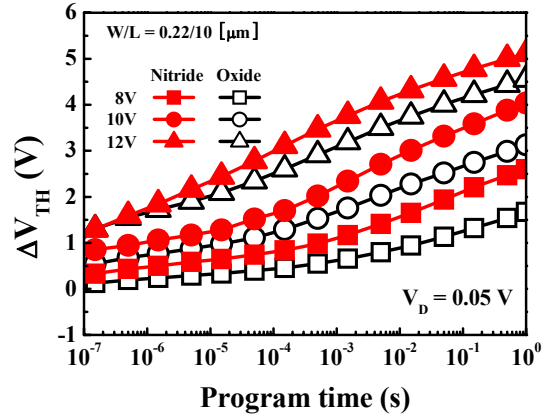
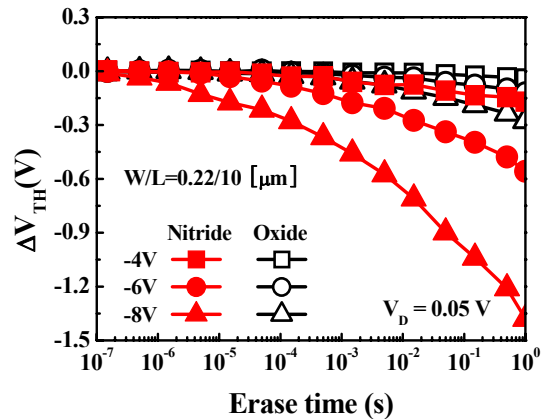
3. 결과 및 고찰

3.1 기판 위의 물질에 따른 메모리의 전기적 특성

그림 3은 드레인 전압 (V_D)이 0.05 V 일 때, 기판 위의 물질이 각기 다른 다층 구조를 갖는 플래시 메모리의 전송 특성 곡선을 보여주고 있다. 그리고 이로부터 추출한 변수 값들을 표 1에 나타내었으며, 각각의 변수 값들은 다음과 같은 방법으로 추출 되었다. 문턱전압 (V_{TH})은 $g_{m,max}$ 점에서의 게이트 전압 (V_G)에서 드레인 전류 (I_D)곡선에 접선을 그어 x축과 만나는 지점에서의 값을 나타내고, Ion/off ratio는 가장 작은 I_D 값과 가장 큰 I_D 값의 비를 나타낸다. SS는 선형영역에서의 I_D - V_G 에서 기울기의 역수 값이고, 마지막으로 $g_{m,max}$ 는 I_D - V_G 의 비례상수이다.

결과적으로, 산화막 위에 제작된 소자가 더 큰 값을 보이는 Ion/off ratio와 $g_{m,max}$ 를 통해 더 좋은 이동도를 갖는 것과, 더 작은 V_{TH} 를 가진다는 사실로부터, 질화막 위에 제작된 소자보다 더 좋은 전기적 특성을 가짐을 알 수 있다.

다음으로 서로 다른 절연막 위에서 제작된 소자의

**Fig. 4.** Program characteristics of SONOS multi layer flash memory device fabricated on nitride or oxide layer at $V_G = 8, 10$ and 12 V.**Fig. 5.** Erase characteristics of SONOS multi layer flash memory devices fabricated on nitride or oxide layer at $V_G = -4, -6$ and -8 V.

메모리 특성 분석이 수행되었다. 그림 4는 게이트 overdrive 전압 ($V_G - V_{TH}$)이 각각 8, 10, 그리고 12 V 일 때의 프로그램 특성 곡선을 보여주고 있다. $V_G - V_{TH}$ 가 증가하고, 시간이 지날수록 두 소자의 프로그램 특성이 모두 Fowler-Nordheim (F-N) 터널링 방식으로 V_{TH} 의 변화량이 증가하는 것을 볼 수 있다 [7]. 게다가 질화막 위에 제작된 소자의 경우 산화막 위에 제작된 소자와 비교해볼 때, 다소 더 나은 프로그램 특성을 보여주고 있다.

그림 5는 메모리 소거 특성 곡선을 보여주고 있다. 프로그램 특성 곡선에서와 마찬가지로 두 소자 모두

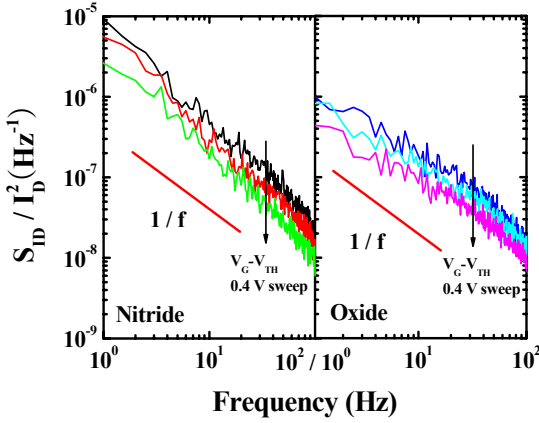


Fig. 6. The S_{ID}/I_D^2 according to the $V_{GS}-V_{TH}$ of SONOS multi layer flash memory devices fabricated on nitride or oxide layer.

V_G-V_{TH} 와 소거 시간이 증가함에 따라 F-N 터널링 방식에 의해 소거되는 전하의 양이 많아짐을 확인할 수 있다. 게다가, 질화막 위에 제작된 소자가 산화막 위에 제작된 소자 보다 훨씬 더 좋은 소거 특성을 보였다.

산화막 위에 제작된 소자가 더 좋은 전기적인 특성을 가짐에도 불구하고, 더 열악한 메모리 특성을 갖는 명확한 원인을 규명하기 위해서 1/f 잡음 특성 분석이 검토되었다.

그림 6은 서로 다른 막 위에서 제작된 두 소자에서 측정된 1/f 잡음을 S_{ID}/I_D^2 으로 나타낸 그래프를 보여주고 있다. 두 소자 모두 S_{ID}/I_D^2 이 주파수에 반비례하는 1/f의 특성을 만족하는 것을 확인할 수 있으며, 질화막 위에 제작된 소자의 경우에 1 order 정도 더 높은 잡음 레벨을 갖는 것을 보아 채널 또는 게이트 산화막 내에 더 많은 트랩 및 결함을 가지고 있다고 볼 수 있다 [8].

이후, 두 소자들의 메모리 특성 차이의 지배적인 원인을 규명하기 위해서 V_G 의존성이 검토되었다. 그림 7은 10 Hz의 고정된 주파수에서 실험 하에 있는 두 소자들의 V_G-V_{TH} 에 따른 S_{ID}/I_D^2 을 보여주고 있다. 두 소자들의 지배적인 열화 매커니즘을 찾기 위해서 V_G-V_{TH} 가 0.6 V부터 2 V까지의 전압 범위에서 각 소자들의 기울기 값이 추출되었고, 산화막 위에서 제작된 소자의 경우 -1.032, 질화막 위에서 제작된 소자의 경우 -0.999의 기울기 값을 드러냈다. 일반적으로, 기울기 값이 -1을 따라갈 경우에는 채널 내 격자

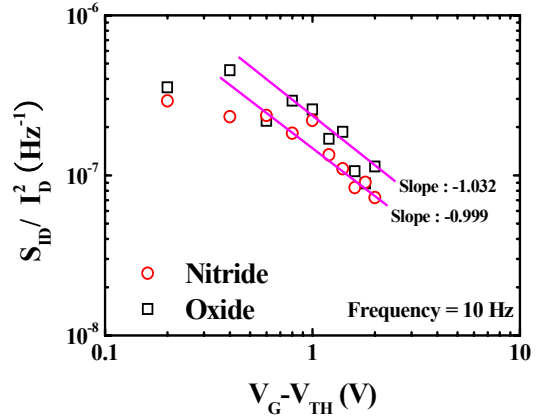


Fig. 7. S_{ID}/I_D^2 versus V_G-V_{TH} at a fixed frequency of 10 Hz that measurement of SONOS multi layer flash memory devices fabricated on nitride or oxide layer.

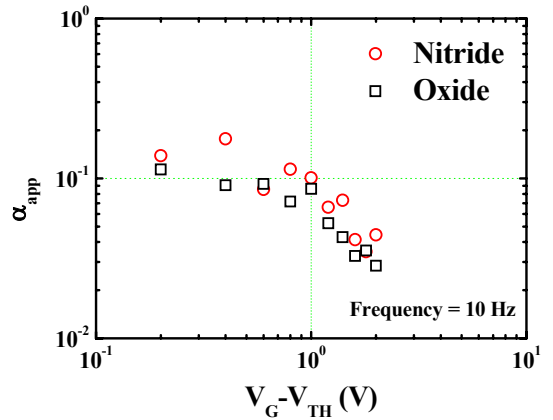


Fig. 8. Variations of the parameter α_{app} versus V_G-V_{TH} in SONOS multi layer flash memory devices fabricated on nitride or oxide layer at the fixed frequency of 10 Hz.

산란에 의한 이동도 요동 (mobility fluctuation) 모델에 의해서 소자의 전도 매커니즘은 설명될 수 있고, 반면 -2의 기울기 값을 가질 경우에는 게이트 절연막 내로의 반송자들의 trapping/de-trapping에 의한 반송자수 요동 (carrier number fluctuation) 모델이 소자 내에서 지배적이라고 보고되어 있다 [9]. 즉, 두 소자 모두 대략 -1의 기울기 값을 갖는다는 사실로부터 이동도 요동 모델이 지배적이라고 설명될 수 있다. 게다가, 그림 7에서 볼 수 있듯이, 질화막 위에 제작된 소자가 산화막 위에 제작된 소자에 비해 더 높은 잡음 레벨을 갖는다는 사실로부터 산화막 위에 제작된

소자가 더 좋은 채널 질 특성을 갖는다고 설명될 수 있다. 이 결과는 앞서 측정된 전송 곡선 특성과 부합한다.

마지막으로 두 소자들의 $1/f$ 잡음의 기원을 차별화할 수 있는 파라미터인 Hooge의 변수 값 α_{app} 가 고려되었다. 단결정 실리콘과 같은 균질의 물질에 대해서 α_{app} 는 이동도 요동 모델의 경우 하나의 일정한 잡음 파라미터, 반면 반송자 요동 모델의 경우에는 $V_G - V_{TH}$ 의 증가에 따라 반대로 비례한다고 보고되었다 [10]. 하지만 본 논문에서 사용된 채널 층은 다결정 실리콘이기 때문에 α_{app} 는 결정립 경계 트랩 밀도와 결정립 경계 전위 장벽의 값을 나타내는 값으로 사용될 수 있다 [11]. 그림 8은 $V_G - V_{TH}$ 에 따른 α_{app} 의 변화를 나타낸 그래프이다. α_{app} 는 다음과 같은 수식으로 얻을 수 있다 [11].

$$\alpha_{app} = \frac{f W L C_{OX} |V_G - V_{TH}| S_{ID}(f)}{q I_D^2} \quad (1)$$

여기서 f 는 주파수, C_{OX} 는 단위 면적당 게이트 산화막의 전하용량 크기, q 는 전하량을 나타낸다. 그림 8에서 보여 지듯이 $V_G - V_{TH}$ 가 증가함에 따라 두 소자 모두 0.6 V 이하의 낮은 V_G 에서는 α_{app} 가 이동도 요동 모델과 같은 일정한 값을 가졌지만, 0.6 V 이상의 높은 V_G 에서는 V_G 에 반비례하는 반송자 수 요동 모델 특성을 드러냈다. 이 결과는 앞에서 언급되었듯이 $V_G - V_{TH}$ 에 따른 α_{app} 의 변화는 결정립 경계 전위 장벽의 변화로써 설명될 수 있다. 따라서 질화막 위에 제작된 소자보다 산화막 위에 제작된 소자가 더 작은 결정립 경계 트랩 밀도를 갖는다는 사실을 알 수 있었다. 이 결과는 질화막 위에 증착된 비정질 실리콘의 특성이 산화막 위에 증착된 비정질 실리콘의 특성보다 더 열악하다는 이전 연구 결과와 동일하다 [12,13].

결과적으로, 질화막 위에 제작된 소자와 산화막 위에 제작된 소자의 프로그램 / 소거 속도 차이의 원인은 질화막 위에 제작된 소자의 경우 ONO에 있는 전하 저장층에 전하들이 저장되어 V_{TH} 가 변한 것만이 아니라, 결정립 경계 트랩 내에도 전하들이 저장되어 V_{TH} 변화량에 영향을 주기 때문으로 설명될 수 있다.

4. 결론

본 논문에서는 산화막과 질화막 위에 각각 제작된

다층 구조를 갖는 3D SONOS 플래시 메모리의 전기적 특성 및 메모리 특성을 비교 분석하였다. 질화막 위에 제작된 소자의 경우 좋지 않은 전기적인 특성을 보였음에도 불구하고 메모리 특성은 더 좋은 결과를 드러냈다. 이와 같은 원인을 규명하기 위해서 $1/f$ 잡음 특성 분석을 수행하였고, 두 소자 모두 채널 층의 질에 의해 야기하는 이동도 요동 모델이 반송자 수 요동 모델에 비해 더 지배적이라는 사실을 알 수 있었다. 또한 더 큰 값을 갖는 α_{app} 를 통해 질화막 위에 제작된 소자가 산화막 위에 제작된 소자보다 채널 내 더 많은 결정립 경계 트랩을 갖는다는 사실 또한 알 수 있었다. 결과적으로, 프로그램 / 소거 속도 차이의 원인은 채널 내에 존재하는 결정립 경계 트랩 내에 전하들이 저장되어 V_{TH} 변화량에 영향을 주기 때문으로 설명될 수 있다.

감사의 글

이 논문은 교육과학기술부와 한국연구재단의 지역 혁신인력양성사업과 기초연구사업(No. 2011-0003708)의 지원 하에 수행된 연구결과임.

REFERENCES

- [1] The International Technology Roadmap for Semiconductors, 36 (2001).
- [2] J. Bu and M. H. White, *Solid State Electron.*, **45**, 113 (2001).
- [3] J. K. Park, S. D. Yang, H. J. Yun, K. S. Jeong, Y. M. Kim, J. S. Oh, H. D. Lee, and G. W. Lee, *J. Korean Phys. Soc.*, **58**, 1407 (2011).
- [4] Y. Sun, H. Y. Yu, N. Singh, N. S. Shen, G. Q. Lo, and D. L. Kwong, *IEEE Electron Device Lett.*, **31**, 390 (2010).
- [5] S. H. Jeon, J. H. Han, J. H. Lee, S. M. Choi, H. S. Hwang, and C. W. Kim, *IEEE Trans. Electron Devices*, **52**, 2654 (2005).
- [6] H. K. Hung, P. K. Ko, C. Hu, and Y. C. Cheng, *IEEE Trans. Electron Devices*, **37**, 654 (1990).
- [7] G. Groeseneken, H. E. Maes, J. V. Houdt, and J. S. Witters, *Nonvolatile Semiconductor Memory Technology* (IEEE Press, New York, 1998) p. 9.
- [8] S. H. Bae, J. H. Lee, H. I. Kwon, J. R. Ahn, J. C. Om, C. H. Park, and J. H. Lee, *IEEE Trans.*

- Electron Devices*, **56**, 1624 (2009).
- [9] P. Magnone, F. Crupi, G. Giusi, C. Pace, E. Simoen, C. Claeys, L. Pantisano, D. Maji, V. R. Rao, and P. Srinivasan, *IEEE Trans. Device & Mater. Reli.*, **9**, 180 (2009).
- [10] L. K. J. Vandamme, *Solid State Electron*, **28**, 1049 (1985).
- [11] A. Mercha, L. K. J. Vandamme, L. Pichon, R. Carin, and O. Bonnaud, *J. Appl. Phys.*, **90**, 4019 (2001).
- [12] L. Chen, J. Miao, L. Guo and R. Lin, *Surf. Coat. Technol.*, **141**, 96 (2001).
- [13] K. H. Lee, H. S. Kang, Y. S. Jang and S. K. Lim, *Proc. 4th Int. Conf. on Solid State & IC Technol.* (Beijing, China, 1995) p. 659.