

# SiO<sub>2</sub> 완충층 두께에 따른 비정질 InGaZnO Pseudo-MOS Field Effect Transistor의 신뢰성 평가

이세원<sup>1</sup>, 황영현<sup>1</sup>, 조원주<sup>1,a</sup>

<sup>1</sup> 광운대학교 전자재료공학과

## Effect of SiO<sub>2</sub> Buffer Layer Thickness on the Device Reliability of the Amorphous InGaZnO Pseudo-MOS Field Effect Transistor

Se-Won Lee<sup>1</sup>, Yeong-Hyeon Hwang<sup>1</sup>, and Won-Ju Cho<sup>1,a</sup>

<sup>1</sup> Department of Electronic Materials Engineering, Kwangwoon University, Seoul 139-710, Korea

(Received December 20, 2011; Revised December 23, 2011; Accepted December 24, 2011)

**Abstract:** In this study, we fabricated an amorphous InGaZnO pseudo-MOS transistor (a-IGZO  $\Psi$ -MOSFET) with a stacked Si<sub>3</sub>N<sub>4</sub>/SiO<sub>2</sub> (NO) gate dielectric and evaluated reliability of the devices with various thicknesses of a SiO<sub>2</sub> buffer layer. The roles of a SiO<sub>2</sub> buffer layer are improving the interface states and preventing degradation caused by the injection of photo-created holes because of a small valance band offset of amorphous IGZO and Si<sub>3</sub>N<sub>4</sub>. Meanwhile, excellent electrical properties were obtained for a device with 10-nm-thick SiO<sub>2</sub> buffer layer of a NO stacked dielectric. The threshold voltage shift of a device, however, was drastically increased because of its thin SiO<sub>2</sub> buffer layer which highlighted bias and light-induced hole trapping into the Si<sub>3</sub>N<sub>4</sub> layer. As a results, the pseudo-MOS transistor with a 20-nm-thick SiO<sub>2</sub> buffer layer exhibited improved electrical characteristics and device reliability; field effective mobility ( $\mu_{FE}$ ) of 12.3 cm<sup>2</sup>/V·s, subthreshold slope (SS) of 148 mV/dec, trap density ( $N_t$ ) of 4.52 × 10<sup>11</sup> cm<sup>-2</sup>, negative bias illumination stress (NBIS)  $\Delta V_{th}$  of 1.23 V, and negative bias temperature illumination stress (NBTIS)  $\Delta V_{th}$  of 2.06 V.

**Keywords:** IGZO,  $\Psi$ -MOSFET, NBIS, NBTIS, Buffer layer

### 1. 서 론

최근 많은 관심을 받고 있는 비정질 InGaZnO (a-IGZO) 박막 트랜지스터 (thin film transistor, TFT)는 기존의 비정질 실리콘 TFT에 비해 높은 이동도와 저온 공정, 그리고 기판이 투명하다는 특성 때문에 차세대 디스플레이에서 요구되는 빠른 스피드와 패널 크기의 대면적화가 가능하다 [1]. 하지만, 실

제 디스플레이가 동작하는 동안 스위칭 TFT는 백라이트 또는 외부에서 들어오는 빛에 지속적으로 노출되게 되고, 이 빛에 의해서 TFT 소자의 신뢰성에 악영향을 끼친다. 또한, 디스플레이가 장시간 동안 동작하면 내부 온도가 상승하게 되고 이에 따른 온도에 의한 신뢰성 문제도 동시에 고려되어야 한다 [2,3]. 특히, 실제 AM-LCD (active-matrix liquid crystal display)에서 스위칭 TFT는 양의 게이트 전압보다 음의 게이트 전압에 의해서 약 500배 가량 더 긴 시간의 스트레스를 받기 때문에 음의 게이트 전압에 대

한 신뢰성 평가는 대단히 중요한 이슈이다 [4]. 이러한 IGZO TFT의 신뢰성 문제는 지금까지 여러 그룹에서 보고되었고, 액티브 채널 영역의 패시베이션, 새로운 산화물 반도체의 개발, 다양한 게이트 절연막에 대한 효과 등과 같은 방법이 제시되었다 [5-7]. 그중에서 특히 TFT를 제작에 있어서 게이트 절연막 재료의 선택은 매우 중요하다. 왜냐하면 TFT의 신뢰성에 영향을 끼치는 가장 큰 원인 중의 하나가 바로 반도체 채널과 게이트 절연막 사이의 계면에 트랩되는 전하 또는 게이트 절연막 자체의 벌크 트랩에 의한 것이기 때문이다. 계면 또는 벌크에 트랩되는 전하들은 SS (subthreshold slope)의 증가와 문턱전압을 변화시키고 실제 디스플레이 픽셀의 변화를 일으킨다. 특히 스위칭 TFT의 게이트 절연막으로 많이 사용되는  $\text{SiN}_x$ 는 많은 계면/벌크 트랩을 포함하고 있고 PECVD 방법으로 막을 증착하는 과정에서 발생하는 수소의 영향으로 소자의 신뢰성에 좋지 않은 영향을 주게 된다 [8]. 이러한  $\text{SiN}_x$ 의 계면 상태를 개선시키기 위해  $\text{SiN}_x$  표면의 플라즈마 처리와  $\text{SiN}_x$ 위에  $\text{SiO}_x$ 를 적층시켜 신뢰성을 향상시킨 연구들이 보고되었다 [9,10].

본 논문에서는 적층된  $\text{Si}_3\text{N}_4/\text{SiO}_2$  (NO) 이중층 구조를 게이트 절연막으로 사용하고, 특히 완충층의 역할을 하는  $\text{SiO}_2$ 막의 두께에 다른 소자의 전기적 특성 및 신뢰성을 평가하였다. a-IGZO TFT 소자의 전기적 특성과 신뢰성 평가를 위하여 간단한 구조의 pseudo-MOS field effect transistor ( $\Psi$ -MOSFET) 방법을 이용하였다.  $\Psi$ -MOSFET은 추가적인 공정 없이 SOI (silicon-on-insulator) wafer의 전기적 특성 등을 신속하게 평가하기 위해 고안된 소자이다 [11]. 따라서 a-IGZO  $\Psi$ -MOSFET은 게이트 절연막의 전기적 특성과 신뢰성 평가를 신속하게 정확하게 평가할 수 있다는 장점을 가지고 있다.

## 2. 실험 방법

본 연구에서 제안된 a-IGZO  $\Psi$ -MOSFET의 모식도를 그림 1에 나타내었다. a-IGZO  $\Psi$ -MOSFET 소자는 실리콘 기판 상에  $\text{Si}_3\text{N}_4/\text{SiO}_2$  적층 게이트 절연막과 a-IGZO 채널을 차례로 형성한 다음, 두 개의 텅스텐 탐침을 a-IGZO 채널 표면에 직접 접촉시켜 소스와 드레인처럼 동작하도록 하였고, 게이트 전극은 실리콘 기판에 탐침을 직접 접촉시키는 매우 간단한 하부 게이트 TFT 구조를 가진다. 먼저 a-IGZO

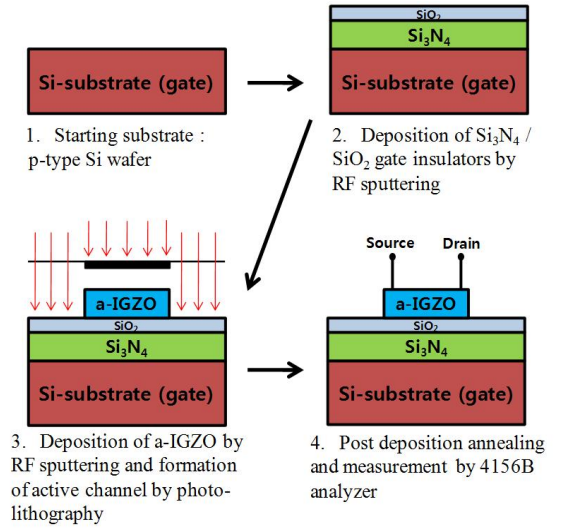


Fig. 1. Schematic diagrams of fabrication process of a-IGZO  $\Psi$ -MOSFET.

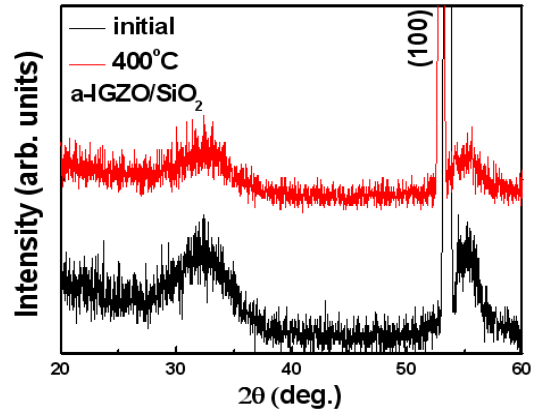


Fig. 2. X-ray diffraction patterns of IGZO films at as-deposition and  $400^\circ\text{C}$  annealing temperature.

$\Psi$ -MOSFET 소자를 제작하기 위해서 비저항이  $1\text{-}10 \Omega \cdot \text{cm}$ 인 (100) 방향의 p-type 실리콘 기판을 표준 RCA 공정으로 표면의 오염을 세정하였다. 다음으로 희석된 불산 (30:1 BOE) 수용액을 이용하여 실리콘 표면의 자연 산화막을 제거한 다음, 바로 RF 스퍼터링을 이용하여 100 nm 두께의  $\text{Si}_3\text{N}_4$  게이트 절연막과  $\text{SiO}_2$  완충층을 증착하였다. 이때,  $\text{SiO}_2$  완충층의 두께는 각각 10, 20, 50, 100 nm가 되도록 결정하였다. IGZO ( $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1 \text{ mol}$ ) 채널층은 RF 스퍼터링을 이용하여 100 W의 파워,  $150^\circ\text{C}$ 의 기판 온도, 6

**Table 1.** Device characteristics of a-IGZO  $\Psi$ -MOSFET with various thickness of SiO<sub>2</sub> buffer layer.

	$V_{th}$	$\mu_{FE}$ (cm <sup>2</sup> /V·s)	SS (mV/dec)	$I_{on}/I_{off}$ ratio	NBIS ( $\Delta V_{th}$ )	NBTIS ( $\Delta V_{th}$ )	$N_t$ (cm <sup>-2</sup> )
NO (100/10 nm)	1.10	14.4	112	$2.72 \times 10^7$	2.24	4.01	$9.3 \times 10^{10}$
NO (100/20 nm)	1.49	12.3	148	$2.53 \times 10^7$	1.23	2.06	$4.52 \times 10^{11}$
NO (100/50 nm)	2.14	5.4	153	$1.94 \times 10^7$	1.81	3.57	$4.65 \times 10^{11}$
NO (100/100 nm)	3.04	2.8	216	$6.53 \times 10^6$	3.48	4.90	$5.99 \times 10^{11}$

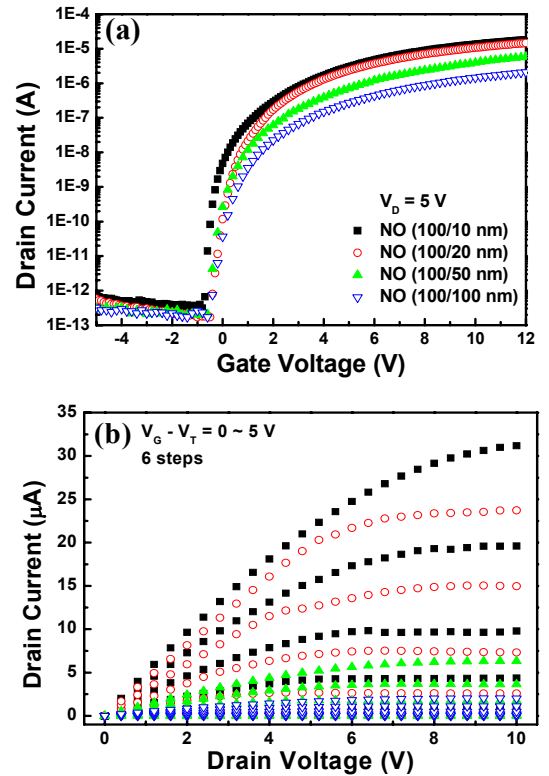
mTorr의 압력, 30 sccm의 Ar 분위기에서 70 nm의 두께로 증착하였다. 광 리소그래피를 이용하여  $\Psi$ -MOSFET의 채널 패터를 형성한 다음, 30:1 BOE 용액을 이용하여 a-IGZO를 식각하였다. 제작된  $\Psi$ -MOSFET은 각각 80  $\mu$ m, 20  $\mu$ m의 채널 길이와 폭을 가진다. 마지막으로 N<sub>2</sub> 분위기에서 30분 간 400°C의 온도에서 후속 열처리를 진행하였다.

### 3. 결과 및 고찰

그림 2는 열처리 전과 400°C에서 열처리한 IGZO 박막의 X선 회절 패턴을 보여준다. Si 기판에 의한 (100)회절피크를 제외하면 400°C 열처리 샘플은 열처리 전과 마찬가지로 IGZO의 결정에 해당하는 피크가 관찰되지 않는다. 따라서, 400°C의 열처리 후에도 비정질 상태를 유지한다는 것을 알 수 있다.

그림 3은 NO 게이트 절연막의 SiO<sub>2</sub> 완충층 두께에 따른 a-IGZO  $\Psi$ -MOSFET의 전기적 특성을 보여준다. 여기서, a-IGZO  $\Psi$ -MOSFET의 문턱전압 ( $V_{th}$ )은  $V_D = 5$  V에서 포화 전류 방정식을 이용하여 추출하였고, 이동도 ( $\mu_{FE}$ )는 최대 트랜스컨덕턴스 ( $g_m$ )로부터 계산되었다.

표 1은 제작된 각 a-IGZO  $\Psi$ -MOSFET 소자의 동작 특성을 정리하였다. 표 1에서 보듯이 10 nm 두께의 SiO<sub>2</sub> 완충층을 가지는 NO 게이트 절연막 구조의 a-IGZO  $\Psi$ -MOSFET은 다른 소자들에 비해 이동도 및 SS, on/off ratio 등의 특성들이 개선되는 것을 볼 수 있다. 이것은 단위 면적 당의 게이트 커패시턴스가 100/10 nm, 100/20 nm, 100/50 nm, 100/100 nm의 두께 순으로 각각 56.3, 48.4, 34.1, 22.8 nF/cm<sup>2</sup>로 감소하며, NO (100/10 nm) 구조에서 가장 높은 게이트 커패시턴스를 갖기 때문이다. 실제 제작된 단일막의



**Fig. 3.** Transfer characteristics of a-IGZO  $\Psi$ -MOSFET with (a) various thickness of SiO<sub>2</sub> buffer layer and (b) output characteristics.

SiO<sub>2</sub>와 Si<sub>3</sub>N<sub>4</sub> 소자의 게이트 커패시턴스 값은 각각 34.5, 67.3 nF/cm<sup>2</sup>으로, SiO<sub>2</sub>는 신뢰성과 안정성 측면에서 가장 우수한 특성을 보이지만 낮은 유전상수를 가져 저전압 동작을 기대하기 힘들고, Si<sub>3</sub>N<sub>4</sub>는 높은 유전상수를 가져 높은 구동 전류와 저전압 동작이 가능하지만 많은 트랩준위를 가지고 있고 IGZO와 Si<sub>3</sub>N<sub>4</sub>와의 낮은 valance band offset에 의해 여기된

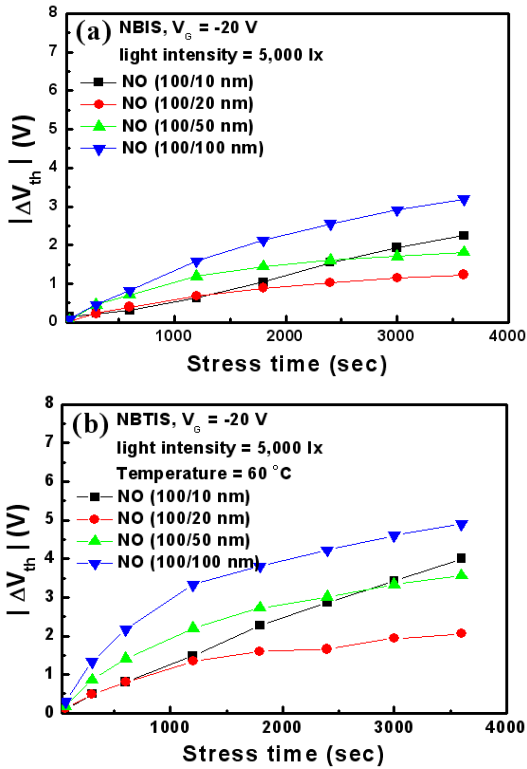


Fig. 4. The  $V_{th}$  shift value as a function of the applied NBIS (a) and NBTIS (b) time for the a-IGZO  $\Psi$ -MOSFET with various thickness of SiO<sub>2</sub> buffer layer.

정공들이 쉽게 Si<sub>3</sub>N<sub>4</sub> 절연막 내로 트랩되어 신뢰성 측면에서 좋지 않은 특성을 보인다 [12]. 따라서 적층된 NO구조는 SiO<sub>2</sub>의 신뢰성 측면과 Si<sub>3</sub>N<sub>4</sub>의 저전압 동작의 두 가지 장점을 모두 가지고 있는 것을 확인하였다.

그림 4는 각각 다른 두께의 SiO<sub>2</sub> 완충층을 가지는 a-IGZO  $\Psi$ -MOSFET의 신뢰성 특성을 보여준다. 신뢰성 측정에 사용된 스트레스 조건은 60°C의 기판 온도에서 -20 V의 게이트 전압을 1시간 인가하였고, 광원은 할로젠 램프를 이용하여 5,000 lux의 가시광 영역 빛을 조사하였다. 그림 4(a)에서 보는 것처럼 NBIS (negative bias illumination stress)에 1시간의 스트레스 후, 20 nm의 SiO<sub>2</sub> 완충층을 가지는 a-IGZO  $\Psi$ -MOSFET 소자의  $V_{th}$  변화율은 1.23 V로 다른 소자들보다 가장 작은 변화율을 보여 신뢰성 측면에서 가장 우수한 특성을 보여준다. 이상의 결과로부터 완충층의 두께가 10 nm인 경우에 가장 양호한 전기적 특성을 보이지만, 신뢰성 측면에서는 오히려 20 nm인

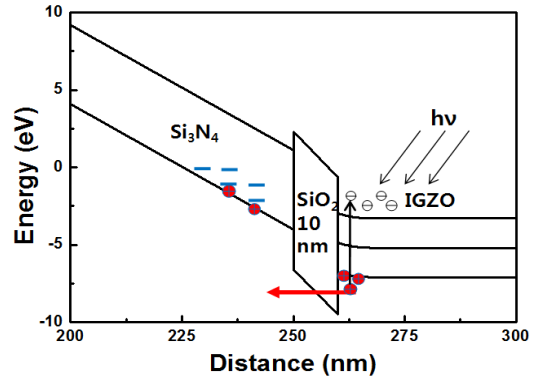


Fig. 5. Schematic band diagram to explain the observed experimental result, which is tunneling effect of a-IGZO  $\Psi$ -MOSFET with 10 nm SiO<sub>2</sub> buffer layer.

소자보다 좋지 않은 특성을 보이는 것을 볼 수 있다. 그 이유에 대해서는 10 nm의 경우에는 SiO<sub>2</sub> 완충층의 두께가 상대적으로 얇기 때문에 정공이 SiO<sub>2</sub> 완충층을 쉽게 터널링하여 Si<sub>3</sub>N<sub>4</sub>막에 트랩되어  $V_{th}$ 의 변화율이 시간이 지날수록 포화되지 않고 선형적으로 증가하는 것으로 해석된다. 이러한 정공의 터널링과 트랩에 대한 에너지 밴드 다이어그램을 그림 5에 나타내었다. 또한, 20 nm의 SiO<sub>2</sub> 완충층을 기준으로 그 이상부터는  $V_{th}$ 의 변화율이 굉장히 큰 것을 볼 수 있는데 이는 SiO<sub>2</sub> 두께가 두꺼워질수록 정공이 포획되는 벌크 내의 트랩 site가 많아지는 것으로 해석된다. 게이트 절연막의 계면 트랩과 벌크 트랩, 이 두 가지 트랩을 정의하는 박막 내의 모든 트랩 ( $N_t$ )의 식은 다음과 같이 정의된다 [13].

$$N_t = \left( \frac{q \times SS}{k_s T \ln 10} - 1 \right) \frac{C_i}{q} \quad (1)$$

여기서  $N_t$ 는 게이트 절연막 내부 및 반도체와 게이트 절연막 계면에서의 모든 트랩,  $k$ 는 볼츠만 상수,  $T$ 는 온도,  $C_i$ 는 단위면적당 게이트 커패시턴스, 그리고  $q$ 는 전자전하량을 나타낸다. 각각의 완충층의 두께에 대한  $N_t$ 값은 표 1에 정리되어 있다. NO (100/10 nm) 구조의 경우, 낮은  $N_t$ 를 가지기 때문에 가장 우수한 신뢰성 특성이 기대되지만 앞에서 설명한 바와 같이 10 nm의 얇은 SiO<sub>2</sub>를 터널링한 정공들이 Si<sub>3</sub>N<sub>4</sub>에 트랩 됨에 따라  $V_{th}$ 의 변화율이 커진다. 또한, 100/50 nm의 NO와 100/100 nm의 NO 게이트 절연막은 두

꺼운 완충층에 의해 높은  $N_t$  값을 보이고 이에 따라  $V_{th}$ 의 변화율도 커진다. 한편, 빛에 의한  $V_{th}$ 의 이동은 두 가지의 기구 (mechanism)로 설명할 수 있다. 첫 번째  $V_{th}$  이동기구는 빛에 의해 IGZO 채널에 전자/정공 쌍이 생성되고, 빛에 의해 유기된 정공이 큰 음의 게이트 전압에 의해 게이트 절연막이나 게이트/채널 사이의 계면에 트랩되는 것이다. 이것은  $V_{th}$ 를 음의 방향으로 이동시킨다. 두 번째  $V_{th}$  이동기구는 산화물 반도체만의 특성으로써 IGZO 채널의 벌크 내부 변화에 따른 것이다. 밴드갭 내의 깊은 에너지 준위에 있는 중성의 산소 공공 (oxygen vacancy,  $V_o$ )들이 빛에 의해 전도대 근처로 여기되면서 자유 전자를 방출하게 되고 IGZO 채널 내의 자유 전자 밀도가 증가하여  $V_{th}$ 를 음의 방향으로 이동시킨다 [7]. 본 연구에서는 IGZO 채널의 패시베이션을 하지 않았기 때문에 이 두 가지 이동기구가 모두 발생한다고 가정하였다 [5].

그림 4(b)는 NBTIS (negative bias temperature illumination stress)에 대한  $V_{th}$ 의 변화를 보여준다. 온도가 높아짐에 따라 여기되는 정공들의 수는 더 많아져  $V_{th}$ 의 변화율은 전체적으로 높아진다. NBIS와 NBTIS에 대한  $V_{th}$ 의 변화율을 표 1에 정리하였다. NBIS와 마찬가지로 NO(100/20 nm) 구조에서 2.06 V의  $V_{th}$  변화율을 보여 상대적으로 가장 낮은 값을 나타내었고, 위에 설명한 바와 같이 최적화된  $SiO_2$  완충층의 두께는 20 nm인 것을 확인하였다.

#### 4. 결론

본 연구에서는 다양한 두께의  $SiO_2$  완충층을 가지는 NO 구조 게이트 절연막의 a-IGZO  $\Psi$ -MOSFET의 전기적 특성 및 신뢰성을 평가하였다. 그 결과,  $SiO_2$  완충층의 두께가 10 nm일 때, 112 [mV/dec]의 SS값, 14.4 [ $cm^2/V \cdot s$ ]의  $\mu_{FE}$ ,  $2.72 \times 10^7$ 의 on/off ratio로 상대적으로 가장 우수한 전기적 특성을 나타냈다. 그렇지만, NBIS와 NBTIS 평가 결과에서는 빛에 의해 채널에 유기된 정공이 10 nm의 얇은  $SiO_2$  층을 터널링하여  $Si_3N_4$  내로 트랩되어  $V_{th}$ 의 변화율이 포화되지 않고 선형적으로 증가하는 것을 확인할 수 있었다. 또한,  $SiO_2$  완충층의 두께가 20 nm를 기준으로 그 이상에서는 두꺼운  $SiO_2$ 막의 벌크 트랩 준위들에 의해  $V_{th}$ 의 변화율이 매우 커지는 것을 확인하였다. 따라서,  $SiO_2$  완충층의 두께가 20 nm 일 때 가장 뛰어난 신뢰성 특성을 보였으며 NBIS에서 1.23 V,

NBTIS에서 2.06 V의 작은  $V_{th}$  변화율을 보여 최적화된 완충층의 두께를 얻을 수 있었다.

#### 감사의 글

이 논문은 2011년도 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업임(No.2011-0004972).

#### REFERENCES

- [1] K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, *Nature*, **432**, 488 (2004).
- [2] J. H. Shin, J. S. Lee, C. S. Hwang, S. H. K. Park, W. S. Cheong, M. Ryu, C. W. Byun, J. I. Lee, and H. Y. Chu, *ETRI J.*, **31**, 62 (2009).
- [3] J. Y. Kwon, K. S. Son, J. S. Jung, K. H. Lee, J. S. Park, T. S. Kim, K. H. Ji, R. Choi, J. K. Jeong, B. Koo, and S. Lee, *Electrochem. Solid State Lett.*, **13**, H213 (2010).
- [4] J. Y. Kwon, K. S. Son, J. S. Jung, K. H. Lee, J. S. Park, T. S. Kim, K. H. Ji, R. Choi, J. K. Jeong, B. Koo, and S. Lee, *J. Electrochem. Soc.*, **158**, H433 (2011).
- [5] S. Yang, D. H. Cho, M. K. Ryu, S. H. K. Park, C. S. Hwang, J. Jang, and J. K. Jeong, *Appl. Phys. Lett.*, **96**, 213511 (2010).
- [6] J. S. Park, K. S. Kim, Y. G. Park, Y. G. Mo, H. D. Kim, and J. K. Jeong, *Adv. Mater.*, **21**, 329 (2009).
- [7] J. Y. Kwon, J. S. Jung, K. S. Son, K. H. Lee, J. S. Park, T. S. Kim, J. S. Park, R. Choi, J. K. Jeong, B. Koo, and S. Y. Lee, *Appl. Phys. Lett.*, **97**, 183503 (2010).
- [8] J. S. Lee, J. S. Park, Y. S. Pyo, D. B. Lee, E. H. Kim, D. Stryakhilev, T. W. Kim, D. U. Jin, and Y. G. Mo, *Appl. Phys. Lett.*, **95**, 123502 (2009).
- [9] Y. K. Moon, S. Lee, W. S. Kim, B. W. Kang, and C. O. Jeong, *Appl. Phys. Lett.*, **95**, 013507 (2009).
- [10] W. S. Kim, Y. K. Moon, K. T. Kim, S. Y. Shin, and J. W. Park, *Thin Solid Films*, **520**, 578 (2011).
- [11] S. Cristoloveanu and S. Williams, *IEEE Electron Devices Lett.*, **13**, 102 (1992).
- [12] K. H. Ji, J. I. Kim, Y. G. Mo, J. H. Jeong, S. Yang, C. S. Hwang, S. H. K. Park, M. K. Ryu, S. Y. Lee, and J. K. Jeong, *IEEE Electron Devices Lett.*, **31**, 1404 (2010).
- [13] H. S. Shin, B. D. Ahn, Y. S. Rim, and H. J. Kim, *J. KIEEME*, **24**, 473 (2011).