

MIM 구조를 갖는 $\text{Al}_2\text{O}_3/\text{HfO}_2/\text{Al}_2\text{O}_3$ 캐패시터의 정합특성 분석

장재형¹, 권혁민¹, 정의정¹, 박호영¹, 권성규¹, 이환희¹, 고성용², 이원묵², 이성재¹,
이희덕^{1,a}

¹ 충남대학교 전자공학과

² DMS

Analysis of Matching Characteristics of MIM Capacitors with $\text{Al}_2\text{O}_3/\text{HfO}_2/\text{Al}_2\text{O}_3$

Jae-Hyung Jang¹, Hyuk-Min Kwon¹, Yi-Jung Jung¹, Ho-Young Kwak¹, Sung-Gyu Kwon¹,
Hwan-Hee Lee¹, Sungyong Go², Weon-Mook Lee², Song-Jae Lee¹, and Hi-Deok Lee^{1,a}

¹ Department of Electronics Engineering, Chungnam National University, Daejeon 305-764, Korea

² DMS Co. Ltd., Suwon 443-803, Korea

(Received October 27, 2011; Revised November 28, 2011; Accepted November 29, 2011)

Abstract: In this paper, matching characteristic of MIM (metal-insulator-metal) capacitor with $\text{Al}_2\text{O}_3/\text{HfO}_2/\text{Al}_2\text{O}_3$ (AHA) structure is analyzed. The floating gate capacitance measurement technique (FGMT) was used for analysis of matching characteristic of the MIM capacitors in depth. It was shown that matching coefficient of AHA MIM capacitor is $0.331\% \mu\text{m}$ which is appropriate for application to analog/RF integrated circuits. It was also shown that the matching coefficient has a more strong dependence on the width than length of MIM capacitor.

Keywords: High-k, MIM, FGMT, Mismatching, Matching, AHA

1. 서론

MIM (metal-insulator-metal) 캐패시터는 아날로그/RF 집적회로에서 매우 중요한 요소이다. 최근 scale down으로 인한 추세에 맞게 더욱 더 작은 소자들의 면적이 요구되고 있으며 아날로그/RF 집적회로에 상당 부분을 차지하고 있는 MIM 캐패시터의 면적 또한 축소의 필요성이 요구되고 있다. 따라서 Ta_2O_5 (tantalum oxide), Al_2O_3 (alumina) 또는 HfO_2 (hafnium oxide) 등의 High-k 물질들이 MIM 캐패시터에 많이 사용되어지고 있다 [1-5]. 또한 여러 High-k 물질이 적용된 MIM

캐패시터의 일반적인 특징이나 신뢰성에 대한 연구가 활발히 진행되어지고 있으며, SHS ($\text{SiO}_2/\text{HfO}_2/\text{SiO}_2$)나 AHA ($\text{Al}_2\text{O}_3/\text{HfO}_2/\text{Al}_2\text{O}_3$)의 적층 구조들이 역시 최근 보고되었다 [6]. 특히 AHA 구조는 높은 정전용량 밀도의 특성을 갖는 장점이 있다. 하지만 AHA 구조를 갖는 캐패시터의 정합 (matching) 특성과 관련한 연구 결과는 아직 미흡한 상태이다. 또한 소자의 면적과 정합특성 정도는 trade-off 관계로써 소자 설계에 가장 중요하게 고려해야 할 사항이다 [7].

캐패시터의 면적이 줄어들면서 같이 줄어들 수 밖에 없는 정전용량 값을 유지하기 위해 유전율이 높은 High-k 물질을 사용하는 것이 필요하지만, 적정 정전용량 값을 유지하는 만큼, 쌍으로 설계될 시 인접 소

자 간의 정합 특성 또한 어떻게 변하는지 확인이 필요하다. 왜냐하면 일반적인 아날로그 회로에서 여러 소자들이 인접하게 설계되어 쌍으로 구동하는 경우가 많기 때문이다. 즉, 집적회로를 설계할 때 인접 소자의 특성은 동일하다고 가정하여 설계되어지지만 만일 인접 소자 간의 특성 차이가 발생하게 되면, 예상 결과와 달라지거나 심한 경우 회로가 동작하지 않는 문제점이 발생하게 된다. 이러한 문제점을 해결하기 위한 아날로그 소자 연구에서 중요한 것 중 하나가 정합 특성 평가 연구이다 [8,9]. 즉, 새로운 절연체 물질을 사용하여 정합 특성의 개선 정도와, 캐패시터의 면적에 따른 정합 특성을 확인하여 개발 소자의 우수성을 증명할 필요가 있다. 따라서 새로운 물질을 MIM 캐패시터에 적용하는 경우 정합 특성의 연구는 매우 필요하다.

본 논문에서는 최근에 보고된 AHA 구조를 갖는 MIM 캐패시터의 정합 특성을 분석하였다. 또한, AHA 구조의 MIM 캐패시터의 면적에 따른 정합 특성 계수를 구하였으며, AHA 구조 MIM 캐패시터의 정합 특성의 소자의 폭과 높이에 대한 의존성에 대해 분석하였다.

2. 실험 방법

2.1 소자의 제작

실험을 위한 MIM 캐패시터는 다음과 같이 제작되었다. 8인치 (100) p-type 실리콘 기판을 사용한 웨이퍼 위에 MIM 캐패시터의 아래 전극층으로 TiN을 사용한 Metal 2를 증착한 다음, Al_2O_3 (2 nm)/ HfO_2 (11 nm)/ Al_2O_3 (2 nm)의 적층 구조를 300°C에서 ALD (atomic layer deposition) 방법으로 증착하였다. 그리고 PDA (post-deposition anneal) 방법을 30분 동안 400°C에서 진행하여 유전율을 향상시켰다. 마지막으로 절연층 위에 전극 물질로 TiN을 증착시킨다. 그림 1은 제작된 캐패시터의 TEM (transmission electron microscopy) 사진을 나타내며 단위면적 당 정전용량은 $8 \text{ fF}/\mu\text{m}^2$ 로 측정되었다 [6].

2.2 정합 특성 분석 방법

본 실험을 위해 캐패시터 정합 특성 측정 방법 중 현재 많이 사용되고 있는 FGMT (floating gate capacitance measurement technique)로 정합 특성의 측정 및 분석을

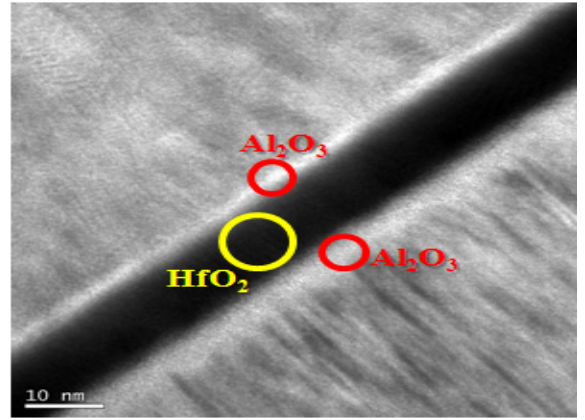


Fig. 1. Cross sectional TEM image of $\text{Al}_2\text{O}_3/\text{HfO}_2/\text{Al}_2\text{O}_3$ MIM capacitor.

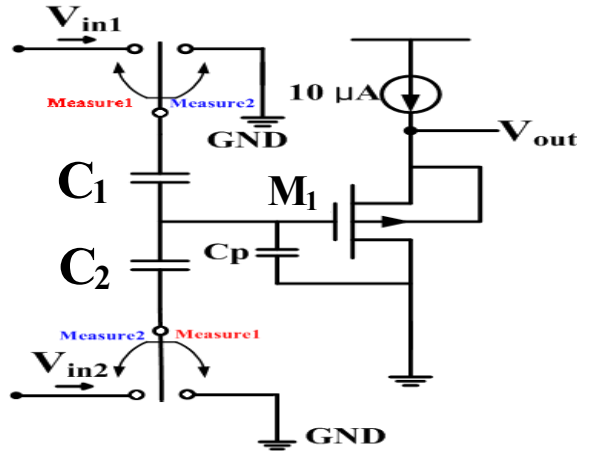


Fig. 2. Schematic diagram of the floating gate capacitance measurement technique (FGMT) for measurement of matching characteristics.

진행하였다 [10,11]. 그림 2는 MIM 캐패시터의 정합 특성 분석을 위한 간략한 회로도이다.

FGMT 방법은 한 쌍의 캐패시터의 정전용량의 절대 값을 직접 비교하는 것이 아니고 상대적인 차이를 정확하게 구할 수 있는 방법이다. 즉, 인가해준 전압에 따른 출력 전압에 대한 기울기의 차이를 비교하여 정합 특성 정도를 비교할 수 있는 방법이다. 비록 절대 정전용량의 측정이 불가하다는 단점이 있지만, 분석 방법이 단순하고, 입출력 전압의 기울기를 이용하여 정전용량의 차이를 계산하는 원리이기 때문에 그림 2의 C_p 와 같은 기생 캐패시터의 영향을 고려할

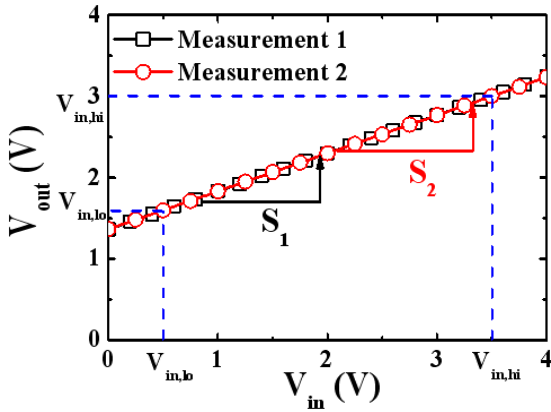


Fig. 3. Determination of the slope S_1 and S_2 using the FGMT method.

필요가 없어지므로 기생 캐패시터에 의한 오차 발생 가능성이 매우 적은 장점이 있다. 그러므로 캐패시터의 정합 특성만을 분석하기 위해 FGMT 방법이 많이 쓰이고 있다.

자세한 측정 방법은 다음과 같다. 먼저 그림 2에서 C_2 의 한쪽 단자를 접지 (ground)에 연결하고 M_1 에 10 μA 를 인가한다. 다음에 C_1 의 한쪽 단자에 0 V에서 4 V로 전압을 변화시켜가며 인가하고, 각 인가 전압에 따른 V_{out} 을 그림 3과 같이 측정하고, 기울기 S_1 을 구한다. 다음으로, C_1 을 접지로 연결한 후 C_2 에 첫 번째 방법과 동일한 전압을 인가하고 나머지는 같은 방법으로 두 번째 기울기 S_2 를 추출한다.

그림 3과 같이 구해진 기울기를 이용하여 정합 특성계수를 구하는 원리 및 수식은 다음 식과 같다.

$$V_{out1} = \frac{1}{\frac{C_2 + C_p}{C_1 + C_2 + C_p}} \times V_{in1} \quad (1)$$

$$\frac{V_{out1}}{V_{in1}} = S_1 = \frac{C_1}{C_1 + C_2 + C_p} \quad (2-a)$$

$$S_2 = \frac{C_2}{C_1 + C_2 + C_p} \quad (2-b)$$

$$2 \frac{S_1 - S_2}{S_1 + S_2} = 2 \frac{C_1 - C_2}{C_1 + C_2} = \frac{\Delta C}{C} \quad (3)$$

식(1)과 같은 원리로 입출력 전압 관계식에서 식 (2-a), (2-b)와 같이 S_1 과 S_2 가 구해지며 이것이 그림 3의 기울기와 같다. 다음에 구한 기울기의 차이를 식 (3)과 같이 표현하면 C_1 과 C_2 의 미세한 차이를 구할

수 있게 된다. 이상적인 경우 C_1 과 C_2 는 같으므로 식 (3)은 0이 되어야 하지만 C_1 과 C_2 간의 미세 변화가 발생하는 경우 식(3)을 이용하여 정합특성을 분석하게 된다. 즉, 기울기의 차이가 C_1 과 C_2 간의 정전용량의 차이가 되는 것이다. 기울기를 추출할 때 parasitic capacitance (C_p)도 함께 고려하게 되지만, 기울기 차이를 계산하면서 공통으로 들어가 있는 C_p 는 계산 과정에서 식 (3)과 같이 약분이 되기 때문에 단일 정전용량의 차이만 고려하게 되는 것과 같아지는 것이다. 이것은 기생 캐패시터에 의해 발생하는 오차를 생각하지 않아도 된다는 것으로 앞서 설명하였던, FGMT의 장점 중의 하나인 오차발생 확률이 매우 적다는 것을 말하고 있다 [10].

3. 결과 및 고찰

우선적으로 AHA 구조 MIM 캐패시터의 다양한 면적에 따른 정합 특성 정도를 FGMT를 이용하여 정합 계수를 측정하였다. 그림 4(a)는 MIM 캐패시터와 FGMT 회로가 포함된 전체 사진을 나타내며 그림 4(b)는 그림 4(a)에서 표시된 두 캐패시터를 확대한 사진이다. 그림 4(a)에서 위쪽 두 단자가 각각 캐패시터 1과 2를 나타내며, 아래쪽의 단자들은 source follower와 연결되어 있다. 그림 4(b)와 같은 한 쌍의 캐패시터의 면적이 다양하게 변화되어 있으며, 이러한 캐패시터들의 정합 특성을 측정하여 정합 계수를 측정하였다.

그림 5는 단일 구조의 MIM 캐패시터에서 면적별로 누설 전류를 측정된 결과이다. 정사각형으로 설계되어진 3가지의 면적에서 측정된 결과, 면적이 넓어질수록 누설전류밀도가 약간 감소한 것을 알 수 있다. 이는 작은 크기의 캐패시터에서 peripheral 성분이 중요해지는 것을 나타낸다. 그리고 약 8 V 정도에서 breakdown이 일어난 것을 확인하였다. 따라서 실험을 진행할 때 인가해 준 0~4 V의 전압은 캐패시터에 손상을 주지 않을 만큼의 적정 전압이라는 것을 알 수 있으며, 연속으로 캐패시터 1, 2를 측정하여도 문제가 없음을 나타낸다. AHA 구조의 MIM 캐패시터의 정합 특성 측정 결과는 그림 6과 같다. 그림 6은 일반적으로 면적에 따른 정합 특성 정도를 분석할 때 사용되어지는 Pelgrom의 그래프이다 [12,13]. 이는 두 개의 캐패시터의 정합 특성 정도의 표준편차를 구하여 $1/\sqrt{WL}$ 에 따라 그래프를 그린 것이다. 이 그래프에서의 기울기를 정합 특성 계수라 정의한다.

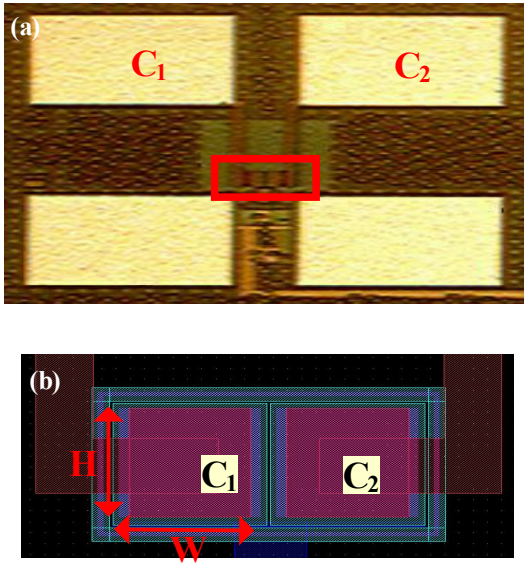


Fig. 4. (a) Photograph of the fabricated MIM capacitor and (b) layout of the two capacitors.

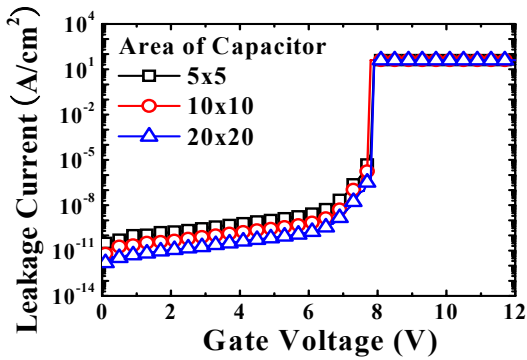


Fig. 5. Leakage current density versus gate voltage of capacitor with a variable of area.

1×10 (μm^2) 크기부터 10×30 (μm^2)까지 총 12개의 split에 대해 정합 특성을 구해 보았다. 측정을 한 캐패시터의 split들은 표 1에 나타내었다.

그림 6에서 정합 계수는 $0.331\% \mu\text{m}$ 로 측정되었다. 통계적으로 봤을 때, 정합 계수가 $2\% \mu\text{m}$ 미만일 경우 정합 특성이 좋다고 볼 수 있다 [14]. 위와 같은 결과는 AHA 구조를 갖는 MIM 캐패시터의 정합특성이 매우 우수하다는 것을 나타낸다. 기존의 발표되었던 TiN/Ta₂O₅/PE-SiN/TiN 구조의 MIM 캐패시터의 정합 특성 계수는 $0.7954\% \mu\text{m}$ 로 비슷한 적층구조임에도 AHA를 사용한 MIM 캐패시터의 정합 특성에는 못 미치는 것을 확인하였다 [15].

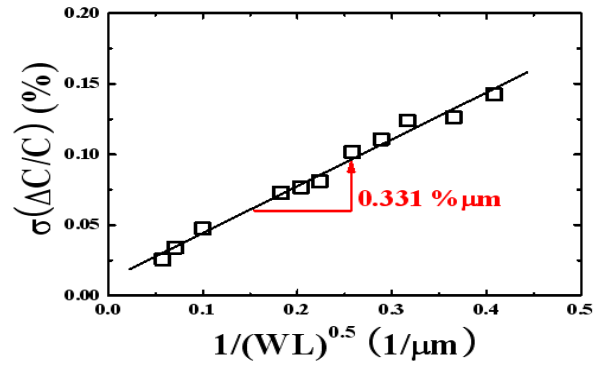


Fig. 6. Extraction of matching coefficient of AHA MIM capacitor.

Table 1. Split of AHA MIM capacitors.

Width(μm)	Height(μm)	Width(μm)	Height(μm)
1	10	1.5	5
	20		10
	30		20
1.2	5	10	10
	10		20
	20		30

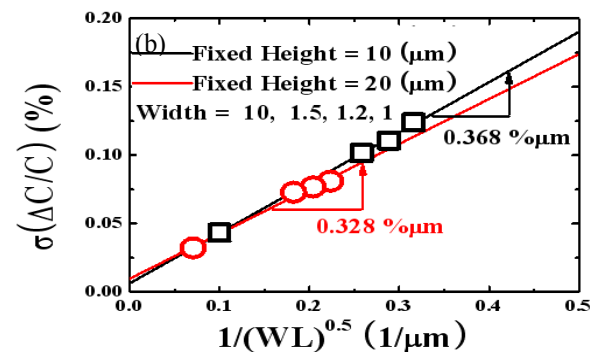
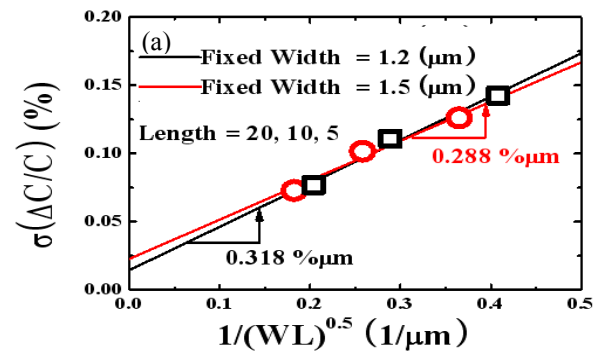


Fig. 7. Dependence of matching coefficient of MIM capacitors on (a) width and (b) height of the capacitor.

캐패시터를 쌓으로 설계할 때 소자의 면적이 중요할 뿐만 아니라 수율을 높이기 위해 한정된 공간 안에 더 많은 소자를 설계해야 하므로 폭 및 높이의 크기 또한 상황에 맞게 고려되는 것이 필요하다 [16].

따라서 폭과 높이가 정합특성에 어떻게 영향을 미치는지 알아보기 위해 폭과 높이에 대한 캐패시터의 정합특성 의존성에 대해 그림 7과 같이 구분하여 비교해 보았다. 그림 7(a)는 폭을 1.2 μm 와 1.5 μm 로 각각 고정시킨 채, 높이의 변화에 따른 정합 특성 계수를 구한 것이고, 그림 7(b)는 높이를 10 μm 와 20 μm 로 고정하고 폭에 따른 정합 특성 계수를 나타낸다. 그림 7(a)에서 폭을 1.2 μm 로 고정시켰을 때의 정합 계수는 0.288% μm , 1.5 μm 로 고정시켰을 때는 0.318% μm 로 각각 측정되었다. 그림 7(b)에서는 높이가 10 μm 일 때 0.368% μm , 그리고 20 μm 일 때 0.328% μm 의 정합 계수가 각각 측정되었다. 4가지의 측정 결과를 비교한 결과, 전체적으로 캐패시터는 높이를 고정했을 때 보다 폭을 고정시켰을 때 더 좋은 정합 특성을 갖는 것을 확인하였다.

4. 결론

본 논문에서는 최근 활발하게 연구되어지고 있는 High-k MIM 캐패시터 중 $\text{Al}_2\text{O}_3/\text{HfO}_2/\text{Al}_2\text{O}_3$ 의 적층 구조를 갖는 MIM 캐패시터의 정합 특성에 대해 분석하였다. FGMT 방법으로 측정된 AHA 구조의 MIM 캐패시터의 크기에 따른 전체적인 정합 계수는 0.331% μm 으로써, 다른 일반 소자들의 정합 특성에 비교해 볼 때 우수함을 확인하였다. MIM 캐패시터의 정합 특성의 폭 및 높이에 대한 의존성을 분석한 결과 폭을 고정시키고 높이를 변화시킨 경우 정합 계수가 0.288% μm ~ 0.318% μm 로 측정되며, 반대로 높이를 고정시키고 폭을 변화시킨 경우의 정합 계수는 0.328% μm ~ 0.368% μm 로 측정되었다. 따라서 전체적으로 높이를 변화시킨 경우가 정합 특성에 더 좋은 것을 알 수 있다. 이는 소자의 수율 및 웨이퍼의 집적도와 깊은 관련이 있는 문제이며, 정합 특성을 개선하기 위해 캐패시터를 설계할 때 폭을 고정시키고 높이를 변화시키는 것이 더 바람직하다고 할 수 있다.

감사의 글

본 연구는 지식경제부 및 한국산업기술평가관리원의

산업원천기술 개발사업(정보통신)[10034838, 25 nm급 Oxide Trench Etcher 개발]과 교육과학기술부와 한국연구재단의 지역혁신인력양성사업으로 수행된 연구 결과임.

REFERENCES

- [1] S. J. Kim, B. J. Cho, M. F. Li, C. Zhu, A. Chin, and D. L. Kwong, *VLSI. Symp. Tech. Dig.*, 77 (2005).
- [2] H. Hu, C. Zhu, X. Yu, A. Chin, M. F. Li, B. J. Cho, D. L. Kwong, P. D. Foo, M. B. Yu, X. Liu, and J. Winkler, *IEEE Electron Device Lett.*, **24**, 60 (2003).
- [3] M. J. Brophy, A. Torrejon, S. Petersen, K. Avala, and L. Liu, *International Conference on Compound Semiconductor Mfg.* (2003).
- [4] H. M. Kwon, I. S. Han, S. U. Park, J. D. Bok, Y. J. Jung, H. S. Shin, C. Y. Kang, B. H. Lee, R. Jammy, G. W. Lee, and H. D. Lee, *Jpn. J. Appl. Phys.*, **50**, 04DD02 (2011).
- [5] M. K. Hota, C. Mahata, C. K. Sarkar, and C. K. Maiti, *The Electrochemical Society ECS Trans.*, **25**, 201 (2009).
- [6] S. U. Park, H. M. Kwon, I. S. Han, Y. J. Jung, K. H. Kwak, W. I. Choi, M. L. Ha, J. I. Lee, C. Y. Kang, B. Y. Lee, R. Jammy, and H. D. Lee, *Jpn. J. Appl. Phys.*, **50**, 10PB06 (2011).
- [7] Z. Ning, L. D. Schepper, R. Gillon, and M. Tack, *Eroupean Solid-State Device Research*, 79 (2003).
- [8] H. P. Tuinhout, *IEEE Int. Conf. Microelectronic Test Structures*, **7**, 21 (1994).
- [9] J. Hunter, P. Gudem, and S. Winters, *IEEE Int. Conf. Microelectronic Test Structures*, 142 (2000).
- [10] H. P. Tuinhout, H. Elzinga, J. T. Brugman, and F. Postma, *IEEE Trans. Semiconductor Manufacturing*, **9**, 2 (1996).
- [11] C. Kortekaas, *IEEE Int. Conf. Microelectronic Test Structures*, **3**, 109 (1990).
- [12] M. J. M. Pelgrom, A. C. J. Duinmaijer, and A. P. G. Welbers, *IEEE Solid-State Circuits*, **24**, 1433 (1989).
- [13] P. G. Drennan and C. C. McAndrew, *IEDM Tech Dig.*, 167 (1999).
- [14] M. Marin, S. Cremer, J. C. Giraudin, and B. Martinet, *IEEE Int. Conf. Microelectronic Test Structures*, 115 (2007).
- [15] Y. S. Chung, K. S. Kim, Y. S. Ryu, D. Lee, S. B. Hwang, C. S. Shin, S. K. Park, and J. G. Lee, *J. Vac. Sci. Technol.*, **A23**, 764 (2005).
- [16] R. Difrenza, P. Linares, G. Ghibauda, E. Robillart, and E. Granger, *IEEE Solid-State Device Research Conference*, 584 (2000).