

실리콘 게이트전극을 갖는 고온소자와 금속 게이트전극을 갖는 P형 저온 다결정 실리콘 박막 트랜지스터의 전기특성 비교 연구

이진민^{1,a}

¹ (주)엘엔티연구소

A Research About P-type Polycrystalline Silicon Thin Film Transistors of Low Temperature with Metal Gate Electrode and High Temperature with Gate Poly Silicon

Jin-min Lee^{1,a}

¹ Institute of Research and Development, ElnT.Co.,Ltd, Suwon 441-360, Korea

(Received March 2, 2011; Revised March 13, 2011; Accepted April 5, 2011)

Abstract: Poly Si TFTs (poly silicon thin film transistors) with p channel those are annealed HT (high temperature) with gate poly crystalline silicon and LT (low temperature) with metal gate electrode were fabricated on quartz substrate using the analyzed data and compared according to the activated grade silicon thin films and the size of device channel. The electrical characteristics of HT poly-Si TFTs increased those are the on current, electron mobility and decrease threshold voltage by the quality of particles of active thin films annealed at high temperature. But the on/off current ratio reduced by increase of the off current depend on the hot carrier applied to high gate voltage. Even though the size of the particles annealed at low temperature are bigger than HT poly-Si TFTs due to defect in the activated grade poly crystalline silicon and the grain boundary, the characteristics of LT poly-Si TFTs were investigated deterioration phenomena those are decrease the electric off current, electron mobility and increase threshold voltage. The results of transconductance show that slope depend on the quality of particles and the amplitude depend on the size of the active silicon particles.

Keywords: Poly crystalline silicon thin film transistor, Degradation, Off current, Threshold voltage, Trap, Grain, Grain boundary, Solid phase crystallization, Excimer laser annealing, Sensor, MEMS (micro electro mechanical system), NEMS (nano electro mechanical system).

1. 서론

다결정 실리콘 박막 트랜지스터를 이용해 소자를 구현하기 위한 많은 연구가 진행되어왔다. 특히 절연

기판 상에 구현시킬 수 있는 다결정 실리콘 박막 트랜지스터의 장점은 센서와 구동회로를 집적화시킬 수 있어 낮은 소비전력으로 구동이 가능하고 낮은 불량율과 저가의 제조원가가 가능해질 수 있기 때문에 USN (ubiquitous sensor network) 환경에서 많은 관심의 대상이 되고 있다 [1]. 최근 MEMS (micro

a. Corresponding author: bonafidej@naver.com

electro mechanical system)/NEMS (nano electro mechanical system) 기술이 발전함에 따라 다결정 실리콘 박막 트랜지스터의 응용분야는 더욱 넓어질 것으로 예상된다. 그러나 다결정 실리콘 박막 트랜지스터의 전기적 특성은 높은 누설전류와 문턱전압, 낮은 온전류로 인해 [2,3] 센서의 구동회로로 사용하여 신호처리를 하면 오작동을 유발시킬 수 있는 문제점을 가지고 있으며, 주원인으로 다결정 실리콘 박막 트랜지스터의 활성층 실리콘이 가지는 결정입자 (grain)와 결정입계 (grain boundary)의 결함을 지목할 수 있다. 이러한 저하된 문제점을 개선하기 위해 활성층 실리콘의 결정화를 다변화시켜 그 특성을 개선하기 위한 방안들이 제시되었는데, 고온 고상화된 활성층 실리콘은 결정입자가 단결정화되어 안정적이지만 ELA (excimer laser annealing) 방법으로 저온 결정화 [4]시킨 실리콘의 결정입자 크기는 고온소자보다 더 크지만 결정 결함은 고온소자보다 많은 것으로 알려져 있다. 이렇게 개선된 저온 열처리 활성층의 결정입자에도 불구하고 저온소자의 연구는 디스플레이에 국한되어 진행되어 왔으며, 특히 저온에서 제조된 다결정 실리콘 게이트전극 박막의 특성으로 인해 전기적 특성이 저하되는 문제점을 가지고 있어 [5] 이에 대한 연구가 매우 절실히 요구되고 있다.

본 논문에서는 저온소자의 전기적 특성을 개선하기 위해 게이트전극을 금속으로 형성시켜 제조하고 전형적인 다결정 실리콘게이트를 갖는 고온 공정으로 나누어 소자를 제조하여 그 특성을 비교분석 하되, 채널 크기를 센서의 구동회로와 USN환경이 요구하는 출력 1 mA 이상 제시할 수 있는 채널 폭 50 μm, 100 μm와 채널 길이를 8-10 μm로 나누어 제조하여 그 전기적 특성을 비교 분석하였다.

2. 실험 방법

제안된 소자의 제조에 사용된 기판은 석영(quartz)을 이용하였다. 소자의 제조는 활성층과 게이트 형성 후 소오스 드레인의 이온을 주입하였고 금속전극을 형성하여 제조를 마무리 하였다. 세부 제조공정과 조건은 다음과 같다. 활성층은 LPCVD (low pressure chemical vapor deposition) 방식을 이용해 SiH₄ 가스를 550°C에서 열분해하여 증착하였다. 증착된 두께는 최종으로 저온 및 고온의 소자 모두 500 Å가 되도록 유도하였다. 활성층의 증착 후 마스크 얼라이너와 건

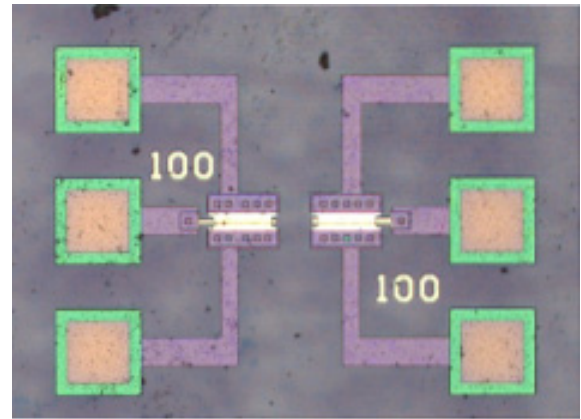


Fig. 1. Microscope image of the fabricated poly Si TFT.

Table 1. Main process list of low and high temperature poly Si TFT.

	Low temp	High temp
Active	550°C LPCVD - 50 nm	
	Si 35 KeV 1.1×10 ¹⁵ /cm ²	
	High energy ion implantation	
	SPC 600°C 48 hrs	
Gate	ELA 500 mJ/cm ²	
Dielectric	100 nm	
Gate Electrode	Al+1%Si	poly Si
Drain Source	100 nm	
	DC Sputter	625°C LPCVD
Metal Electrode	POCl ₃ 30 ohms	
	BF ₂	
	50 KeV 5×10 ¹⁵ /cm ²	
Metal Electrode	High energy ion implantation	
	Al+1%Si - 1 μm	
	DC Magnetron Sputter	
	450°C 1 hr Furnace	

식각 방식을 통해 활성층의 패턴을 구현하였다. 이 후 활성층 실리콘에 하이에너지 이온주입기를 통해 Si이온을 35 KeV 1.1×10¹⁵/cm²의 조건으로 주입하였다. 그 후 600°C 36 hrs의 열처리를 통해 1차 저온 결정화를 실시하여 저온 및 고온소자의 활성층을 공통으로 구현하였다.

이 후 저온소자는 엑시머 레이저를 500 mJ/cm²으로 조사하여 어닐링을 실시하고 2차 결정화를 진행하였다. 게이트 산화막의 형성은 저온소자의 경우 PECVD (plasma enhanced chemical vapor deposition) 방법으로 450°C에서 형성시켰다. 고온소자는 열 고상화 (solid phase

crystallization) 방법을 통해 확산로에서 950°C에서 형성시켰으며 이 때 활성층이 2차 결정화토록 하였다. 게이트 산화막의 두께는 저온 및 고온소자 모두 100 nm로 제조하였다.

게이트 전극은 저온소자는 직류마그네트론 스퍼터 방식을 이용해 1% 실리콘이 함유된 알루미늄을 증착하였으며, 고온소자는 LPCVD 625°C에서 형성하였다. 게이트 전극의 두께는 모두 100 nm로 제조하였다.

이 후 p형의 드레인과 소오스 형성을 위해 BF_2 이온을 50 KeV $5 \times 10^{15}/cm^2$ 로 주입하였다.

소자의 보호를 위해 패시베이션 산화막을 PECVD로 1 μm 증착한 후 금속전극을 1% 실리콘을 포함한 알루미늄을 이용해 1 μm 증착하여 소자의 제조를 마무리 하였다.

제조된 소자의 구조는 전형적인 MOS (metal oxide semiconductor)였으며, 채널의 폭과 길이가 각각 50/8 μm , 50/10 μm , 100/10 μm 로 변화를 두어 분석하였다.

소자의 측정은 HP4,156 파라미터 분석기를 이용하였으며 측정전압 범위는 드레인 전압을 0.1-10 V로 인가하였으며, 게이트 전압은 +20-30 V로 인가하였다. 측정 시 온도는 25°C 블랙박스 환경에서 외부 빛을 차단 후 측정하였다. 표 1에는 제조된 소자의 주요공정을 리스트하였고, 그림 1에는 제조된 소자의 광학현미경 사진을 나타내었다.

3. 결과 및 고찰

그림 2에는 채널의 크기가 100/10 μm 로 제조된 저온 및 고온소자의 V_g-I_d 특성을 드레인 전압의 변화에 따라 나타내었다. 다결정 실리콘 게이트를 갖는 고온소자의 특성을 그림 2 (a)에 나타내었고, 금속 게이트 전극을 갖는 저온소자의 특성은 그림 2 (b)에 나타내었는데, 드레인 전압의 증가에 따라 on전류와 off전류 모두 증가하는 전형적인 트랜지스터의 특성을 나타내었다. 고온소자의 경우 드레인 전압이 5 V 이상일 때 게이트 역전압이 $V_g = -1$ V에서부터 $V_g = -13$ V 구간 즈음에서 off전류가 10 pA 수준에서 포화현상을 나타내다 $V_g = -13$ V보다 높은 게이트 전압에서 최대 13 nA까지 증가하는 현상을 보였다. 반면에 저온소자의 경우 게이트 역전압의 증가에 의해 off전류의 지속적인 증가가 발생하였다. 반면에 저온소자의 on전류는 1mA로 고온소자의 2.95 mA보다 낮은 값을 나타내었으나 일반적으로 저온소자가 고온소

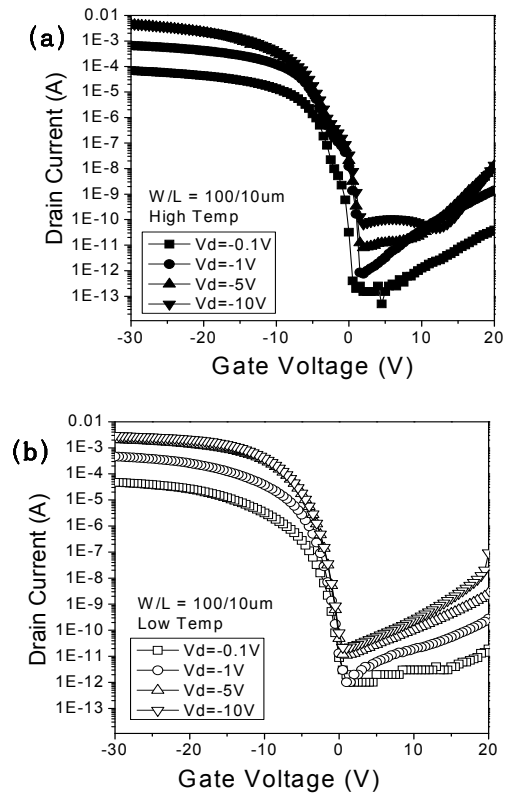


Fig. 2. V_g-I_d characteristics of p channel poly Si TFTs, (a) low temp W/L= 50/10 μm , (b) high temp W/L= 100/10 μm .

자에 비해 1오더 미만의 낮은 전류값을 나타낸 것에 비하면 이러한 저온소자의 on전류는 매우 높은 값을 나타낸 것으로 보인다. 이는 게이트 산화막이 저온의 PECVD방법으로 형성된 낮은 유전값에도 불구하고, 엑시머 레이저를 통해 결정화된 저온소자의 결정입자가 고온소자보다 크고, 또한 저온소자가 가지는 금속 게이트 전극의 낮은 저항에 의존한 현상이 모두 포함되어 나타난 on전류 특성으로 예측된다.

그림 3에는 채널 폭과 길이가 50/8 μm 과 50/10 μm 인 저온과 고온 소자의 V_g-I_d 특성을 드레인 전압이 0.1 V와 10 V로 나누어 비교하였다. 측정결과 고온소자에서 낮은 드레인 전압에 의해 최저 off전류가 나타났으며, 드레인 전압이 증가하면서 최저 off전류가 현저히 증가하였다. 채널의 크기가 50/8 μm 인 저온소자의 경우 최대 on전류는 1.29 mA로 고온소자의 3.19 mA보다 적게 나타났다. 일반적으로 다결정 실리콘 박막 트랜지스터의 on전류는 활성층 실리콘 결정 안정화를 알려주는 매우 기초적인 특성으로 알려져 있다.

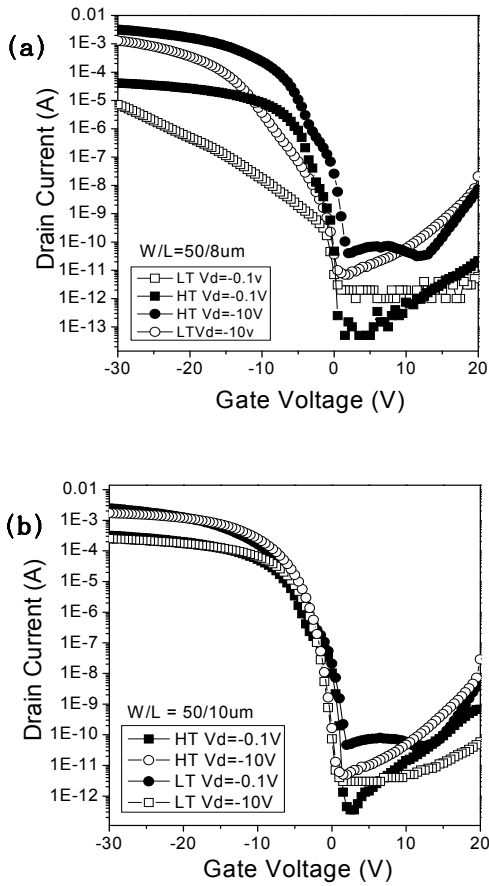


Fig. 3. V_g - I_d electric characteristics of the p channel poly Si TFTs.

측정결과 고온소자의 최대 on전류가 저온소자보다 더 높게 형성되어 고온소자의 경우 활성층 실리콘 결정입자의 결정화가 단결정에 가깝게 진행되고 고온의 게이트 산화막으로 인한 대전현상에 의해서도 그 특성이 개선되었음을 예측할 수 있다. 반면에 드레인 전압이 $V_d = -0.1$ V로 낮은 경우 저온소자의 최저 off전류는 1 pA로 고온소자의 누설전류 50 fA 보다 높게 나타났으나, 게이트 역전압이 $V_g = +20$ V로 증가함에 따라 저온소자의 최대 off전류 6 pA에 비해 고온소자의 최대 off전류는 21.8 pA로 크게 증가하였다. 또한 최대 드레인 전압인 $V_d = -10$ V인 경우 저온소자의 최저 off전류는 7 pA로 고온소자의 최저 off전류 31.2 pA 보다 더 낮았으며, 게이트 역전압의 증가에 의해 저온소자의 최대 off전류는 20.7 nA, 고온소자의 최대 off전류 7.29 nA보다 더 높은 값을 가져 활성층 실리콘의 결정화와 게이트 산화막의 유전

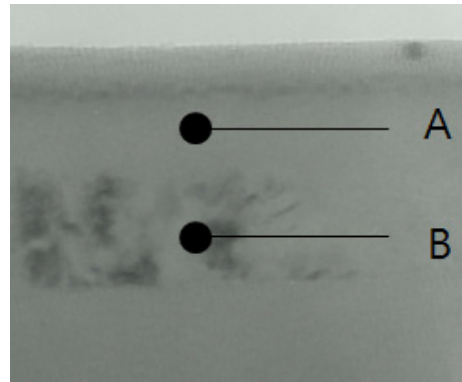


Fig. 4. TEM image of low temperature active poly silicon, A : amorphous region, B : poly crystalline region.

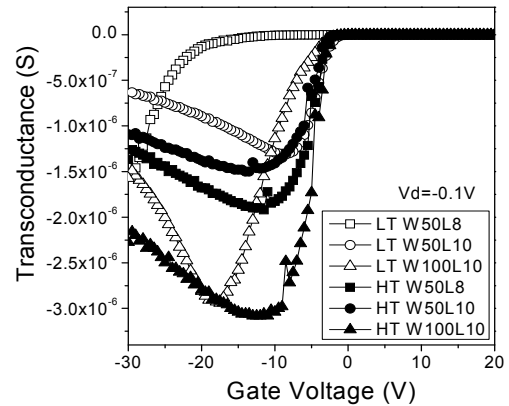


Fig. 5. Transconductance of the poly Si TFTs.

특성과도 반대의 특성을 나타내었다. 이러한 off전류 특성으로 저온소자의 활성층 결정입자의 크기가 크지만 결정결함이 많음을 확인할 수 있었다. 다결정 실리콘 박막 트랜지스터를 측정할 때 동일조건인 소자에서 전기적 특성이 현저히 차이나는 현상이 흔하게 나타나기도 하는데 금번 측정된 50/8 μm 의 기울기가 변화된 특성을 나타내는 소자의 활성층을 decap하여 TEM 촬영 후 그림 4에 나타내었다. 그 결과 저온의 열처리와 엑시머 레이저를 통해 활성층 실리콘의 결정화 공정이 진행되었음에도 활성층의 박막의 매우 국소 일부에서는 결정화가 진행되지 않아 on전류의 기울기에 영향을 주었음을 예측할 수 있었다. 이러한 점은 다결정 실리콘 박막 트랜지스터 제조공정의 문제점으로 결정화 시 안정적인 균일도를 갖는 공정조건과 대안이 추가로 요구될 것으로 사료된다.

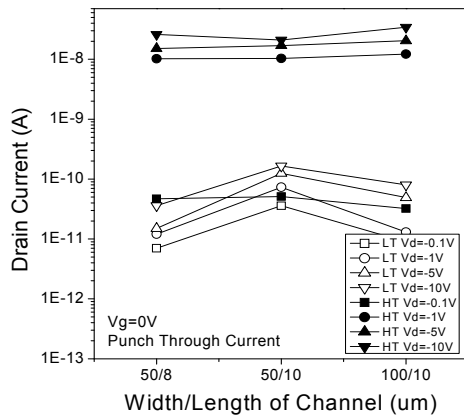


Fig. 6. Punch through current of the poly Si TFTs.

그림 5에는 on전류 특성에 의존하는 전달특성을 저온 및 고온소자의 채널 길이와 폭의 변화에 따라 나타내었다. 고온소자의 전달특성곡선은 채널 크기의 변화에 따라 진폭의 변화를 나타낸 반면 저온소자는 활성층의 결정화 부족인 50/8 μm 를 제외하면 진폭의 변화와 기울기의 변화가 수반되었다. 이는 고온소자의 경우 안정된 활성층 실리콘 결정입자에 의존해 활성층 실리콘의 채널 길이와 폭의 변화에 비해 진폭의 변화로 나타난 반면 저온소자의 경우는 활성층 전체에 걸쳐 결정결함이 혼재해 활성층 저항이 높게 형성되어 기울기의 변화와 이동이 발생된 것으로 사료된다. 따라서 전달특성곡선의 기울기 변화는 활성층 실리콘의 결정입자와 결정결함의 안정화에 의존하며, 진폭의 변화는 단결정에 가까운 활성층 채널의 크기에 의존해 변화됨을 알 수 있다.

그림 6에는 $V_g = 0 \text{ V}$ 일 때의 드레인-소오스 간 전류를 나타내었다. 일반적으로 단결정 실리콘 트랜지스터에서는 게이트 전압이 미 인가 되었을 때 나타나는 전류를 펀치스루로 정의하며 서브미크론 소자에서 주로 발생하는 것으로 알려져 있다. 반면에 다결정 실리콘 박막 트랜지스터의 경우는 게이트 전압이 인가되지 않는 $V_g = 0 \text{ V}$ 인 경우에도 드레인 영역의 활성층 실리콘이 갖는 결함이 드레인 전압에 의존해 그 전류값이 단결정 실리콘보다 높게 형성된다. 따라서 드레인 전압에 의존하는 펀치스루 현상을 통해 제조된 활성층 다결정 실리콘의 상태를 파악할 수 있다. 측정결과 50/8 μm 소자의 경우 게이트 전압이 $V_g = 0 \text{ V}$ 인 경우 드레인 전압이 $V_d = -0.1 \text{ V}$ 로 낮았을 경우

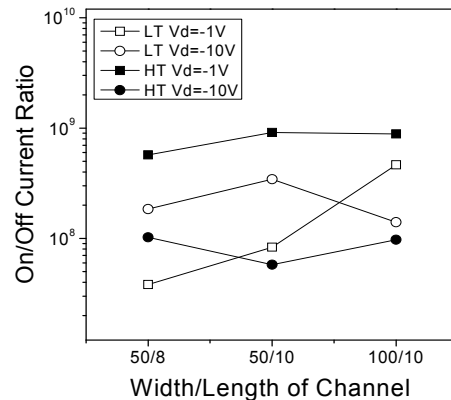


Fig. 7. On/off current of the poly Si TFTs.

고온소자의 펀치스루 전류는 46.9 pA로 저온소자의 7 pA보다 높은 값을 나타내었고, 100/10 μm 소자에서 드레인 전압이 $V_d = -10 \text{ V}$ 로 높을 때 고온소자의 펀치스루 전류는 34.4 nA로 저온소자의 0.17 nA보다 현저하게 크게 나타나 고온소자의 펀치스루 전류가 저온소자에 비해 높게 형성되어 있었다. 특히 드레인 전압이 높아질수록 펀치스루 전류가 높게 형성되어 있었다. 이러한 특성은 앞서 분석된 고온소자의 결정입자가 단결정으로 형성되어 나타나는 높은 on전류 현상과 상반된다. 따라서 고온소자의 펀치스루 전류는 결정입계에 의해 발생된 off전류가 외에 소자측정시 인가되는 전압이 게이트 역전압에서 시작되어 순방향 전압으로 전환되는 과정에서 먼저 인가되는 게이트 역방향 전압에 의해 드레인 영역에서 발생하는 핫 캐리어의 게이트 산화막으로 트랩과 디트랩에 의존한 특성으로 규정할 수 있다 [6]. 반면에 저온소자의 펀치스루 전류는 저온소자가 갖는 결정입자가 고온소자보다 크지만, 결정결함은 고온소자에 비해 많은 것으로 알려져 있기 때문에 저온소자의 낮은 펀치스루 전류와도 다른 특성이다. 따라서 저온소자의 낮은 펀치스루 전류현상은 금속 게이트 전극으로 인해 활성층 실리콘에서 발생하는 핫 캐리어가 게이트 산화막을 점유하지 못해 펀치스루 전류가 감소되는 현상으로 예측된다. 따라서 저온소자의 경우 금속 게이트전극을 이용함으로써 펀치스루 현상을 감소시킬 수 있음을 확인할 수 있었다.

그림 7에는 채널의 변화에 따른 on/off전류비의 변화를 드레인 전압의 변화에 따라 나타내었다. on/off 전류비는 인가된 드레인의 전압에 의해 크게 변화되는

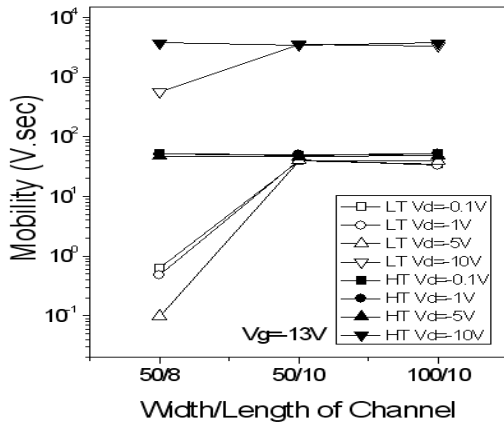


Fig. 8. Electron mobility of the poly Si TFTs.

것으로 알려져 있는데, 특히 고온소자의 경우 드레인 전압의 증가에 의해 on/off 전류비의 변화폭이 33.4배 정도로 심하게 작아지는 것으로 나타난 반면 저온소자의 경우 최대 변화폭이 2.5배 정도로 고온소자 보다 작게 감소하였다. 이러한 현상의 주요 원인으로 그림 2의 V_g-I_d 의 특성처럼 누설전류 증가를 지목할 수 있으며, 특히 고온소자에서 누설전류의 증가가 더욱 심화되어 나타난 현상이다. 따라서 누설전류 특성에 의존해 저온소자의 on/off 전류비가 고온소자에 비해 안정적인 것으로 분석되었다.

그림 8에는 전달특성곡선으로부터 다결정 실리콘 박막 트랜지스터에서 사용하는 드레인 전압에 따른 $\mu_{fet} = g_m I / W$ 방법을 이용해 전하이동도를 채널의 크기 변화에 따라 나타내었다. 드레인 전압이 5 V보다 높을 때의 전하이동도는 급격히 높아지고 변화가 없는 것으로 나타나 다결정 박막 실리콘 트랜지스터의 이동도는 드레인 전압이 낮은 5 V이하에서 분석하는 것이 좋을 것으로 분석되었다. 분석결과 고온소자의 경우 46.4-52.7/V.sec 정도로 활성층 결정입자의 안정에 의해 전하이동도가 매우 안정적이었으나, 저온소자의 경우 0.1-40.2/V.sec로 큰 변화차이를 가지고 있었다. 특히 채널크기가 50/8 μm 인 소자에서 전하이동도가 급격히 감소한 것으로 나타났는데, 이는 활성층 다결정 실리콘의 결정화가 국부적으로 진행되어 더 큰 변화를 나타낸 것으로 보인다. 그러나 이러한 점을 제외하면 저온소자의 전하이동도는 33.5-40.2/V.sec로 전달특성의 변화 비에 의존해 전자 이동도가 변화한 것으로 보인다. 따라서 저온소자에서 전달특성의 개선을 위해서는 활성층 실리콘의 안정화가 중요한 점

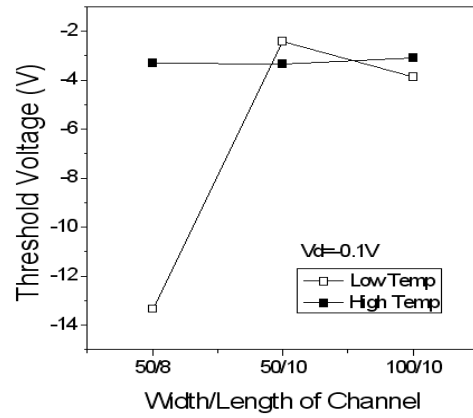


Fig. 9. Threshold voltage of the poly Si TFTs.

으로 분석되었다.

그림 9에는 제조된 저온 및 고온소자의 문턱전압을 채널의 크기에 따라 나타내었다. 문턱전압은 $V_d = -0.1$ V에서 10 nA가 되는 W/L 의 비로 나타내었다. 분석결과 고온소자의 문턱전압은 -3.08--3.32 V로 매우 비슷한 반면 저온소자의 경우 -2.4--13.3 V로 그 변화가 채널의 길이가 짧아짐에 따라 매우 커진 것으로 분석되었다. 이러한 저온소자의 문턱전압 변화는 채널크기 50/8 μm 인 활성층 실리콘의 결정화 불안에 기인한 현상이다. 그러나 고온소자의 경우 활성층 실리콘의 결정입자가 단결정에 가까우므로 분석방법을 달리해야 할 것으로 사료되며, 저온소자의 경우 고온소자보다 채널 길이에 의존도가 더 큰 것으로 분석되었다.

본 연구의 결과로 금속 게이트전극을 갖는 저온소자의 센서적용 가능성을 확인할 수 있었으며 향후 USN환경에 적용과 다결정 실리콘 박막 트랜지스터의 특성개선을 위해 금속게이트의 활용과 인가되는 전기에 의해 열화 되는 특성분석 및 이러한 열화현상을 개선시키기 위한 공정대안과 설계 및 구조적 연구가 수반되어야 할 것으로 예측된다.

4. 결론

본 논문에서는 다결정 실리콘게이트를 가진 고온의 소자와 금속 게이트전극을 가진 저온의 다결정 실리콘 박막 트랜지스터를 p형으로 제조한 후 채널의 폭과 길이의 변화에 따라 그 특성을 비교 분석하였다.

고온소자와 저온소자 모두 on전류와 off 전류가 드레인 전압의 증가에 따라 증가하는 전형적인 특성을 나타내었다. 고온 다결정 실리콘 박막 트랜지스터의 경우 저온소자보다 on전류가 높게 나타나 고온소자의 활성층 다결정 실리콘의 결정입자가 단결정에 가깝게 진행되었음을 확인할 수 있었으며 이러한 결정화에 의존해 전자이동도의 증가와 문턱전압을 낮추고 특히 on전류 특성에 의존하는 전달특성곡선의 진폭이 커짐을 확인할 수 있었다.

그러나 off전류의 경우 최저 off전류는 고온소자가 저온소자보다 더 낮았으나 드레인, 게이트 역전압이 증가함에 따라 고온소자의 off전류가 저온소자보다 더 크게 증가하였다. 이는 게이트에 전압을 인가하지 않았을 때 나타나는 펀치스루 전류 분석을 통해 역전압에 의존하는 핫 캐리어가 활성층 실리콘에서 실리콘 게이트전극으로 트랩되어 고온소자의 누설전류가 증가된 것으로 분석되었으며, 증가된 off전류로 인해 고온의 소자 on/off전류비가 감소하는 것으로 분석되었다.

반면에 금속 게이트전극을 갖는 저온 다결정 실리콘 박막 트랜지스터의 on전류는 저온 결정화된 실리콘의 결함은 고온소자보다 더 많아 채널의 저항이 증가되고 전달특성곡선의 기울기와 진폭이 낮아져 on전류는 고온소자보다 낮게 나타나는 것으로 분석되었다. 그러나 저온소자의 on전류가 고온소자만큼 증가하여 엑시머 레이저를 통해 저온 결정화가 상대적으로 안정하게 형성되었음을 확인할 수 있었으며, 전자이동도와 문턱전압은 고온소자 보다 낮게 나타나 결

정입자와 결정입계가 갖는 결함이 고온소자에 비해 많이 존재함을 확인할 수 있었다.

또한 off전류 특성분석을 통해 활성층이 갖는 결함이 고온소자 보다 많음에도 불구하고 금속 게이트전극으로 인해 활성층 다결정 실리콘에서 게이트전극로의 전하트랩이 발생되지 않아 off전류가 드레인과 게이트 역전압에 의해 일정하게 감소하였고, 이로 인해 on/off 전류비의 특성이 고온소자보다 안정하게 나타났다.

특히 다결정 박막 트랜지스터의 특성을 결정하는 요소 중 전달특성곡선의 기울기는 활성층 실리콘의 결정 안정화를 결정하고, 채널의 크기는 전달특성곡선의 진폭을 결정하는 요인이 됨을 알 수 있었다. 또한 off전류 감소에 미치는 영향으로 활성층 다결정 실리콘에서 발생하는 전하의 트랩을 금속 게이트전극을 통해 개선할 수 있음을 확인할 수 있었다.

REFERENCES

- [1] T. Chikamura, S. Hotta, and Nagata, *Mat. Res. Soc. Symp. Proc.*, **95**, 421 (1987).
- [2] K. Suzuki, *SID 92 Digest*, 39 (1992).
- [3] C. Reita, S. Fluxman, A. Butler, A. J. Lowe, M. J. Izzard, P. Migliorato, and H. G. Yang, *Proc. ESSCIRC'92* (Kandrup, Copenhagen, Denmark, 1992) p.250.
- [4] W. G. Hqwkins, *IEEE Trans. Elec. Dev.*, **33**, 477 (1986).
- [5] N. D. Young, A. Grill, and M. J. Edwards, *Semi. Sci. Tech.*, **7**, 1183 (1992).