

저온 O₂ 어닐링 공정을 통한 HfSi_xO_y의 전기적 특성 개선

이정찬¹, 김광숙¹, 정석원¹, 노용한^{1,a}

¹ 성균관대학교 정보통신공학부

Study on Electrical Characteristics of Hafnium Silicate Films with Low Temperature O₂ Annealing

Jung-Chan Lee¹, Kwang-Sook Kim¹, Seok-Won Jeong¹, and Yonghan Roh^{1,a}

¹ School of Information and Communication Engineering, Sungkyunkwan University, Suwon 440-746, Korea

(Received April 4, 2011; Revised April 14, 2011; Accepted April 17, 2011)

Abstract: We investigated the effects of low temperature (500°C) O₂ annealing on the characteristics of hafnium silicate (HfSi_xO_y) films deposited on a Si substrate by atomic layer deposition (ALD). We found that the post deposition annealing under oxidizing ambient causes the oxidation of residual Hf metal components, resulting in the improvement of electrical characteristics such as flat band voltage shift (ΔV_{fb}) by hysteresis without oxide capacitance reduction. We suggest that post deposition annealing under oxidizing ambient is necessary to improve the electrical characteristics of HfSi_xO_y films deposited by ALD.

Keywords: MOS capacitor, ALD, high-*k*, HfSi_xO_y

1. 서론

최근 고집적화된 금속-산화막-반도체 MOS (metal oxide semiconductor) 소자는 매우 얇은 실리콘 옥사이드 (SiO₂) 산화막을 요구한다. 그러나 SiO₂ 두께가 감소함에 따라 다이렉트 터널링 (direct tunneling)에 의한 누설 전류 (leakage current)가 크게 증가하였다. 이러한 문제를 해결하기 위해, 유전율이 높은 물질의 산화물이 연구되었다. 유전율이 높은 물질을 사용하면, 동일한 등가 산화물 두께 EOT (equivalent oxide thickness)에서 SiO₂ 대비 더 두꺼운 막을 증착할 수 있으므로 누설 전류를 감소시킬 수 있다. 고유전체 (high-*k*) 물질 중에서 하프늄 옥사이드 (HfO₂) 산화막은 높은 유전율 (~25), 넓은 밴드 갭 (band gap, 5.6 eV) 그리고 열적 안정성 등과 같은 우수한 특성 때

문에 널리 연구되었다 [1-3]. 그러나 비정질 (amorphous)의 HfO₂는 500°C 이상의 저온에서도 쉽게 결정화 (crystallization)될 수 있다. HfO₂의 결정화는 누설 전류를 증가시킬 뿐 아니라 계면 특성을 열화시킬 수 있다. 하프늄 실리케이트 (HfSi_xO_y)는 열적 안정성이 우수하여 500°C 이상의 온도에서도 비정질 상태를 유지하여 누설 전류의 증가를 억제할 수 있다 [4-6]. 그러나 HfSi_xO_y를 증착하는 동안, 산화가 충분히 일어나지 않으면 메탈 성분의 하프늄 실리사이드 (HfSi)가 잔류할 수 있으며, 이는 HfSi_xO_y 막의 전기적 특성을 악화시킬 수 있다 [7-11]. 본 논문에서, 우리는 HfSi_xO_y 막에 O₂ 어닐링 (annealing) 공정을 진행하여, HfSi_xO_y의 전기적 특성 및 신뢰성을 평가하고자 한다. O₂ 어닐링 공정에 따른 HfSi_xO_y 막의 구조 및 화학 조성 변화를 분석하기 위해 고해상도 투과전자 현미경 HRTEM (high resolution transmission electron microscopy)과 X선 광전자 분광법 XPS (x-ray phot

a. Corresponding author: yhroh@skku.edu

oelectron spectroscopy)을 이용하여 분석하였으며, 전기적 특성 변화를 분석하기 위해 누설 전류 밀도-게이트 인가 전압 (J-V; current-voltage)와 커패시턴스-게이트 인가전압 (C-V; capacitance-voltage)히스테리시스 (hysteresis)를 측정하여 분석하였다. 우리는 이러한 분석을 통해 $HfSi_xO_y$ 의 증착 상태와 O_2 어닐링 공정후의 구조적, 전기적 특성을 연구하고자 한다.

2. 실험 방법

P형 실리콘 웨이퍼 위에 $HfSi_xO_y$ 를 증착하였다. $HfSi_xO_y$ 증착 전에, 실리콘 웨이퍼의 자연 산화막을 제거하기 위해 buffered HF (HF:H₂O= 1:100)용액을 사용하였다. $HfSi_xO_y$ 는 ALD (atomic layer deposition) 방식으로 압력 100 pa에서 진행하였으며, 우수한 막을 형성하기 위해 450°C의 고온에서 증착하였다. 반응 가스로 $Hf[OC(CH_3)_2CH_2OCH_3]$ 75%, $Si[OC(CH_3)_2CH_2OCH_3]$ 25%와 RPO (remote plasma oxygen)를 사용하여 3.5 nm 두께로 증착하였다. 증착 후 어닐링 공정은 RTP (rapid thermal process)를 사용하였으며, 500°C의 O_2 분위기에서 5분 동안 진행하였다. 어닐링 공정 후에 금속 게이트 형성을 위해 팔라듐 (Pd) 100nm 증착하였다. $HfSi_xO_y$ 의 구조 분석을 위해 HR-TEM을 사용하였으며, 화학 조성 분석을 위해 XPS를 사용하였다. 전기적 특성을 분석하기 위해 C-V와 J-V를 측정하였다. 커패시턴스는 HP4,275 A LCR meter로 1 MHz 주파수에서 측정하였으며, 누설 전류 밀도 (leakage current density)는 HP4,145 B semiconductor parameter analyzer로 측정하였다.

3. 결과 및 고찰

그림 1은 $HfSi_xO_y$ 증착 후와 어닐링 공정 후의 각각의 HR-TEM 이미지를 보여준다. 그림 1의 (a)는 $HfSi_xO_y$ 증착후의 TEM 이미지이며, 그림 1의 (b)는 500°C, O_2 분위기에서 5분 동안 어닐링 공정 후의 $HfSi_xO_y$ 의 TEM 이미지이다. 초기 증착 상태에서의 $HfSi_xO_y$ 와 계면층 IL (interfacial layer)의 두께는 각각 2.4 nm, 1.6 nm 이었으며, O_2 어닐링 공정후의 $HfSi_xO_y$ 와 IL 두께는 각각 2.6 nm, 1.4 nm로 어닐링 공정에 의한 두께 변화는 관찰되지 않았다. 그리고 500°C 어닐링 공정 후에도 $HfSi_xO_y$ 는 비정질 상태로 유지되었다 [8].

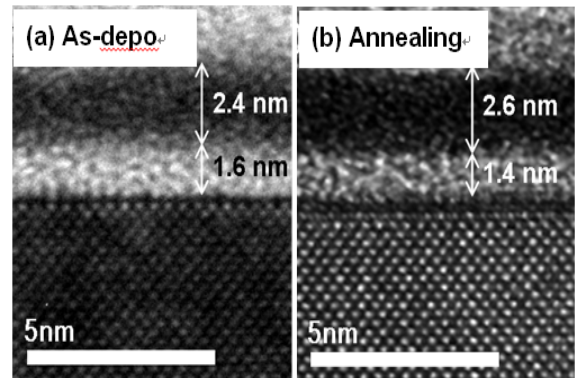


Fig. 1. HR-TEM image : (a) As depo and (b) after O_2 annealing.

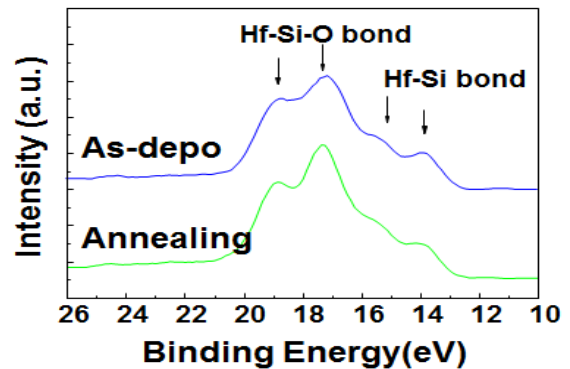


Fig. 2. XPS spectra of $HfSi_xO_y$ films at Hf 4f after deposition and O_2 annealing.

$HfSi_xO_y$ 의 원자 조성 상태를 분석하기 위해 XPS 분석을 진행하였으며, Hf 4f 스펙트럼을 분석하였다. 그림 2에서 보는 바와 같이, Hf 4f에서의 Hf-Si-O 피크 (peak)가 19.1 eV, 17.4 eV에서 각각 관찰되었으며, Hf-Si로 추정되는 peak이 14.0 eV, 15.5 eV에서 각각 관찰되었다 [8,13]. O_2 어닐링 공정 후 Hf-Si-O peak이 증가하였으며, Hf-Si peak이 감소하였다. 이러한 결과를 토대로, 우리는 ALD 방식으로 증착된 $HfSi_xO_y$ 는 완전히 산화되지 않은 HfSi를 포함할 수 있으며 이러한 잔류 HfSi는 O_2 어닐링 공정을 통해 $HfSi_xO_y$ 를 형성할 수 있다고 제안 한다 [8-11].

그림 1의 TEM 분석 결과에서 $HfSi_xO_y$ 는 O_2 어닐링 공정에 의한 두께 변화가 관찰되지 않았으며, 그림 2의 XPS 분석 결과에서 $HfSi_xO_y$ 는 O_2 어닐링 공정을 통해 산화되지 않은 Hf-Si 결합에서 Hf-Si-O

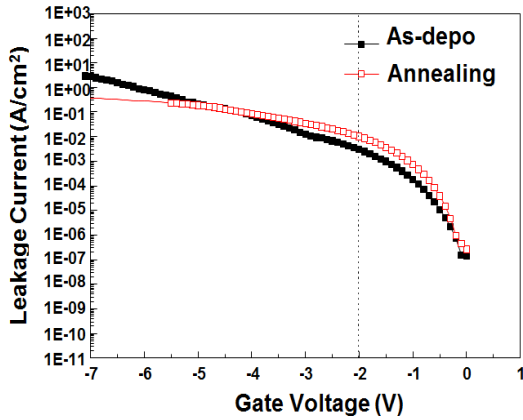


Fig. 3. Leakage current density (J-V) characteristics of p-Si / HfSi_xO_y / Pd capacitors after deposition and O₂ annealing.

결함으로 전환됨이 확인되었다. HfSi는 fixed charge를 증가시키며, O₂ 어닐링 공정을 통해 HfSi_xO_y를 형성함으로써 fixed charge를 제거하고, 신뢰성 특성을 개선할 수 있다.

HfSi_xO_y 내에 잔존하는 Hf-Si결합을 O₂ 어닐링 공정을 통해 Hf-Si-O 결합으로 형성하여도, EOT 변화는 나타나지 않았다. 증착 상태와 어닐링 공정 후의 HfSi_xO_y 막의 EOT는 각각 2.7 nm, 2.7 nm로 유의차가 없었다. 이는 저온의 O₂ 어닐링 공정이 HfSi_xO_y 막에 영향을 주거나 IL 막을 재성장 시키는데 기여하지 않고, 단지 잔존하는 일부 Hf-Si 결합을 Hf-Si-O 결합으로 전환시키기 때문에 EOT 변화가 거의 나타나지 않았다.

HfSi_xO_y의 전기적 특성을 분석하기 위해 J-V특성을 평가하였다. 그림 3은 HfSi_xO_y 초기 증착상태와 O₂ 어닐링 공정 후의 p-Si / HfSi_xO_y / Pd capacitor의 특성을 보여주었다. 0 V부터 -7 V 까지 전압을 변경하면서 누설 전류를 평가하였다. 메탈 게이트 면적은 $2.4 \times 10^{-4} / \text{cm}^2$ 이며, HP4,145 B semiconductor parameter로 측정하였다. 그림 3은 초기 HfSi_xO_y 증착 후와 O₂ 어닐링 공정 후의 누설 전류 밀도를 보여준다. O₂ 어닐링 공정에 따른 누설 전류 밀도 변화는 관찰되지 않았다. 이러한 결과는 500°C 어닐링 공정 후에도 HfSi_xO_y 막이 비정질 상태로 유지하고 있어서 누설 전류 특성이 악화되지 않음을 보여준다.

HfSi_xO_y의 신뢰성 특성을 분석하기 위해 인가한 전압에 따른 커패시턴스 히스테리시스 (capacitance hy-

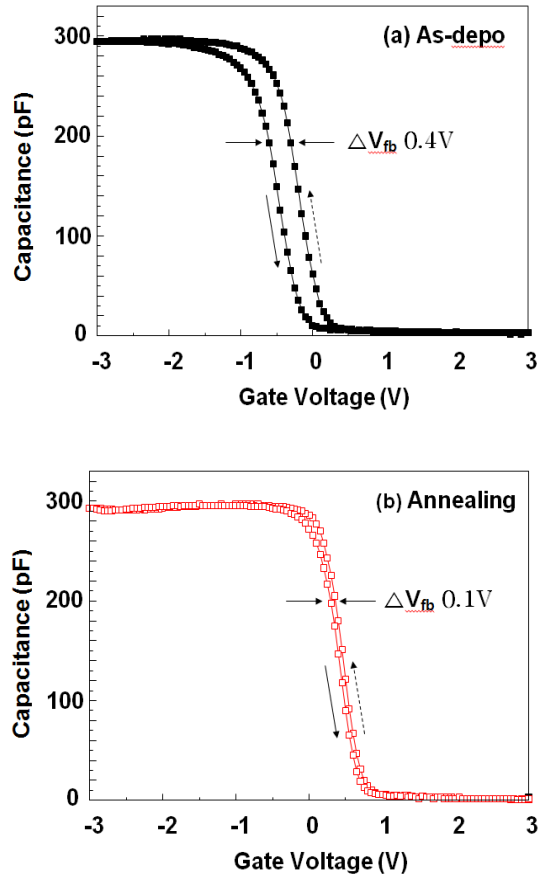


Fig. 4. Capacitance characteristics and hysteresis: (a) as deposition, (b) after O₂ annealing.

steresis)를 측정하였다. 3 V에서 -3 V로 전압을 변경하면서 측정 후, -3 V에서 3 V로 전압을 다시 변경하면서 플랫폼 밴드 전압 변화량 (ΔV_{fb} ; flat band voltage shift)을 살펴보았다.

그림 4는 HfSi_xO_y 증착 초기 상태와 O₂ 어닐링 공정 후의 커패시턴스 히스테리시스를 보여준다. 그림 4 (a)에서 보는 바와 같이, HfSi_xO_y의 초기 증착 상태의 커패시턴스 히스테리시스 측정 결과 ΔV_{fb} 은 약 0.4 V 이었으며, 그림 4(b)에서 보는 바와 같이 O₂ 어닐링 공정 후의 커패시턴스 히스테리시스 측정 결과 ΔV_{fb} 는 약 0.1 V 이었다. 즉, O₂ 어닐링 공정 후에 ΔV_{fb} 이 약 0.3 V 개선되었다. 또한, HfSi_xO_y의 초기 증착 상태의 V_{fb} 대비 O₂ 어닐링 공정 후의 V_{fb} 이 양의 방향으로 증가하였다. 산화되지 않은 HfSi는 fixed charge를 형성하며, V_{fb} 를 음의 방향으로 이동시킨다. 산화되지 않은 HfSi는 O₂ 어닐링 공정을 통해 HfSi_x

O_y를 형성하면서 fixed charge가 작아지는데, 이는 V_{fb}을 양의 방향으로 이동시키다. 그림 4(a), (b)에서 보는 바와 같이 HfSi_xO_y 증착 초기 상태의 V_{fb}이 -0.4 V에서 O₂ 어닐링 공정 후의 V_{fb}이 0.5 V로 0.9 V 이동하였다. 즉, 산화되지 않은 HfSi가 O₂ 어닐링 공정을 통해 HfSi_xO_y를 형성되며, HfSi에 의해 발생된 fixed charge가 줄어들면서 트랩 밀도 (trap density)가 개선될 수 있다 [8-12].

4. 결 론

금속-산화막-반도체 소자의 산화막 특성을 개선하기 위해 O₂ 어닐링 처리된 HfSi_xO_y가 연구되었다. TEM 및 XPS 분석을 통해, O₂ 어닐링 공정은 산화되지 않은 잔존하는 HfSi를 HfSi_xO_y로 변환됨을 확인하였다. 특히 저온 O₂ 어닐링 공정은 HfSi_xO_y의 결정화 혹은 IL의 두께증가와 같은 물성 변화를 발생시키지 않으면서, 효과적으로 잔존하는 HfSi를 HfSi_xO_y로 전환시킬 수 있었다.

이러한 결과를 토대로, 500°C의 저온 O₂ 어닐링 공정은 HfSi를 HfSi_xO_y로 산화시키는데 기여하였으며, fixed charge를 제거하여 EOT 증가나 누설 전류 증가없이 신뢰성 특성을 크게 개선하였다.

REFERENCES

- [1] J. F. Damlencourt, O. Renault, D. Samour, A. M. Papon, C. Leroux, F. Martin, S. Marthon, M. N. Semeria, and X. Garros, *Solid State Electr.*, **47**, 1613 (2003).
- [2] G. D. Wilk, R. M. Wallace, and J. M. Anthony, *J. Appl. Phys.*, **89**, 5243 (2001).
- [3] A. Callegari, E. Cartier, M. Gribelyuk, H. F. Okorn-Schmidt, and T. Zabel, *J. Appl. Phys.*, **90**, 6466 (2001).
- [4] P. Panchaipetch, G. Pant, M. A. Quevedo-Lopez, C. Yao, M. El-Bouanani, M. J. Kim, R. M. Wallace, and B. E. Gnade, *IEEE J. Quantum Electron.*, **10**, 89 (2004).
- [5] P. Panchaipetch, G. Pant, M. Quevedo-Lopez, H. Zhang, M. El-Bouanani, M. J. Kim, R. M. Wallace, and B. E. Gnade, *Thin Solid Films*, **425**, 68 (2003).
- [6] G. Pant, P. Panchaipetch, M. J. Kim, R. M. Wallace, and B. E. Gnade, *Thin Solid Films*, **460**, 242 (2004).
- [7] K. Yamamoto, S. Hayashi, M. Niwa, M. Asai, S. Horii, and H. Miya, *Appl. Phys. Lett.*, **83**, 2229 (2003).
- [8] H. Nakashima, D. Wang, Y. Sugimoto, Y. Suehiro, K. Yamamoto, M. Kajiwara, and K. Hirayama, *Semicond. Sci. Technol.*, **23**, 1 (2008).
- [9] M. S. Jo, H. K. Park, J. M. Lee, M. Chang, H. S. Jung, J. H. Lee, and H. S. Hwang, *Elec. Dev. Lett.*, **29**, 399 (2008).
- [10] M. Miyamura, K. Masuzaki, H. Watanabe, N. Ikarashi, and T. Tatsumi, *Jpn. J. Appl. Phys.*, **43**, 7843 (2004).
- [11] C. W. Hsu, Y. T. Chiang, F. R. Juang, C. T. Lin, and C. M. Lai, *Microelectron. Reliab.*, **50**, 618 (2010).
- [12] P. E. Blochl and J. H. Stathis, *Phys. Rev. Lett.*, **83**, 372 (1999).
- [13] Y. Sugimoto, H. Adachi, K. Yamamoto, D. Wang, H. Nakashima, and H. Nakashima, *Mater. Sci. Semicon. Process.*, **9**, 1031 (2006).