

고온에서 제작된 n채널 다결정 실리콘 박막 트랜지스터의 단채널 효과 연구

이진민^{1,a}

¹ (주)엘엔티연구소

A Study on Short Channel Effects of n Channel Polycrystalline Silicon Thin Film Transistor Fabricated at High Temperature

Jin-min Lee^{1,a}

¹ Institute of Research and Development, ElnT.Co.,Ltd., Suwon 441-360, Korea

(Received February 18, 2011; Revised April 12, 2011; Accepted April 13, 2011)

Abstract: To integrate the sensor driver and logic circuits, fabricating down scaled transistors has been main issue. At this research, short channel effects were analyzed after n channel polycrystalline silicon thin film transistor was fabricated at high temperature. As a result, on current, on/off current ratio and transconductance were increased but threshold voltage, electron mobility and s-slope were reduced with a decrease of channel length. When carriers that develop at grain boundary in activated polycrystalline silicon have no gate biased, on current was increased with punch through by drain current. Also, due to BJT effect (parallel bipolar effect) that developed under region of channel by increase of gate voltage on current was rapidly increased.

Keywords: Polycrystalline silicon thin film transistor, Leakage current, Short channel effect, Punch through, Defect

1. 서 론

실리콘 박막 트랜지스터 (thin film transistor)는 평면 디스플레이의 구동소자에 적용되며 많은 연구가 진행되어 왔다 [1]. 특히 절연체 상에 제조가 되는 TFT는 MEMS (micro electro mechanical system)기술과 NEMS (nano electro mechanical system)기술의 발전에 힘입어 센서와 구동회로를 집적화하기 위한 소자로 매우 적합하다 [2]. 최근 RFID (radio-frequency identification)를 접목시킨 USN (ubiquitous sensor network)의 다양한 응용과 적용 가능성이 높아

지면서 보다 더 높은 집적화를 위한 단채널 TFT에 대한 많은 연구가 선행되고 있다 [3,4].

본 논문에서는 다결정 실리콘 박막 트랜지스터 (poly-Si TFT)를 제조하여 채널의 길이가 채널의 폭보다 1/20 이하로 짧아질 경우에 전기적 특성에 미치는 영향을 분석하였다.

2. 실험 방법

실험에 사용될 고온에서 제조된 다결정 실리콘 박막 트랜지스터의 제조공정은 다음과 같다. 석영 (quartz)기판에 활성층으로 사용할 비정질 실리콘을 온도

a. Corresponding author; bonafidej@naver.com

550℃에서 1,000 Å의 두께로 LPCVD (low pressure chemical vapor deposition) 증착방법을 사용하여 증착하였다. 증착된 비정질 실리콘에 실리콘 이온을 주입한 후 활성층의 영역을 위해 마스크 얼라이너를 이용한 사진공정과 RIE (reactive ion etch) 방법을 이용한 식각공정을 통하여 활성층을 형성시켰다. 이후 게이트 산화막을 확산로에서 열산화성장법으로 950℃에서 1,000 Å 두께로 성장시켰다. 이때 열산화 공정에 의해 활성층이 결정화 되도록 유도하였다. 이 후 게이트 전극을 LPCVD로 625℃온도에서 1,000 Å 두께로 증착한 후 게이트 영역 형성을 위해 사진과 식각공정을 진행하였다. 건식식각 시 게이트 전극층과 게이트 산화막을 동시에 식각하여 활성층이 드러나도록 하였다. 드레인과 소오스 및 게이트 영역의 형성은 하이 에너지 이온주입을 통해 형성하였다. 주입된 불순물은 n형의 TFT형성을 위해 비소 (As)를 95 keV, $3 \times 10^{15}/cm^2$ 조건으로 사용하였다 [5]. 패시베이션을 위해 PECVD (plasma enhanced chemical vapor deposition) 방법으로 산화막을 1 μm 두께로 증착 후 콘택 홀을 사진과 식각방법으로 형성시켰다. 적류 마그네트론 스퍼터링 방법을 통해 1% 실리콘이 포함된 알루미늄을 1 μm 두께로 증착하였다. 마지막으로 사진과 식각공정을 통한 금속 패터닝 후 열로이 공정을 위해 450℃의 온도에서 1 hr 동안 열처리를 진행하였다.

제조된 소자는 폭은 50-100 μm, 채널의 길이가 2-50 μm인 전형적인 MOSFET (metal oxide semiconductor field effect transistor) 구조였으며, 소자의 측정은 HP4,156 A 반도체 파라미터 분석기와 프루브 스테이션을 이용하였다. 측정 시 소자에 인가한 게이트 전압의 범위는 -20~+30 V, 드레인 전압범위는 0~+20 V이었으며, 측정 시 온도는 25℃이었다.

제조된 소자의 게이트 단면도를 그림 1에 나타내었으며, 그림 2는 소자의 평면사진을 보여주고 있다.



Fig. 1. The SEM image fabricated n channel poly-Si TFTs gate region (X30,000).

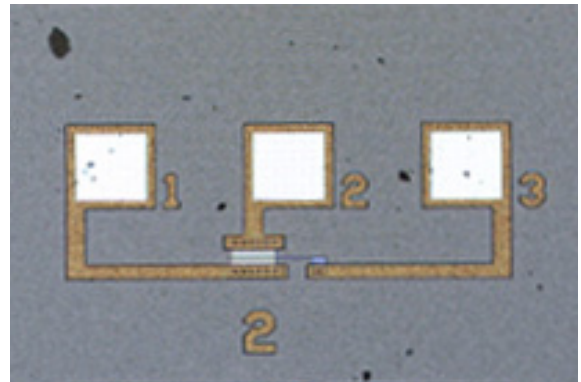


Fig. 2. The microscope image fabricated n channel poly-Si TFT for top view (X1,000).

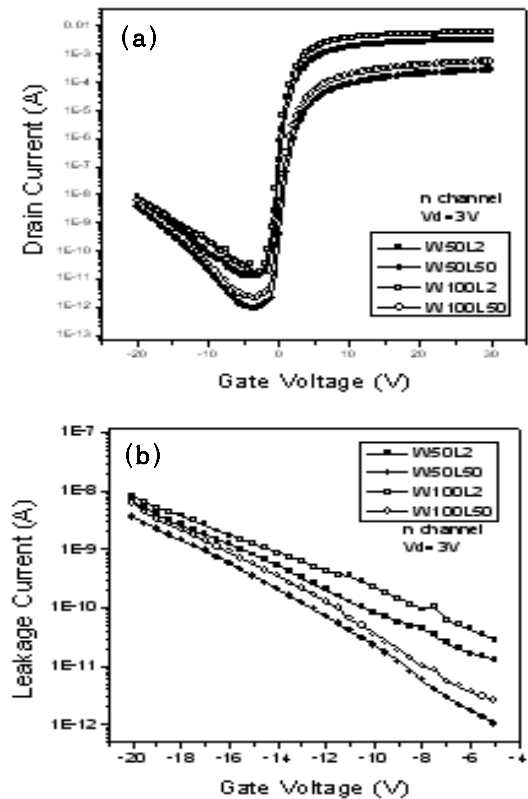


Fig. 3. Electrical characteristics of the fabricated poly-Si TFTs, (a) V_g - I_d , (b) leakage current.

3. 결과 및 고찰

제조된 n 채널 다결정 실리콘 박막 트랜지스터의 게이트전압-드레인전류 특성을 그림 3 (a)에 나타내

었다. 채널 길이가 짧아질수록 드레인 전류는 증가하였는데, 드레인 전압 3 V, 게이트 전압 30 V 일 때 채널길이가 50 μm 로 긴 소자의 경우 채널 폭이 50 μm 인 소자의 드레인 전류는 0.27 mA, 채널 폭이 100 μm 인 경우 0.55 mA이었으며, 채널 길이가 2 μm 로 짧은 소자의 경우 채널 폭 50 μm 의 드레인 전류는 3.19 mA, 채널 폭이 100 μm 소자의 경우 5.98 mA로 채널 폭의 증가에 비례해 드레인 전류도 증가하는 것으로 나타났다. 그러나 그림 3의 (b)처럼 게이트 역전압의 증가에 의해 드레인 역전류가 급격히 증가하는 것으로 나타났는데, 특히 채널 길이의 변화와 관계없이 게이트 역전압의 증가에 의해 누설전류는 지수함수적으로 증가하는 것으로 나타났다. 또한 채널의 폭이 넓은 소자에서 누설전류가 크게 발생하여 누설전류는 채널의 폭에 의존하는 것으로 분석되었다.

그림 4 (a)에는 드레인 전압에 따른 드레인 전류를 나타내었고, 채널의 감소는 드레인 전류의 증가를 발생시키는 것으로 보여주고 있다. 그림 4 (b)에는 게이트 전압을 인가하지 않는 상황($V_g=0$ V)에서 드레인 전압에 의해 발생하는 드레인 전류를 나타내었다. 전형적인 MOSFET소자에서 게이트 전압 미인가 시의 드레인 전류는 소오스에서 드레인으로 급격히 이동하는 캐리어의 편치스루에 의존하는 누설전류로 정의되며 주로 서브미크론 크기의 채널을 가지는 소자에서 발생하는 것으로 알려져 있다. 제작된 다결정 실리콘 박막 트랜지스터에서 게이트에 전압을 미인가 한 상황에서 채널길이가 2 μm 로 감소할 때 형성된 드레인 전류는 높은 값을 가지고 있었으며 드레인 전압이 증가함에 따라 드레인 전류는 포화하지 않고 더욱 증가하는 것으로 나타났다. 게이트 오프상태에서 드레인 전류의 증가가 더욱 두드러지는 것은 드레인 영역에서 발생하는 핫 캐리어 외에도 활성층 실리콘이 가진 그레인의 결정입계와 결정이 가지는 결함에서 발생하는 전하들이 드레인 전압의 증가에 의존해 소오스에서 드레인 쪽으로 이동하는 편치스루 현상에 의존하는 것으로 보인다. 또한 이런 게이트 오프 상태에서 게이트 측으로 전압을 증가시키면 드레인 전류는 그림 4 (a)처럼 작은 드레인 전압의 변화에 의해서도 매우 급격히 전류가 증가되는 킥 (kink) 현상이 나타났다. 이는 인가된 게이트 전압에 의해 채널의 하단이 p형으로 변화되며 발생하는 기생병렬 BJT 효과 (parallel bipolar junction transistor effect) 현상에 의한 것으로 보인다 [6-8]. 따라서 이러한 편치스루 현상과 기생병렬 BJT 현상은 다결정 박막 트랜지스

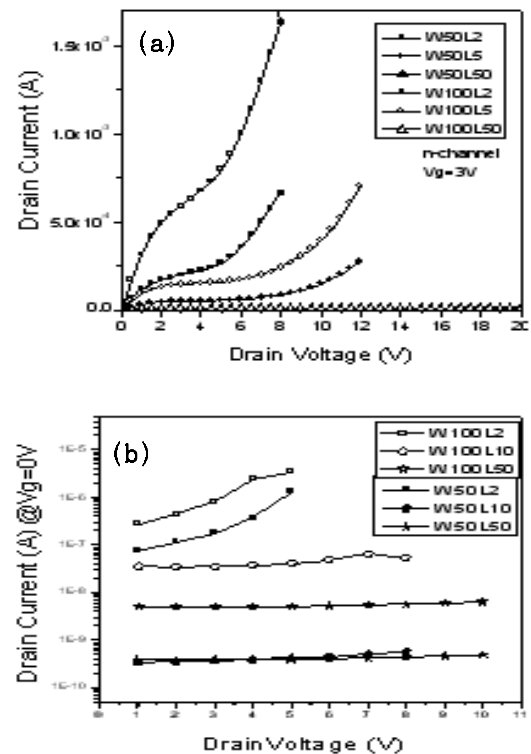


Fig. 4. V_d - I_d characteristics of n channel poly-Si TFTs, (a) $V_g = 3$ V, (b) $V_g = 0$ V.

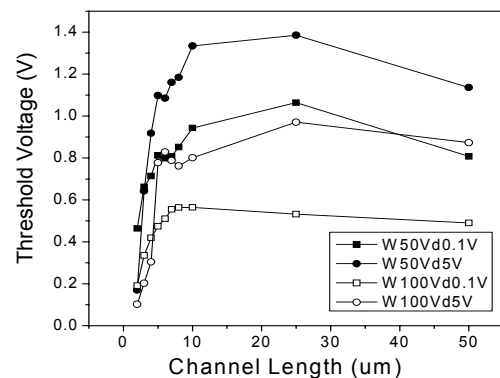


Fig. 5. Threshold voltage by channel length of n channel poly-Si TFTs.

터의 파괴전압을 낮추고, 소자의 열화를 발생시켜 신뢰성이나 성능에 좋지 않은 영향을 미칠 것으로 사료되므로 이에 대한 구조적 연구가 추가되어야 할 것으로 사료된다.

그림 5에는 제조된 소자의 채널길이에 따른 문턱전압의 변화를 나타내었다. 일반적으로 단결정 실리콘

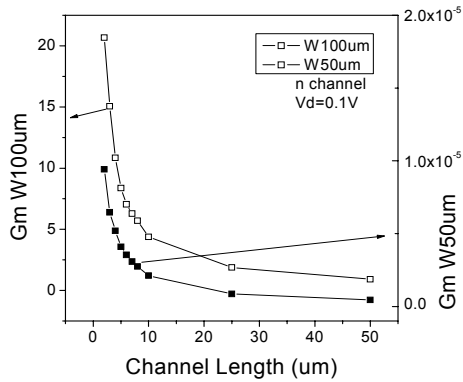


Fig. 6. Transconductance by channel length of n channel poly-Si TFTs.

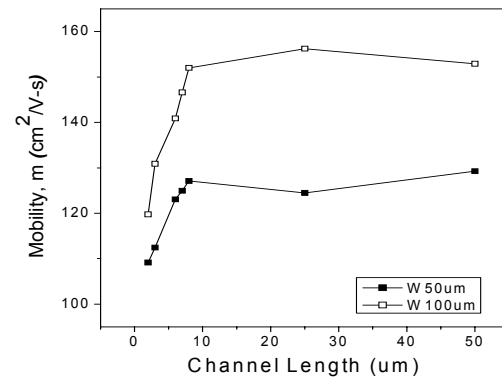


Fig. 8. Mobility by channel length of n channel poly-Si TFTs.

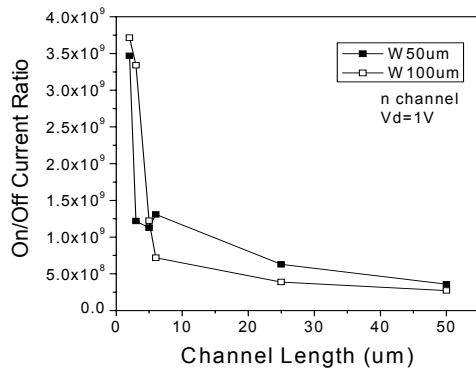


Fig. 7. On/Off current ratio by channel length of n channel poly-Si TFTs.

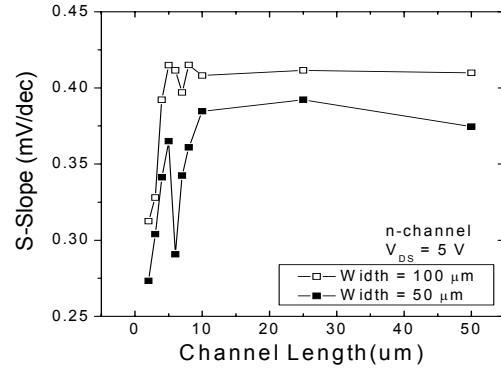


Fig. 9. S-slope by channel length of n channel poly-Si TFTs.

트랜지스터의 문턱전압은 채널길이가 서브 마이크론 이하로 짧아짐에 따라 급격히 감소되는데 이는 게이트 전압 뿐 아니라 드레인 영역의 공핍층 전계와 핫 캐리어 등의 영향을 받는 것으로 알려져 있다. 그러나 본 실험에서 제조된 다결정 실리콘 박막 트랜지스터에서는 서브마이크론이 아닌 채널 길이가 폭에 비해 1/10 이하 즉, 채널 길이가 5 μm 이하로 짧아졌을 때 문턱전압은 급격히 더 낮아졌으며, 드레인에 인가되는 전압이 5 V로 높을 경우에 드레인 전압이 0.1 V 일 때보다 문턱전압이 떨어지는 정도가 더 심하게 관찰되었다. 이러한 다결정 실리콘 박막 트랜지스터에서의 문턱전압 변화현상은 유효채널의 길이 감소현상과 드레인 영역에서 발생하는 핫 캐리어 외에도 실리콘 활성층이 가지는 결함에 의존하기 때문인 것으로 예측된다.

그림 6에는 채널길이에 따른 입력전압에 따른 출력전류비로 정의되는 전달특성을 나타내었다. 채널길이가 작아질 때 전달특성은 기하급수적으로 증가하는 것으로 분석되었다. 특히 채널 길이가 2 μm 로 일정한 경우 채널 폭 100 μm 의 전달특성은 1.47×10^{-5} (mho) 50 μm 의 소자는 8.01×10^{-6} (mho) 이었다. 이는 드레인 전류의 증가에 의한 것으로 보인다.

그림 7에는 채널길이에 따른 최대 on/off 전류비를 나타내었다. 이 또한 채널의 길이가 짧아질 때 급격히 증가하는 것으로 나타났다. 그러나 on/off 전류비의 특성이 전달특성현상처럼 지수함수적으로 급격하게 증가하지는 않았다. 이는 드레인 on 전류의 증가에 따른 현상보다 전압의 감소에 의해 발생하는 off 전류의 변화가 일정하지 않아 발생된 것으로 채널 길이의 감소에 의한 off 전류의 변화가 매우 불안정함

을 의미한다. 이는 드레인 영역의 활성층 실리콘이 가지는 미결합 부위인 땡글링 본드에서 발생하는 전하에 기인한 것으로 예측된다.

그림 8에는 채널 길이의 변화에 따른 전자의 이동도 변화를 나타내었다. 전자이동도 감소 현상은 채널의 길이가 감소할수록 더 심화되었으며, 채널 폭이 100 μm 의 소자에서 발생하는 전자 이동도의 감소가 더 크게 나타났다. 이는 그림 6처럼 채널 폭이 100 μm 인 소자의 채널 길이 감소에 따른 전달특성이 20배 정도 증가하는 데 비해 채널 폭과 길이의 비가 그 이상인 경우 즉, 채널 길이가 5 μm 이하 인 경우 전자의 이동도는 오히려 저하되는 것으로 분석되었다. 이는 단위 전계에 대한 전자의 드리프트 속도로 규정되므로 전자의 이동도가 전달특성의 변화량 보다 더 심하게 변화되는 채널 길이의 감소량에 의존해 감소하게 된 것으로 보인다. 따라서 단채널 다결정 박막 트랜지스터의 경우 전자의 이동도는 소자의 구조에 의존해 심하게 변화되는 것으로 분석되었다.

그림 9에는 채널길이의 변화에 따른 s-slope의 변화를 나타내었고, 채널 길이의 감소에 따라 매우 급격히 감소되는 것으로 보여지고 있다. 특히 채널 길이가 감소되었을 때 s-slope의 변화 또한 드레인에 인가된 전압이 낮아 발생하는 off 특성의 불안정성에 영향을 받는 것으로 분석되었다.

따라서 고온에서 제조된 n형 다결정 실리콘 박막 트랜지스터의 응용을 위해서는 낮은 드레인 전압, off 전류와 연관되는 문턱전압, s-slope, 전자이동도 등의 특성의 불안정성으로 인하여 이를 감소시키기 위한 추가의 연구가 필요할 것으로 사료되며, 드레인 전압의 증가에 의해 급격히 증가되는 핫 캐리어에 의존한 펀치스루 현상과 기생병렬효과에 의존한 드레인 전류의 증가와 누설전류의 증가를 보완하기 위한 소자 설계 연구도 추가로 필요할 것으로 사료된다.

4. 결 론

본 논문에서는 고온에서 제조한 n형 다결정 실리콘 박막 트랜지스터를 제조하여 채널 길이의 변화가 전

기적 특성에 미치는 영향을 분석하였다. 그 결과 채널길이의 감소는 전달특성과 on/off 전류비 및 누설전류의 증가를 나타내었으며, 전자 이동도, s-slope, 문턱전압을 감소시키는 것으로 분석되었다.

누설전류는 채널길이의 감소와 높은 게이트 역전압에 의존해 증가하는 것으로 분석되었으며, 문턱전압은 드레인 전압 의존이 높아질 때는 채널의 폭에 비해 길이가 1/10로 매우 짧은 소자에서 인가되는 드레인 전압이 높아지면 그 감소폭이 더욱 현저하게 나타나 채널폭 의존도가 매우 컸다.

특히 on 전류의 급격한 증가는 활성층 실리콘이 가지는 결정내부와 결정경계의 결함에서 발생하는 전하로 인해 드레인에서 소오스로의 펀치스루 현상에 의존하는 것으로 분석되었으며, 게이트의 전압이 증가되면 채널 하단으로 형성되는 기생바이폴라 효과에 의해 작은 드레인 전압의 증가에도 전류가 급증하는 킹크현상이 발생되었다. 이로 인해 전달특성과 on/off 전류비의 증가가 발생되었다.

그러나 이러한 낮은 드레인 구동 on전압과 역전압에서 발생하는 누설전류는 집적화되는 센서에서는 오작동 또는 신호증폭에 큰 문제를 야기 시키므로 이를 감소시키기 위한 추가적인 연구가 필요할 것으로 사료된다.

REFERENCES

- [1] Z. Yodasaka, H. Ohshima, *Mat. Res. Soc. Symp. Proc.*, **182**, 333 (1990).
- [2] A. G. Lewis, *IEDM Tech. Dig.*, 264 (1988).
- [3] H. Ohshima and S. Morozumi, *IEDM Tech. Dig.*, 157 (1989).
- [4] C. T. Sah, *IEEE Trans. Elec. Dev.*, **11**, 342 (1964).
- [5] J. Graul, A. Glasl, and H. Murrmann, *IEEE J. Solid State Circuits*, **11**, 491 (1976).
- [6] H. C. de Graaft and J. G. de Groot, *IEEE Trans. Elec. Dev.*, **26**, 1771 (1979).
- [7] T. H. Ning and R. D. Isaac, *IEEE Trans. Elec. Dev.*, **33**, 2051 (1980).
- [8] T. Noguchi, H. Hayashi, and T. Ohshima, *Jpn. J. Appl. Phys.*, **25**, 121 (1986).