

고내압용 Au/Ni/Ti/3C-SiC 쇼트키 다이오드의 제작과 그 특성

심재철¹, 정귀상^{1,a}

¹ 울산대학교 전기공학부

Fabrication of a Au/Ni/Ti/3C-SiC Schottky Diode and its Characteristics for High-voltages

Jae-Cheol Shim¹ and Gwi-Sang Chung^{1,a}

¹ School of Electrical Engineering, University of Ulsan, Ulsan 680-749, Korea

(Received December 20, 2010; Revised February 14, 2011; Accepted February 17, 2011)

Abstract: This paper describes the fabrication and characteristics of a Au/Ni/Ti/3C-SiC Schottky diode with field plate (FP) edge termination. The Schottky contacts were annealed for 30 min at temperatures ranging from 0 to 800°C. At annealing temperature of 600°C, it showed an inhomogeneous Schottky barrier and had the best electrical characteristics. However, the annealing of 800°C replaced it with ohmic behaviors because of the formation of many different types of nickel silicides. The fabricated Schottky diode had a breakdown voltage of 200 V, Schottky barrier height of 1.19 eV and worked normally even at 200°C.

Keywords: 3C-SiC, Schottky barrier diode, Metal(Ni, Ti) silicide, Field plate edge termination.

1. 서 론

전장부품들이 이용되는 거의 모든 분야에서 전력용 반도체가 이용되고 있으며 성능이 우수한 전력용 부품이 요구하고 있다. 기존의 Si보다 큰 밴드갭을 가지며 전기적, 열적, 화학적 특성이 좋은 GaN, SiC 등과 같은 차세대 반도체 재료에 대한 관심이 증가되고 있다. 특히, 광대역 반도체 중의 하나인 SiC는 실용화 가능성이 가장 높으며 반도체 소자 제작에서 가장 필수적인 산화막 형성 공정이 가능하다 [1].

다수의 SiC 구조 중 현재 사용되고 있는 구조는 α -(4H, 6H)-SiC와 β -(3C)-SiC 등이다. α -SiC는 소자 제작이 용이하기 때문에 상용화되고 있으며 3C-SiC에 비해 큰 에너지 밴드갭을 가지고 있어 항복전압이 우수하다. 그러나, 2인치 이상 크기로 성장이 불가능하고 소자의 전기적 특성 중 중요한 요소인 이

동도가 3C-SiC에 비해 낮다. S. Nishino 등에 의해 버퍼층인 탄화막을 이용하여 양질의 막 성장이 가능해진 이후, J. Komiyama 등은 3C-SiC 막만으로 190 V 이상의 항복전압을 갖는 소자가 제작하였지만 [2], 적용이 가능한 모터 구동분야에서 요구되는 항복전압 (300 V 이상)에 비해 낮은 수준이다.

우수한 특성을 갖는 소자를 제작하기 위해서는 field plate (FP) edge termination을 적용하는 방법과 금속/SiC 사이의 접합특성 개선이 필요하다. 특히, 금속/SiC의 접합 계면에서 열처리에 의한 반응은 소자의 특성 개선에 있어서 매우 중요하다. 일반적으로 Au, Ag 등의 금속들은 SiC와 거의 반응하지 않은 반면, Co, Ni, Cr, Fe, Pt, Pd, Ti 등은 실리사이드나 카바이드를 형성하여 낮은 접촉 저항과 열적 안정성을 나타낸다 [3]. 이들 금속 중에서 Ni와 Ti가 가장 많이 사용되고 있으며 쇼트키 다이오드로 제작하였을 때 각각 낮은 누설전류와 상대적으로 낮은 순방향 전압 강하를 보인다. 따라서, α -SiC 기반에서는 이

a. Corresponding author: gschung@ulsan.ac.kr

들의 특성을 모두 가진 이중 금속 쇼트키 구조와 열처리에 대한 연구가 진행되고 있다 [4,8]. 또한, 계면에서 이중 쇼트키 장벽을 가진 쇼트키 다이오드에 대한 전기적 특성은 Tung의 모델로 설명할 수 있다 [5].

대면적 성장이 가능한 양질의 3C-SiC를 기반으로 FP edge termination과 이중 쇼트키 접합을 적용한다면, Si 기반 쇼트키 장벽 다이오드 (Schottky barrier diode, SBD)에 비하여 높은 동작온도, 낮은 순방향 전압 강하를 가지면서도 높은 항복전압 특성을 가진 소자의 제작이 가능할 것이다.

따라서, 본 연구에서는 Au/Ni/Ti/3C-SiC 접합의 열처리에 따른 계면과 전기적 특성을 분석했으며 또한, 고내압용 쇼트키 다이오드를 제작하여 전기적 특성을 평가하였다.

2. 실험 방법

APCVD법으로 n형 Si (100) 기판위에 3C-SiC 박막을 성장했다 [6]. 열처리 온도에 따른 계면과 전기적 특성 분석에 사용된 박막의 두께는 약 2 μm 였다. 계면 특성을 위한 샘플들은 3C-SiC 박막 위에 ~ 10 nm의 Ti과 100 nm의 Ni와 Au를 RF 마그네트론 스퍼터로 각각 증착하여 Ar 분위기와 400~800 $^{\circ}\text{C}$ 온도에서 30분간 열처리를 수행하였다. 포토공정을 통해 200 μm 직경의 동일한 금속층 구조를 가진 쇼트키 접합을 제작하고, 동일한 조건들에서 열처리를 수행하였다. 마지막으로 진공증착기로 Al 오믹 접합을 형성한 다음에 400 $^{\circ}\text{C}$, 30분간 열처리를 수행하였다.

그림 1은 본 연구에서 제작한 고내압용 쇼트키 다이오드를 도식적으로 나타낸 것이다. 고내압용 쇼트키 다이오드에 사용된 박막의 두께는 약 12 μm 였다. 3C-SiC 박막위에 열산화법으로 800 $\text{\AA}$ 의 산화막을 성장하였다. 포토공정으로 산화막 창보다 50 μm 더 크게 패턴을 형성하여 금속과 산화막이 모서리 부분에서 겹치도록 쇼트키 금속을 형성한 다음에 쇼트키 접합에 대한 열처리를 수행하고, 마지막으로 Al 오믹 접합을 형성하였다.

또한, XRD (x-ray diffraction)로 열처리 공정에 따른 계면과 반도체 물성 분석기 (Keithley 4200-SCS)로 다이오드의 특성을 평가하였다.

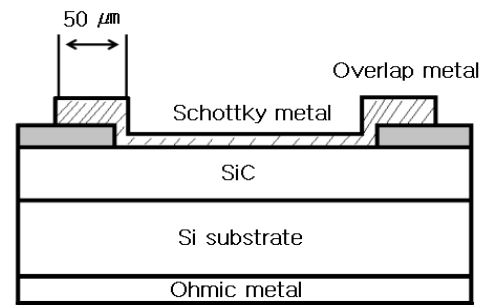


Fig. 1. Schematic diagram of 3C-SiC SBD for high-voltages.

3. 결과 및 고찰

그림 2는 각각의 열처리 온도에 따른 Au/Ni/Ti/3C-SiC 샘플의 XRD 스펙트럼이다. 400 $^{\circ}\text{C}$ 미만의 XRD 스펙트럼에서는 Ni (111)과 Ni (200) 피크만이 관측되었다. 그러나, 열처리 온도의 증가에 따라 400 $^{\circ}\text{C}$ 에서부터 관측된 NiSi (102) 피크의 크기는 점차적으로 감소된 반면에 600 $^{\circ}\text{C}$ 에서부터 관측된 Ni₂Si (210) 피크는 증가되었다. 800 $^{\circ}\text{C}$ 이후부터는 다른 피크들도 관측되었으며, 열처리 온도의 증가에 따라 점차 감소하던 Ni 피크들은 더 이상 관측되지 않았다. 이러한 결과는 열처리 온도가 증가함에 따라 점차적으로 모든 Ni 원자가 Ni 실리사이드들로 변환되었기 때문으로 보인다.

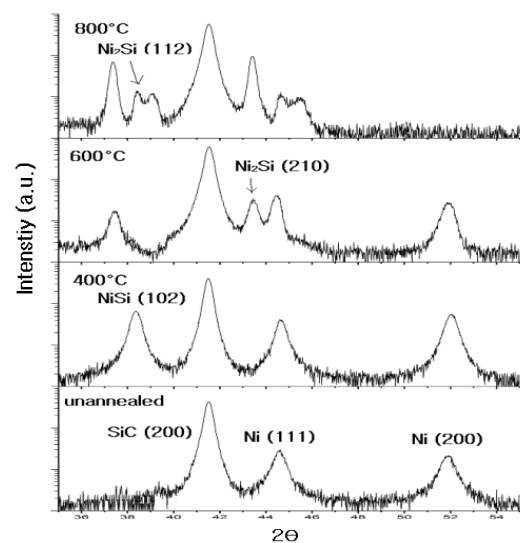


Fig. 2. XRD spectra of Au/Ni/Ti/3C-SiC samples with anneal temperatures.

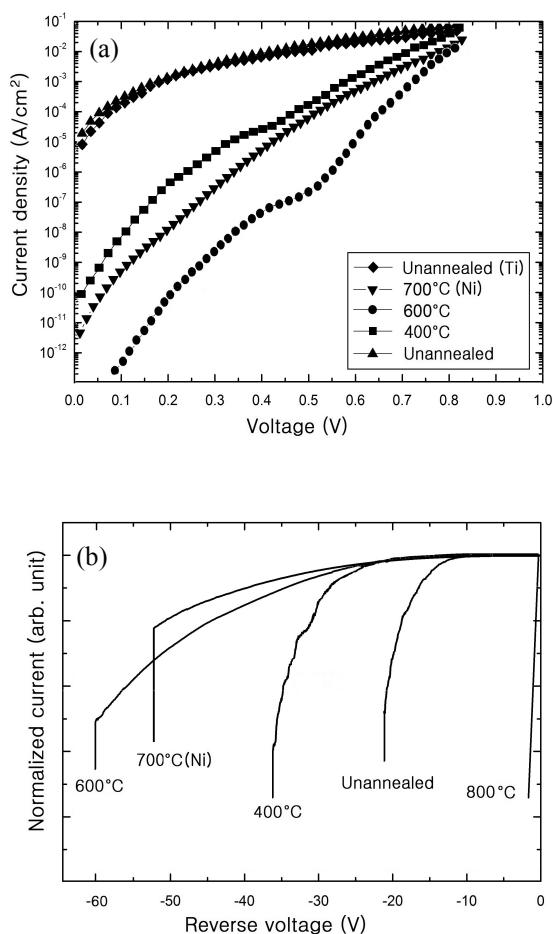


Fig. 3. (a) Forward and (b) reverse I-V electrical characteristics of Au/Ni/Ti/3C-SiC Schottky diodes with annealing temperatures.

Ti 실리사이드 (TiSi_2)는 SiC (200) 피크와 같은 지점에서 나타나고 [7], 이러한 구조에서는 Ti 실리사이드가 계면에서 형성되거나 Ni 실리사이드층에 침전된다 [8]. 그러나, 너무 얇게 증착되었기 때문에 Ti와 생성된 Ti 실리사이드는 XRD 스펙트럼 결과상 나타나지 않은 것으로 보인다 [4]. 또한, 열처리에 의한 표면의 산화를 방지하기 위해 보호층으로 사용된 Au는 Ni층을 통과하여 확산할 수 없어 반응하지 않은 것으로 판단된다.

그림 3(a)와 (b)는 각각의 열처리 온도에 따른 Au/Ni/Ti/3C-SiC 샘플들의 순방향과 역방향 I-V 특성을 나타낸 것이다. 열처리를 하지 않았을 경우에 선형적인 순방향 특성 곡선이 나타났으며, 같은 조건에서 Ti/3C-SiC 쇼트키 다이오드와 거의 동일한 곡선을

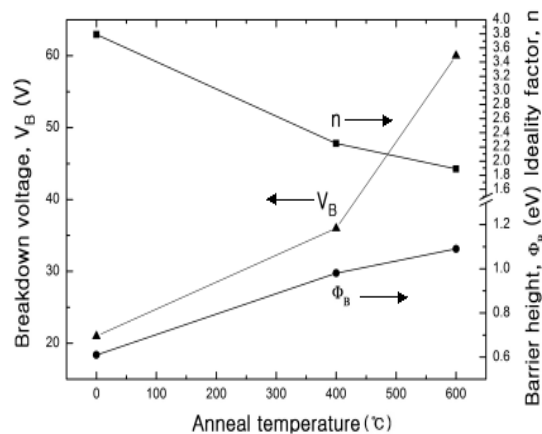


Fig. 4. Barrier height (Φ_B), ideality factor (n) and breakdown voltage (V_B) for Au/Ni/Ti/3C-SiC Schottky diodes with annealing temperatures.

나타내었다. 또한, 열처리를 하지 않았을 경우에 다이오드의 쇼트키 특성은 Ti 접합에 의해 결정된다고 판단된다. 열처리 온도의 증가에 따라 400°C부터 0.45 V정도 지점에서 변칙적인 (anomalous) 순방향 I-V 특성 곡선이 나타났다. 더구나, 600°C에서는 단일 금속 쇼트키 다이오드인 Ni/3C-SiC보다 순방향 및 역방향 특성에서 모두 개선된 결과를 나타냈다. 400°C 이상의 열처리를 해주었을 경우에 Ni 원자가 Ti층을 확산하여 통과할 수 있기 때문에 계면에 Ni과 Ti의 실리사이드가 동시에 존재하게 된다. 따라서, 낮은 순방향 바이어스 (0.45 V 이하)에서는 Ti 실리사이드 접합에 의한 선형 곡선이 나타나고, 높은 순방향 바이어스에서는 Ni 실리사이드 접합에 의한 선형 곡선을 보였지만, 그림 3과 같은 이중 쇼트키 장벽이 나타난 것으로 보인다 [8]. 그러나, 모든 샘플에서 이러한 변칙적인 순방향 특성이 나타나지 않았다. 이는 계면에 Ti 실리사이드가 거의 없을 경우에 Ni 실리사이드 접합에 의한 쇼트키 장벽 특성만이 나타나기 때문으로 보인다 [8]. 따라서, 금속층들의 두께와 열처리 조건 등에서 최적화가 필요할 것으로 판단된다.

그림 4는 Au/Ni/Ti/3C-SiC ($\sim 2 \mu\text{m}$) 쇼트키 다이오드들의 I-V와 C-V 특성으로 부터 계산된 쇼트키 장벽 높이 (Φ_B), 이상계수 (n) 그리고 항복전압 (V_B)을 정리한 것이다. 열처리 온도가 증가함에 따라 전기적 특성들이 개선되었으나, 800°C부터 그림 3(b)에서와 같이 옴 특성이 나타났다. 400°C 이전의 열처리 온

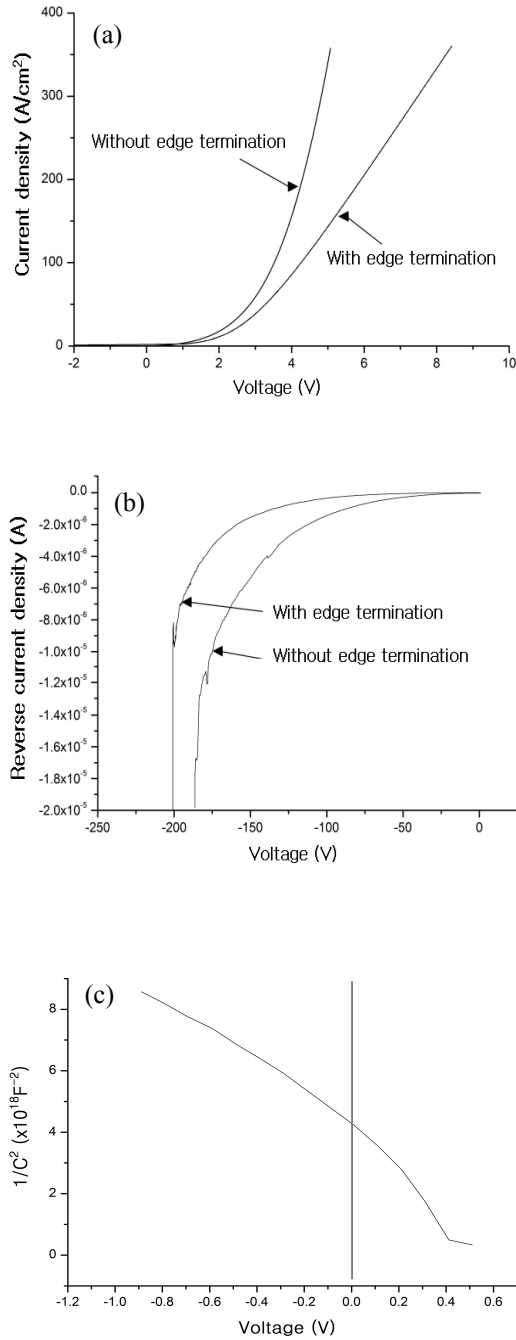


Fig. 5. (a) Forward I-V, (b) reverse I-V, and (c) C-V characteristics of Au/Ni/Ti/3C-SiC Schottky diodes for high-voltages.

도에서는 Ti 기반의 접합만 나타나므로 항복전압이 상대적으로 낮게 나타났다. 이후, 400°C 이상에서는

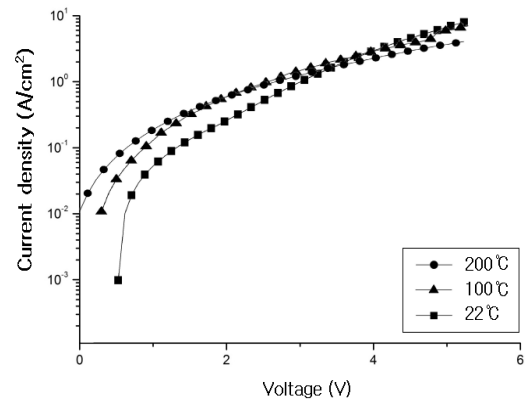


Fig. 6. I-V characteristics of Au/Ni/Ti/3C-SiC Schottky diodes for high-voltages with working temperatures.

Ni과 Ti의 실리사이드의 접합이 나타나므로 전기적 특성이 개선되기 시작했으며 추가적인 열처리 온도의 증가에 따라 Ni 실리사이드의 상중 안정적인 Ni₂Si 피크가 증가하여 보다 개선된 결과를 나타내었다. 그러나, 800°C 이상에서는 Ni 금속이 모두 실리사이드로 변환되어 다수의 실리사이드를 형성되었기 때문에 옴릭 특성이 나타난 것으로 보인다 [9].

그림 5는 FP 구조가 적용된 고내압용 Au/Ni/Ti/3C-SiC (~12 μm) 쇼트키 다이오드의 I-V와 C-V 특성을 나타낸 것이다. 순방향 전류밀도는 4 V일 때 75 A/cm²로 FP 구조가 적용되지 않은 경우 (161 A/cm²) 보다 낮았는데, 이는 산화막 창 형성시 충분히 제거되지 못한 산화막의 잔유물로 인해 계면에서 접촉저항이 증가되었기 때문으로 보인다 [10]. 쇼트키 장벽 높이는 1.19 eV로 나타났다. 더구나, 항복전압은 200 V였으며 역방향 전압이 100 V일 때 누설전류는 3.45×10⁻⁷ A로 FP 구조가 적용되지 않은 경우 (170 V, 1.82×10⁻⁶ A)에 비해 개선되었다. 산화막에 의한 모서리 단락이 모서리 부분에서의 누설전류를 효과적으로 줄이고, 결과적으로 최대 역방향 항복전압을 증가시켰기 때문으로 보인다 [13].

본 연구에서 제작된 FP 구조가 적용되지 않은 쇼트키 다이오드는 저압에서 성장된 3C-SiC 박막을 이용한 경우의 쇼트키 장벽 높이(1.26 eV)와 항복전압(183 V)보다 낮게 나타났으며 또한, FP 구조가 적용된 소자의 이론적 개선률 (65%)보다 낮은 결과를 나타냈다 [11,12]. 두께가 증가함에 따라 개선된 결정성을 가진 박막이 형성되지만, FP 구조에서 항복전압의 향상을 가져오는 주된 요인인 두께는 얇고 많은 편향을 가

지는 산화막, 박막 내 결함 그리고 높은 도핑농도 ($2.184 \times 10^{18} \text{ cm}^{-3}$) 때문에 쇼트키 접합 금속의 가장자리에서 전장 집중과 누설 전류가 커져 항복전압이 낮게 나타난 것으로 보인다 [13].

그림 6은 FP 구조가 적용된 고내압용 Au/Ni/Ti/3C-SiC($\sim 12 \mu\text{m}$) 쇼트키 다이오드의 동작온도에 따른 I-V 특성을 나타낸 것이다. 200°C의 온도에서도 정상적으로 동작하였지만, 순방향 전류 밀도가 감소하는 경향을 보였는데 이는 온도가 증가함에 따라 3C-SiC의 이동도가 감소하였기 때문으로 보인다 [10].

4. 결 론

Au/Ni/Ti/3C-SiC 쇼트키 다이오드의 열처리 온도에 따른 계면과 전기적 특성을 분석하였다. 400°C 이상의 열처리 온도에서는 Ni 원자가 Ti 막을 통과할 수 있기 때문에 Ni과 Ti의 실리사이드가 형성되기 시작했으며 600°C에서 안정적인 실리사이드 상인 Ni_2Si 이 주로 형성되어 쇼트키 다이오드의 항복전압 뿐만 아니라 순방향 특성에 있어서 많은 개선이 나타났다. 더구나, 이러한 쇼트키 금속층 구조를 가진 다이오드에 FP 구조를 적용하였을 때 항복전압에서 큰 폭의 개선이 나타났다. 또한, 200°C 이상의 온도에서도 정상적으로 동작이 가능함을 확인하였다.

따라서, 3C-SiC 기반에 FP edge termination과 이중 쇼트키 접합을 이용한 쇼트키 다이오드는 모터 구동 등에 이용되는 고내압 정류기 소자로써 유용하게 사용될 것으로 기대된다.

감사의 글

본 논문은 지식경제부가 지원하는 전력계통기술개발사업인 “계통연계형 인버터 시스템을 위한 고효율 전력소자 기반기술개발”을 통해 개발된 결과임을 밝힙니다.

REFERENCES

- [1] J. B. Casady, and R. W. Johnson, *Solid-State Electron*, **39**, 1409 (1996).
- [2] J. Komiyama, Y. Abe, S. Suzuki, T. Kita, H. Nakanishi, *J. Cryst. Growth*, **275**, e1001 (2005).
- [3] L. Via, F. Roccaforte, A. Makhtari, V. Raineri, P. Musumeci, and L. Calcagno, *Microelectron. Eng.*, **60**, 269 (2002).
- [4] R. Pérez, N. Mestres, D. Tournier, P. Godignon, and J. Millán, *Diam. Relat. Mater.*, **14**, 1146 (2005).
- [5] R. T. Tung, *Mater. Sci. Eng., R.* **35**, 1 (2001).
- [6] J. C. Shim, and G. S. Chung, *J. KIEEME*, **23**, 837 (2010).
- [7] F. Touati, K. Takemasa, and M. Saji, *IEEE Trans. Elec. Dev.*, **46**, 444 (1999).
- [8] F. Roccaforte, F. La Via, A. Baeri, V. Raineri, L. Calcagno, and F. Mangano, *J. Appl. phys.*, **96**, 4313 (2004).
- [9] Vik Saxena, J. N. Su, and A. J. Steckl, *IEEE Trans. Elec. Dev.*, **46**, 456 (1999).
- [10] H. S. MS. D. Thesis, p. 26, Dongguk University, Seoul (1998).
- [11] D. C. Sheridan, G. Niu, J. N. Merrett, J. D. Cressler, J. B. Dufrene, J. B. Casady, and I. Sankin, *Proc. 2001 Int. Symp. on Power Semi. Dev. & ICs*.
- [12] T. H. Kil, MS. D. Thesis, p. 53-55, Myongji University, Seoul (1999).
- [13] S. J. Kim, D. J. Oh, S. J. Yu, S. C. Kim, W. Bang, N. K. Kim, S. G. Kim, *J. Korean Phys. Soc.*, **51**, 169 (2005).