

## Plasma Nitrided Oxide와 Thermally Nitrided Oxide를 적용한 NMOSFET의 Flicker Noise와 신뢰성에 대한 비교 분석

이환희<sup>1</sup>, 권혁민<sup>1</sup>, 권성규<sup>1</sup>, 장재형<sup>1</sup>, 광호영<sup>1</sup>, 이성재<sup>1</sup>, 고성용<sup>2</sup>, 이원묵<sup>2</sup>, 이희덕<sup>1,a</sup>

<sup>1</sup> 충남대학교 전자전파정보통신공학과

<sup>2</sup> DMS

### Comparative Analysis of Flicker Noise and Reliability of NMOSFETs with Plasma Nitrided Oxide and Thermally Nitrided Oxide

Hwan-Hee Lee<sup>1</sup>, Hyuk-Min Kwon<sup>1</sup>, Sung-Kyu Kwon<sup>1</sup>, Jae-Hyung Jang<sup>1</sup>,  
Ho-Young Kwak<sup>1</sup>, Song-Jae Lee<sup>1</sup>, Sung-yong Go<sup>2</sup>, Weon-Mook Lee<sup>2</sup>, and Hi-Deok Lee<sup>1,a</sup>

<sup>1</sup> Department of Electronic Engineering, Chungnam University, Daejeon 305-764, Korea

<sup>2</sup> DMS Co. Ltd., Suwon 443-803, Korea

(Received November 1, 2011; Revised November 10, 2011; Accepted November 15, 2011)

**Abstract:** In this paper, flicker noise characteristic and channel hot carrier degradation of NMOSFETs with plasma nitrided oxide (PNO) and thermally nitrided oxide (TNO) are analyzed in depth. Compared with NMOSFET with TNO, flicker noise characteristic of NMOSFET with PNO is improved significantly because nitrogen density in PNO near the Si/SiO<sub>2</sub> interface is less than that in TNO. However, device degradation of NMOSFET with PNO by channel hot carrier stress is greater than that with TNO although PMOSFET with PNO showed greater immunity to NBTI degradation than that with TNO in previous study. Therefore, concurrent investigation of the reliability as well as low frequency noise characteristics of NMOSFET and PMOSFET is required for the development of high performance analog MOSFET technology.

**Keywords:** PNO, TNO, Flicker noise, CHC, Reliability, Interface trap, Charge pumping

#### 1. 서론

SiO<sub>2</sub>는 산화막 내에 결함이 적고, 우수한 절연특성을 갖고 있어 오랜 기간 동안 MOSFET의 게이트 절연막으로 사용되어 왔다. 반도체 공정 기술이 발전함에 따라 집적도 향상을 위해 소자의 크기가 빠르게 감소되어 왔으며, 게이트 산화막의 두께 (gate oxide thickness,  $t_{ox}$ ) 또한 이에 비례하여 감소해 왔으나, 산화막 두께의 급격한 감소는 게이트 누설전류 증가와

소자 성능 저하의 문제점을 야기하여 SiO<sub>2</sub>를 대체할 다른 게이트 산화막의 필요성이 대두되었다 [1-3].

TNO (thermally nitrided oxide)는 기존의 실리콘 산화막 (SiO<sub>2</sub>) 보다 유전율이 높고 게이트 누설전류를 감소시킬 수 있으며, PMOS에서 붕소 침투 (boron penetration) 현상을 억제하는 장점을 가지고 있어 deep sub micron의 소자에 적용되어 왔다. 하지만 Si/SiO<sub>2</sub> interface에서의 질소 농도 증가에 의해 PMOS의 NBTI (negative bias temperature instability) 특성이 열화되어 소자의 수명시간을 감소시키는 단점이 있

a. Corresponding author: [hdlee@cnu.ac.kr](mailto:hdlee@cnu.ac.kr)

어 최근에는 이를 개선하기 위한 PNO (plasma nitrided oxide)가 적용된 소자에 대한 연구가 활발히 진행 중이다 [4-8]. PNO는 TNO에 비해 절연막 내에 높은 질소 농도를 갖지만 Si/SiO<sub>2</sub> 계면에서는 낮은 농도의 질소 분포를 갖기 때문에, PMOS에서 NBTI 특성뿐만 아니라 저주파 잡음 (low frequency noise, LFN) 특성도 개선된다는 것이 보고되었다 [5,9]. 하지만 CMOSFET 공정에서 PNO를 형성할 때 공정 단순화를 위해 photo lithography 공정 없이 PMOS와 NMOS에 nitridation 공정이 동일하게 적용되기 때문에 PMOS 뿐만 아니라 NMOS 소자의 특성 변화 및 신뢰성에 대한 연구는 매우 중요하다고 볼 수 있다.

하지만 기존의 PNO에 대한 연구는 PMOS에 집중되어 왔으며 NMOS에서 PNO에 대한 연구가 많이 진행되지 않았다.

본 연구에서는 PNO가 적용된 NMOS 소자에 대한 전기적인 특성 및 산화막 특성에 대하여 비교 분석을 진행하였다. 또한, AMS (analog-mixed signal)과 RF (radio frequency) 회로에 사용되는 소자에 PNO가 적용되기 위해 필요한 hot carrier에 의한 신뢰성 및 flicker noise에 대해서 분석하였다.

## 2. 실험 방법

실험에 사용한 소자는 0.13 μm CMOS technology로 제작되었으며 공정 순서를 그림 1에 간략하게 나타내었다. TNO와 PNO의 특성을 비교하기 위해 각각의 절연막을 갖는 소자들을 제작 하였으며 게이트 산화막 형성을 제외한 나머지 공정은 동일하게 적용되었다. 주요 공정으로는 P-type 기판위에 3,500 Å 두께의 STI (shallow trench isolation)와 retrograde twin well 구조를 적용하였다. 게이트 산화막 형성 시 TNO는 웨이퍼를 NO 분위기에서 700℃의 열처리를 통해 형성하였고, PNO는 먼저 초기산화막 (base oxide)을 성장시킨 후 450℃의 저온 고밀도 질소 분위기의 plasma source에 산화막을 노출시킴으로써 형성하였다. PNO와 TNO의 물리적인 두께는 17 Å으로 동일하다. 그 다음으로 게이트를 증착, 패터닝한 후 source/drain 형성, cobalt silicide, metal 공정을 차례로 진행하였다.

제작된 소자의 특성을 평가하기 위하여 flicker noise와 신뢰성을 측정 및 분석하였다. Low frequency noise 평가 시스템은 semiconductor parameter analyzer

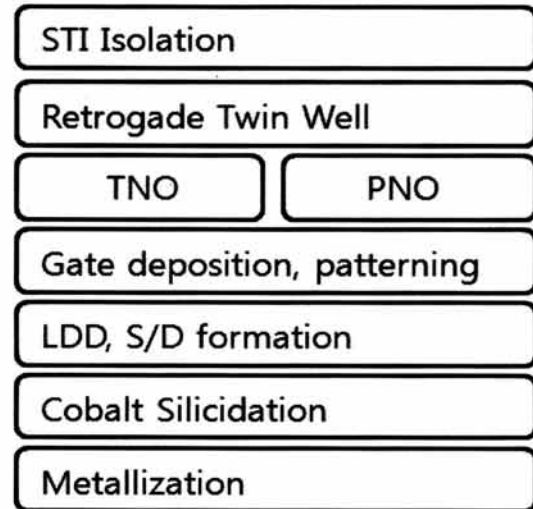


Fig. 1. Process flow for the fabrication of NMOSFETs.

(HP 4155A), dynamic signal analyzer (HP 35670A), low-noise current amplifier (SR570)로 구성되었다 [5]. 또한, 신뢰성 측정을 위해 semiconductor parameter analyzer (Agilent 4156C)를 이용하여 channel hot carrier (CHC) stress를 인가한 후 drain saturation current의 변화량 측정을 진행하였다.

## 3. 결과 및 고찰

먼저 TNO를 적용한 소자와 PNO를 적용한 소자의 정전용량-전압 ( $C-V$ )과 드레인 전류-게이트 전압 ( $I_D-V_G$ ) 측정을 통해 두 소자의 기본적인 파라미터에 대해서 알아보았다. 그림 2의  $C-V$  그래프에서 두 소자를 비교하였을 때 accumulation 영역에서의 capacitance 값의 차이는 별로 없지만, PNO의 경우가 약간 더 큰 문턱전압을 나타냄을 확인할 수 있었다. 또한 그림 3의  $I_D-V_G$  특성에서 PNO의 문턱 전압의 증가와 saturation current의 감소를 확인할 수 있고  $C-V$ 의 경향과 일치함을 알 수 있다. 그림 4는 두 소자의 on current( $I_{D,Sat}$ )-off current( $I_{OFF}$ ) 특성을 나타낸 것으로 TNO와 PNO 간에 차이가 거의 없음을 알 수 있다. 하지만 PNO의 경우에 더 작은  $I_{D,Sat}$ 과  $I_{OFF}$ 에 존재하는 것으로 보아 PNO의 문턱전압이 TNO 보다 더 크기 때문에 같은 게이트 전압에서 더 작은 전류가 흐름을 알 수 있으며 이는 그림 3과 일치하는 경향을 나타낸다.

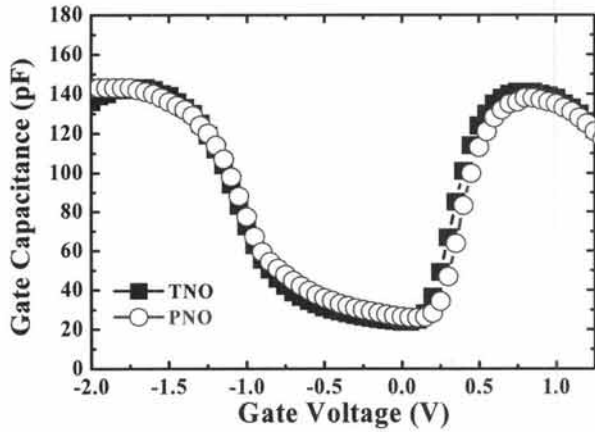


Fig. 2. Capacitance versus gate voltage ( $C-V$ ) curves of NMOSFETs with TNO and PNO.

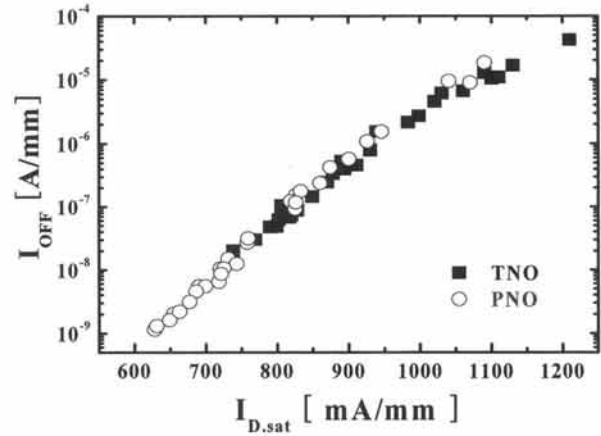


Fig. 4. Comparison of on-current versus off-current ( $I_{D,sat}-I_{OFF}$ ) characteristics between TNO and PNO.

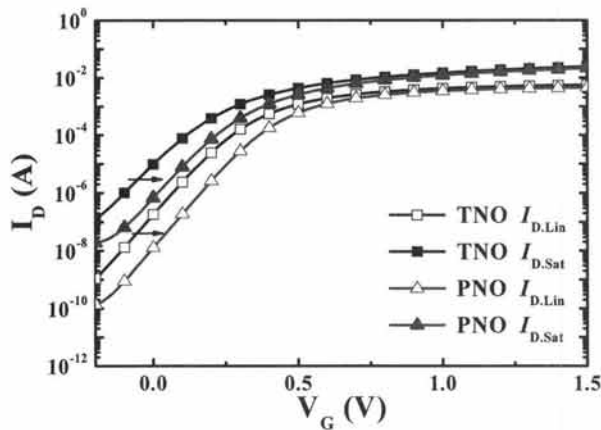


Fig. 3. Drain current versus gate voltage curves of NMOSFETs with TNO and PNO.

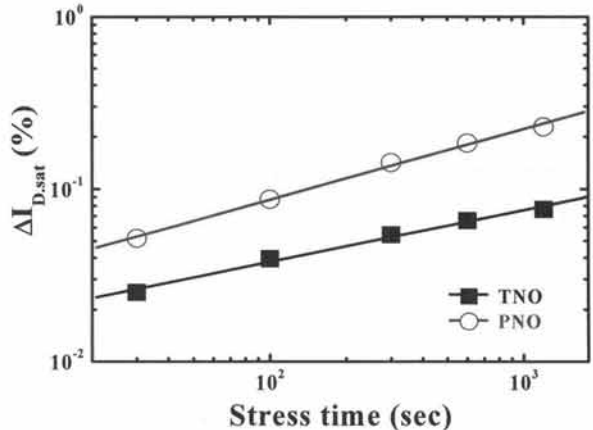


Fig. 5. Degradation of drain current by channel hot carrier.

그림 5는 CHC stress를 인가한 후 두 소자의 saturation current의 변화를 측정하여 신뢰성을 분석한 그림이다. NMOS의 신뢰성 평가를 drain avalanche hot carrier (DAHC) 대신 CHC를 인가한 이유는 일반적으로 DAHC가 NMOS 신뢰성 평가에 적용되지만 0.18  $\mu\text{m}$  이하 소자에서는 CHC에 의한 소자 열화가 더 크게 나타나기 때문이다 [10].

PMOS의 신뢰성에 대한 이전 보고에서 두 소자의 NBTI 특성을 비교하였을 때 PNO를 게이트 절연체로 사용했을 때, TNO를 사용한 것 보다  $I_{D,sat}$ 의 변화가 더 작아 PNO를 적용한 소자의 신뢰성이 우수한 것을 알 수 있었다 [4,5]. 그러나 NMOS의  $I_{D,sat}$  변화를 비교하였을 때 TNO를 게이트 절연체로 사용한

소자가 PNO를 사용한 소자 보다 작게 측정되었다. 이는 앞서 연구된 PMOS 소자들의 NBTI 결과와 상반된 경향성을 나타낸다. 이러한 이유는 산화막 내의 질소농도의 분포가 NMOS와 PMOS에 다른 영향을 주기 때문이라고 여겨진다. 즉, 산화막 내의 질소농도의 증가는 산화막의 특성을 열화시키게 된다. 하지만 PMOS에서는 PNO를 적용한 경우 박막 내에 증가된 질소가 게이트로부터의 붕소 침투현상을 감소시켜서 전체적으로는 박막의 특성이 개선되는 효과가 나타나며, 따라서 NBTI 개선이 나타나게 된다. 하지만 NMOS인 경우에는 질소 농도 증가에 의한 박막의 열화 특성이 주로 나타나서 그림 5와 같이 PNO인 경우에 hot carrier에 의한 열화가 더 크게 된다. PNO

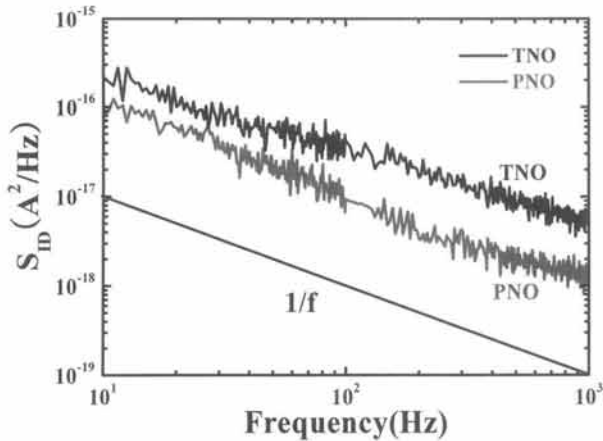


Fig. 6. Comparison of flicker noise power spectrum density between TNO and PNO.

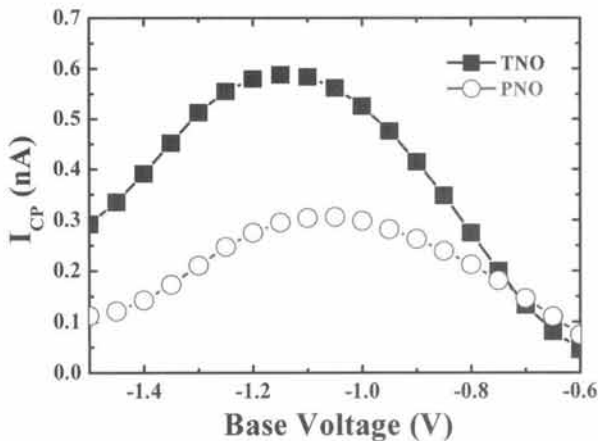


Fig. 7. Charge pumping current of TNO and PNO.

인 경우에 TNO 보다 질소의 분포가 산화막과 채널 계면 보다는 산화막 내에 존재한다는 것은 뒤 그림 7에서 설명될 것이다.

Low frequency noise 특성도 함께 알아보기 위해 flicker noise를 측정하였다. 그림 6은 두 소자의 flicker noise power spectrum density ( $S_{ID}$ )를 보여준다. 드레인 전압에 0.1 V를 인가하고 게이트 전압은  $V_T+0.15$  V로 인가하여 flicker noise를 측정하였다. 두 소자의  $S_{ID}$ 를 비교하였을 때 PNO의  $S_{ID}$ 가 TNO의 경우 보다 2배 이상 감소한 것을 확인할 수 있다. 이는 PNO의 경우가 TNO에 비해 Si/SiO<sub>2</sub> 계면에서 트랩발생에 기여하는 질소의 농도가 더 낮기 때문으로 보여진다. 산화막 계면에 다수의 트랩이 존재하면 트랩에 의해 전자가 흡수 (capture), 방출 (emission)되

면서 전류의 요동이 나타나게 되며 이것이 flicker noise의 원인으로 작용하게 된다 [11]. 이를 검증하기 위해 두 소자의 charge pumping 전류 ( $I_{CP}$ ) 측정을 통해 산화막 계면의 트랩밀도에 대해 분석하였다. 트랩밀도 ( $N_{it}$ )는 다음 수식을 통해 구할 수 있다.

$$N_{it} = \frac{I_{CP}}{W \times L \times q \times frequency} \quad (1)$$

그림 7에서와 같이 PNO를 적용한 소자의  $I_{CP}$ 가 TNO를 적용한 경우보다 작게 측정되었다. 즉, PNO를 적용한 소자의 산화막 계면에 더 적은 트랩이 존재하며 이는 낮은 플리커 노이즈의 경향성과 일치함을 확인하였다. 즉, PNO를 적용한 소자의 경우 산화막 내의 질소 농도는 TNO의 경우보다 증가하지만, 산화막 계면의 트랩의 수가 감소하여 플리커 노이즈 특성 및 계면특성이 개선된다는 것을 알 수 있다. 그림 7과 같은 계면 특성의 차이가 소자의 주요 파라미터에 미치는 영향을 알아보기 위해 SS (subthreshold slope)과 mobility를 비교해 보았는데, SS는 TNO에서 89.3 mV/dec, PNO는 85.7 mV/dec로 PNO가 약간 더 좋은 특성을 보이고 있지만 mobility는 TNO와 PNO 간에 차이가 거의 발생하지 않았다. 따라서 계면 특성의 차이가 소자의 DC 특성에 영향을 미칠 정도로 크지 않다고 여겨진다.

#### 4. 결론

본 논문에서는 nitrided oxide의 한 종류인 PNO가 적용된 NMOS 소자의 저주파 잡음 특성과 CHC stress 따른 신뢰성을 분석하였다. 먼저 flicker noise와 charge pumping 전류를 분석한 결과 PNO를 적용한 소자의 경우에 채널과 게이트 절연막 계면에 존재하는 트랩의 표면밀도가 TNO를 적용한 소자보다 감소하였고 flicker noise 특성도 개선됨을 확인하였다.

그러나 CHC stress에 의한 saturation current의 변화는 TNO보다 PNO에서 더 크게 나타나는 것을 확인하였다. 이는 NMOS에서는 PMOS에서와 같은 붕소 침투현상이 일어나지 않기 때문에 PNO를 적용하여 박막 내의 질소의 농도를 높인 경우에 박막의 특성이 개선되는 효과가 나타나지 않고, 오히려 hot carrier에 의해 박막특성이 더 열화 되어 신뢰성 특성이 나빠지는 것으로 나타났다. 따라서 CMOS 공정에서 PNO를 적용함에 있어서 PMOS 뿐만 아니라 NMOS

의 특성도 함께 고려해야 하며 최적화된 질소의 프로파일을 찾기 위해 더욱 심도 있는 연구가 필요하다.

### 감사의 글

본 연구는 지식경제부 및 한국산업 기술 평가 관리원의 산업원천기술 개발사업(정보 통신)[10034838, 25 nm급 Oxide Trench Etcher 개발]과 교육과학기술부와 한국연구재단의 지역혁신인력양성사업으로 수행된 연구 결과임.

### REFERENCES

- [1] J. S. Chen and M. D. Ker, *IEEE Trans. Elec. Dev.*, 56, 1774 (2009).
- [2] D. W. Lee, D. Blaauw, and D. Sylvester, *IEEE Trans. Very Large Scale Integ. Syst.*, 12, 155 (2004).
- [3] H. Watanabe, K. Matsuzawa, and S. Takagi, *IEEE Trans. Elec. Dev.*, 50, 1779 (2003).
- [4] I. S. Han, H. H. Ji, T. G. Goo, O. S. Yoo, W. H. Choi, S. H. Park, H. S. Lee, Y. S. Kang, D. B. Kim, and H. D. Lee, *J. KIEEME*, 20, 569 (2007).
- [5] I. S. Han, H. M. Kwon, J. D. Bok, S. K. Kwon, Y. J. Jung, W. I. Choi, D. S. Choi, M. G. Lim, Y. S. Chung, J. H. Lee, G. W. Lee, and H. D. Lee, *Jpn. J. Appl. Phys.*, 50, 10PB03-1 (2011).
- [6] N. Kimizuka, K. Yamaguchi, K. Imai, T. Iizuka, C. T. Liu, R. C. Keller, and T. Horiuchi, *Symp. VLSI Tech. Dig.*, 92 (2000).
- [7] Y. Mitani, M. Nagamine, H. Satake, and A. Toriumi, *IEDM Tech. Dig.*, 509 (2002).
- [8] Y. M. Kim, *J. KIEEME*, 16, 181 (2003).
- [9] M. F. Li, D. Huang, W. J. Liu, Z. Y. Liu, and X. Y. Huang, *Trans. Electrochemical Society*, 19, 301 (2009).
- [10] S. G. Lee, J. M. Hwang, and H. D. Lee, *IEEE Trans. Elec. Dev.*, 49, 1876 (2002).
- [11] M. V. Haartman and M. Ostling, *Low-Frequency Noise In Advanced MOS Devices* (Springer, Netherlands, 2007) p. 66.