

## 저온 다결정 실리콘 박막 트랜지스터의 비정상적인 Hump 현상 분석

김유미<sup>1</sup>, 정광석<sup>1</sup>, 윤호진<sup>1</sup>, 양승동<sup>1</sup>, 이상을<sup>1</sup>, 이희덕<sup>1</sup>, 이가원<sup>1,a</sup>

<sup>1</sup> 충남대학교 전자공학과

### Analysis of An Anomalous Hump Phenomenon in Low-temperature Poly-Si Thin Film Transistors

Yu-Mi Kim<sup>1</sup>, Kwang-Seok Jeong<sup>1</sup>, Ho-Jin Yun<sup>1</sup>, Seung-Dong Yang<sup>1</sup>, Sang-Youl Lee<sup>1</sup>,  
Hi-Deok Lee<sup>1</sup>, and Ga-Won Lee<sup>1,a</sup>

<sup>1</sup> Department of Electronics Engineering, Chungnam National University, Daejeon 305-764, Korea

(Received August 30, 2011; Revised September 16, 2011; Accepted September 26, 2011)

**Abstract:** In this paper, we investigated an anomalous hump phenomenon under the positive bias stress in p-type LTPS TFTs. The devices with inferior electrical performance also show larger hump phenomenon, which can be explained by the sub-channel induced from trapped electrons under thinner gate oxide region. We can confirm that the devices with larger hump have larger interface trap density ( $D_{it}$ ) and grain boundary trap density ( $N_{trap}$ ) extracted by low-high frequency capacitance method and Levinson-Proano method, respectively. From the C-V with I-V transfer characteristics, the trapped electrons causing hump seem to be generated particularly from the S/D and gate overlapped region. Based on these analysis, the major cause of an anomalous hump phenomenon under the positive bias stress in p-type poly-Si TFTs is explained by the GIDL occurring in the S/D and gate overlapped region and the traps existing in the channel edge region where the gate oxide becomes thinner, which can be inferred by the fact that the magnitude of the hump is dependent on the average trap densities.

**Keywords:** LTPS TFT, Hump, GIDL, Interface trap density, Grain boundary trap density

#### 1. 서 론

저온 다결정 실리콘 박막 트랜지스터 (low temperature poly-si thin film transistor, LTPS TFT)는 높은 이동도 특성을 가지기 때문에 AMLCD와 같은 평판디스플레이에 적용을 위해 많이 연구되고 있다 [1-3]. 그러나 디스플레이 구동회로에서 LTPS TFT는 CMOS (complementary metal-oxide-semiconductor) 인버터 구조로 설계가 되고

있기 때문에, n-type의 소자가 on 상태일 때, p-type 소자에서는 PBS (positive bias stress)를 받는 상황이 된다.

더욱이 비교적 높은 구동전압이 인가되기 때문에 TFT의 전기적 열화현상 및 누설전류의 증가가 심각해지며, 비정상적인 hump 현상 또한 나타나고 있다.

이러한 구동소자의 열화 현상은 장기적 신뢰성 문제에 있어서 매우 심각한 문제점으로 대두되고 있으며, p-type의 LTPS TFT에서 누설전류와 PBS 신뢰성 분석이 중요한 관심사가 되고 있다 [4,5]. 특히 비

a. Corresponding author: [gawon@cnu.ac.kr](mailto:gawon@cnu.ac.kr)

정상적인 hump가 나타난 경우, off 조건에서도 드레인 전류가 흐르기 때문에 power 소비 및 디스플레이의 휘도 열화 등 매우 심각한 문제를 야기할 수 있다 [6]. 이러한 hump는 주 채널 이외에 기생채널이 형성됨으로써 나타나게 되는데 기생채널이 발생하는 원인으로 게이트 절연체가 채널 폭 방향의 가장자리에서 얇게 형성됨으로써 바이어스 스트레스 인가 시에 열화가 크게 일어나고 이로 인해 더 많은 캐리어가 트랩되어 제 2의 채널이 형성된다는 선행 연구 결과가 보고된 바 있다 [7]. 이 경우 hump는 소자의 폭 크기에 의존하지 않고 동일한 게이트 전압에서 동일한 전류를 가지게 된다. 이외에도 hump의 원인에 대해 많은 연구가 진행되고 있지만 [8-10] 트랩과의 상관관계에 대해서는 아직 명확하게 밝혀지지 않았다. 따라서 본 논문에서는 비정상적인 hump 현상의 원인을 밝히기 위해 트랩 특성을 달리하는 LTPS TFT를 제작한 뒤 게이트 전극에 일정전압의 PBS를 인가함으로써 발생한 hump의 특성을 비교 분석하였다.

**2. 실험 방법**

본 실험에서는 top gate p-type LTPS TFT를 제작하였다. 서로 다른 트랩 특성을 갖는 활성층을 제작하기 위해 활성층인 a-Si 박막의 두께를 40 nm와 80 nm로 달리하여 glass기판에 증착하였으며 ELA (excimer laser annealing) 방법을 이용하여 결정화를 하였다. 활성층을 패터닝공정을 통해 형성한 후 동일한 조건에서 TEOS/SiNx를 80/40 nm 두께로 게이트 절연막을 적층하고 200 nm 두께의 게이트 금속 (Mo)을 증착하여 패터닝을 하였다. p-type TFT를 제작하기 위해 소스-드레인 영역에 대해 Boron이온 주입 공정을 진행하였으며, 600°C에서 RTA (rapid thermal annealing)를 이용하여 활성화하였다. 이후 Ti/Al/Ti의 소스-드레인 금속을 50/400/50 nm 두께로 형성한 후 패터닝하고, passivation을 위해 질화막

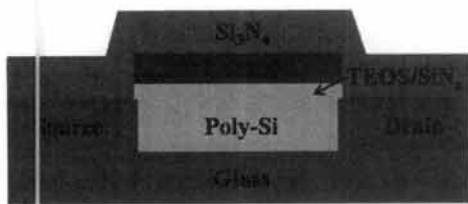


Fig. 1. The cross-sectional schematic of the LTPS TFTs.

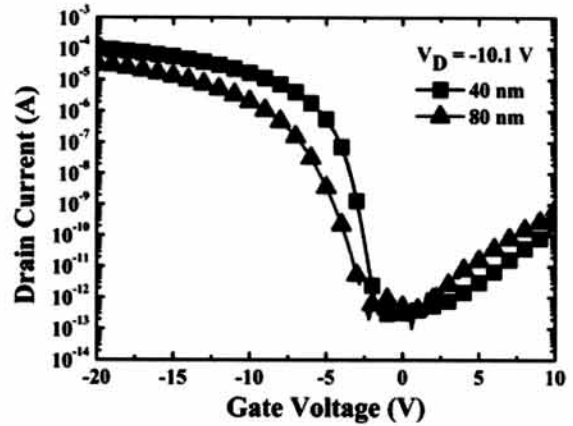


Fig. 2. Representative transfer characteristics of the p-channel LTPS TFTs at saturation region ( $V_{DS} = -10.1$  V).

Table 1. Extracted electrical parameters of LTPS TFTs.

Thickness	$V_{TH}$ (V)	SS (V/dec)	$I_{on}/I_{off}$	$\mu_{FE}$ ( $cm^2/V \cdot s$ )
40 nm	-3.53	0.42	$1.1 \times 10^8$	75.2
80 nm	-6.09	1.31	$0.5 \times 10^8$	36.3

(Si<sub>3</sub>N<sub>4</sub>)을 증착하였다. 마지막으로 소자를 330°C에서 산소 분위기로 2시간 동안 열처리하였다. 채널의 폭과 길이는 각각 7 μm, 20 μm로 소자의 단면도는 그림 1과 같다. 이상의 제작된 소자에 대해 Agilent 4156C 반도체 파라미터 분석기를 사용하여 PBS (positive bias stress)에 따른 전기적 특성 변화를 분석하였다. C-V 특성 분석은 HP 4284A 정밀 LCR 미터를 이용하여 주파수를 100 Hz에서 1 MHz까지 증가시키며 상온에서 측정하였다. 그리고 소스-드레인 접지된 상태에서 게이트 전압은 -20 V에서 35 V까지 인가되었다.

**3. 결과 및 고찰**

제작된 poly-Si TFT들은 그림 2에 나타난 바와 같이 고정된  $V_{DS}$  (-10.1 V) 조건에서, 게이트 전압을 10 V에서 -20 V까지 인가하며  $V_G-I_D$  전송 특성을 측정하였다.  $V_G-I_D$  전송 특성 곡선으로부터 계산된 전기적 파라미터들은 표 1에 나타내었다. 문턱전압 ( $V_{TH}$ )은 다결정 실리콘 박막 트랜지스터에서 주로 사용하는  $V_{TH}$  측정방법인 일정 전류 ( $100 \text{ nA} \times W/L$ ) 방법을 이용

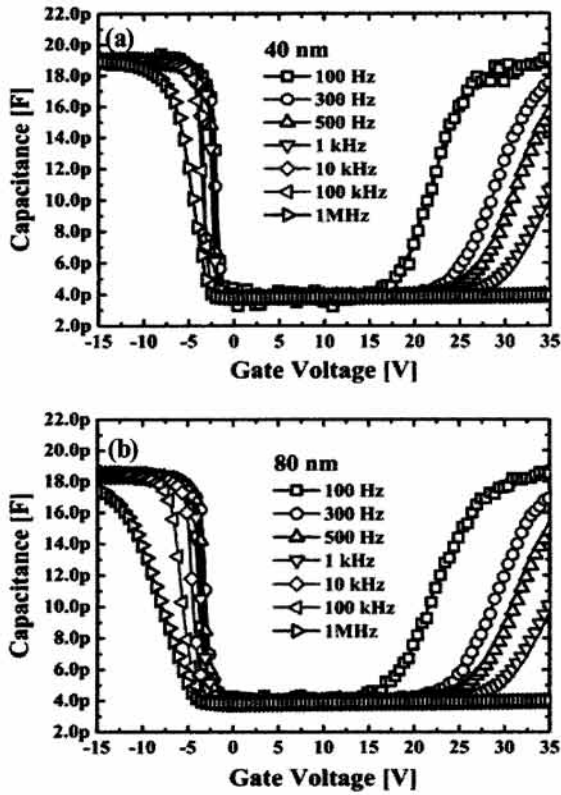


Fig. 3. An anomalous C-V transfer characteristics of the p-channel LTPS TFTs with (a) the 40 nm and (b) the 80 nm active layer thickness at different frequencies.

하여 추출하였다. Poly-Si TFT의 전기적 특성 ( $SS$  및  $V_{TH}$ , 전계 효과 이동도 등)은 게이트 절연막과 활성층 사이의 interface trap과 활성층에 존재하는 grain boundary trap에 의해 크게 영향을 받게 되는데 이상의 추출된 결과를 통해 두 소자의 트랩 특성이 매우 상이함을 확인할 수 있다. 특히 40 nm의 박막 두께를 갖는 소자가 더 좋은 전기적인 특성을 보임을 알 수 있다. Off current 영역에서는 두 소자 모두 게이트 전압이 양의 방향으로 커짐에 따라 GIDL (gate induced drain leakage current)이 증가하는데 활성층 두께가 80 nm인 경우 40 nm에 비해 증가량이 더 크다.

그림 3은 상온에서의 C-V 특성 곡선으로, 두 소자 모두 게이트 전압이 20 V 지점을 넘어서면서 채널이 accumulation되는 것을 확인할 수 있다. 도핑되지 않은 poly-Si 채널에서의 accumulation은 앞의  $V_G-I_D$  전송 특성곡선에서 관측되었던 GIDL의 원인인 게이트

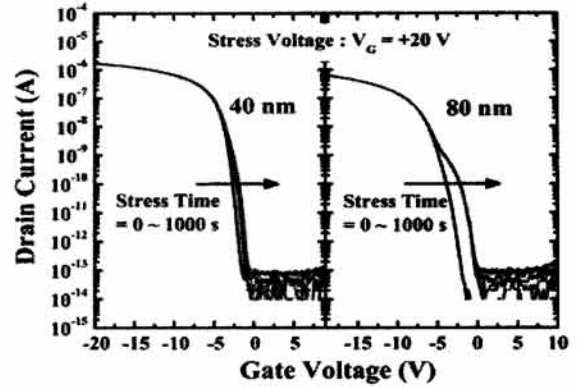


Fig. 4. Transfer characteristics as a function of PBS duration for LTPS TFTs with constant gate stress voltage of 20 V, while the source and drain electrodes were grounded.

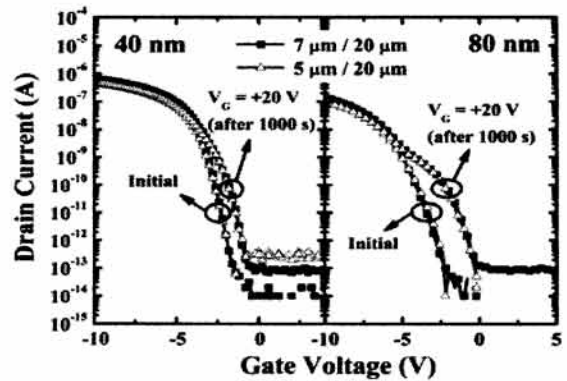


Fig. 5. Transfer characteristics of the LTPS TFTs with different channel widths before and after stress under PBS condition of 20 V for 1,000 s at the linear region of  $V_{DS}=-0.1$  V.

와 소스-드레인 증착 영역에서 형성된 전자가 전기장에 의해 채널 쪽으로 이동함으로써 형성되는 것으로 설명될 수 있다 [11,12]. 일반적인 c-Si MOS의 경우 accumulation 영역에서 C-V 특성은 주파수에 의존하지 않지만, poly-si의 경우 주파수가 증가함에 따라 GIDL에 의해 형성된 전자가 빠르게 채널 쪽으로 이동하지 못하기 때문에 그림 3과 같이 비이상적인 C-V 특성을 나타내게 된다. 반면에 inversion 영역에서는 저주파수에서 고주파수로 증가함에 따라 80 nm 소자가 40 nm의 경우보다 더 큰 stretch-out 현상이 나타났다. 일반적으로 게이트 절연막과 활성층 계면

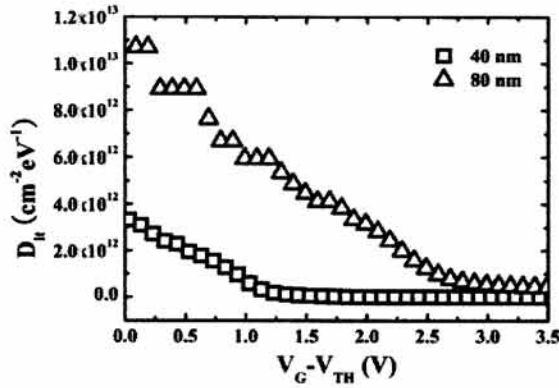


Fig. 6. Extracted interface trap density ( $D_{it}$ ) versus  $V_G - V_{TH}$  in sub-threshold region of LTPS TFTs.

에서 트랩이 존재하는 경우 이러한 C-V 곡선의 stretch-out 현상이 나타난다. 즉, 80 nm 박막두께의 소자가 40 nm의 경우보다 더 많은 interface trap density를 가지고 있는 것으로 설명될 수 있다. 이와 관련된 내용은 정량적인 트랩분석과 함께 그림 6에서 다시 살펴보았다.

그림 4는 일정한 게이트 전압의 PBS를 1,000초 동안 인가한 경우  $V_G - I_D$  전송 특성 곡선을 보여주고 있다. 이 때 게이트 전압은 앞서 C-V 특성 곡선에서 확인하였던 accumulation이 가능한 전압 크기인 20V로 설정하였다. 이러한 PBS 조건 하에서  $V_{TH}$ 는 스트레스 시간이 증가함에 따라 양의 방향으로 이동하였으며, 두 소자 모두에서 비이상적인 hump가 나타났다. 게다가, 80 nm 박막두께의 소자가 40 nm의 경우보다 더 큰 hump 특성이 확인되었다. hump의 원인을 확인하기 위해 그림 5와 같이 활성층 두께가 다른 두 소자에 대해서 소자 width가 5  $\mu\text{m}$ 인 경우와 7  $\mu\text{m}$ 인 경우의 전송 특성 곡선들을 비교하여 width 의존성을 검토하였다. 실험결과, saturation 영역에서는 소자 width에 의존하여 전류가 감소한 경향을 보였으나 sub-threshold 영역에서는 소자 width에 의존하지 않고 동일한 크기의 hump가 나타났다. 이는 서론에서 살펴보았던 게이트 절연막이 얇게 형성되는 영역에서 제2의 채널이 형성된다는 선행 연구결과와 일치한다. 여기에서 hump 현상을 야기하는 트랩되는 전자는 앞서 언급하였듯이 LTPS TFT의 게이트와 소스-드레인의 중첩된 GIDL 영역에 의해 형성되어 채널 영역에 accumulation된 전자로 판단되며 본 논문에 따로 제시하지는 않았지만

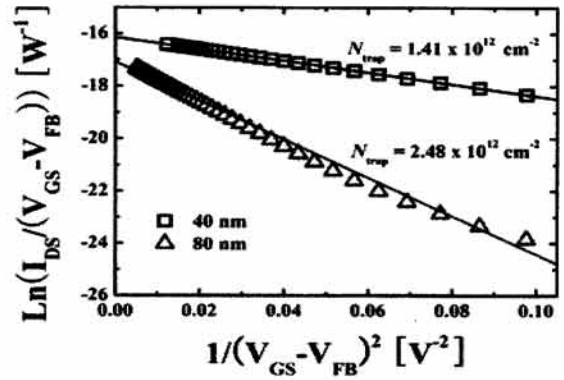


Fig. 7. Extracted grain boundary trap density ( $N_{trap}$ ) for LTPS TFTs.

PBS의 크기가 20V 이하가 될 때는 hump가 크게 나타나지 않는 점에서 실험적으로 확인할 수 있었다.

동일한 stress 조건 하에 hump 특성 차이의 원인을 트랩과의 상관관계를 통해 찾기 위해서 interface trap density와 grain boundary trap density를 추출하였다. 먼저, low-high frequency capacitance 방법을 이용하여 interface trap density ( $D_{it}$ )를 구하였다 [13].  $D_{it}$ 는 그림 3의 C-V 특성 곡선으로부터 다음의 식 (1)로부터 추출되었다.

$$D_{it} = \frac{\Delta C}{q} \left( 1 - \frac{C_{HF} + \Delta C}{C_{OX}} \right)^{-1} \left( 1 - \frac{C_{HF}}{C_{OX}} \right)^{-1} \quad (1)$$

여기에서  $C_{HF}$ 와  $C_{LF}$ 는 각각 high (1 MHz) 그리고 low (100 Hz) frequency capacitance이고,  $\Delta C$ 는  $C_{LF} - C_{HF}$ 이다. 그림 6에 활성층 두께가 다른 두 소자를 hump가 나타나는  $V_{TH}$  이전 sub-threshold 영역에서 비교하여 나타내었으며 더 큰 hump 특성을 갖는 80 nm 소자가 더 많은  $D_{it}$ 값을 갖는다는 것을 확인할 수 있다. 이후, Levinson과 Proano 방법을 이용하여 grain boundary trap density ( $N_{trap}$ )의 hump 의존성이 검토되었다 [14,15]. 그림 7에서 활성층 두께가 다른 두 소자에 대한  $N_{trap}$ 을 비교하여 나타내었으며, 여기에서 밴드 평탄화 전압 ( $V_{FB}$ )은 Weisfield와 Anderson에 의해 제안된 방법으로 추출되었다 [16].  $N_{trap}$ 은 다음과 같은 식 (2)로 계산할 수 있다.

$$N_{trap} = \frac{C_{ox}}{q} \sqrt{|Slope|} \quad (2)$$

여기에서 slope은 그림 7에서 linear fitting한 값을 나타낸다. 80 nm 소자의  $N_{\text{trap}}$  ( $2.48 \times 10^{12} \text{ cm}^{-2}$ )이 40 nm 소자의  $N_{\text{trap}}$  ( $1.41 \times 10^{12} \text{ cm}^{-2}$ )보다 더 큰 것을 확인할 수 있다. 위의 분석 결과들로부터, 활성층 두께가 80 nm인 경우 40 nm인 경우에 비해  $D_{\text{it}}$ 와  $N_{\text{trap}}$ 이 더 많이 존재하는 것을 정량적으로 알 수 있다. 따라서, 더 많은 trap을 가지고 있는 80 nm 소자가 동일한 PBS 하에 더 큰 hump 특성을 보였다는 점에서 hump와 trap density는 밀접한 상호 관련성이 있다고 설명할 수 있다.

#### 4. 결 론

본 논문에서는 p-채널 LTPS TFT들의 비정상적인 hump 현상과 트랩과의 상관관계에 대해 연구하였다.

서로 다른 트랩 특성을 갖는 소자를 제작하기 위해 활성층의 두께와 EL intensity를 달리하여 소자를 제작하고 전기적 특성을 비교 분석하였다. SS 및 전계 효과 이동도 등의 특성이 안 좋은 80 nm 소자에서 더 큰 GIDL 및 동일한 PBS 조건에서 더 큰 hump 현상이 발생하였다. 이러한 hump는 채널 width에 의존하지 않는 결과를 보여주고 있는데 이는 통상 게이트 절연체가 더 얇게 형성된 채널의 폭 방향 양 끝에서 전자가 트랩되어 제 2의 채널이 형성됨으로써 발생하기 때문으로 설명될 수 있다. 이 때 트랩되는 전자는 게이트와 소스-드레인의 중첩된 GIDL 영역에서 형성된 뒤 전기장에 의해 채널 쪽으로 accumulation된 것으로 판단된다. C-V 및 I-V 전송 특성 곡선으로부터 추출된  $D_{\text{it}}$ 와  $N_{\text{trap}}$  결과로부터, 더 큰 hump 특성을 보인 80 nm 박막 두께의 소자가 40 nm의 경우보다 더 큰 trap density를 가지고 있음을 확인할 수 있었다. 즉, 비정상적인 hump의 크기는 trap density와 밀접한 상호 관련성이 있으며, 이러한 trap density는 활성층의 결정성 특성에 의존한다고 설명할 수 있다.

#### 감사의 글

이 논문은 한국과학재단 기초연구사업 (No. 2010-0 028160)의 지원 하에 이루어졌으며, 지식경제부와 한국산업기술재단의 전략기술 인력양성사업으로 수행된 연구결과임.

#### REFERENCES

- [1] T. Serikawa, S. Shirai, A. Okamoto, and S. Suyama, *IEEE Trans. Elec. Dev.*, 36, 1929 (1989).
- [2] K. Chung, M. P. Hong, C. W. Kim, and I. Kang, *IEDM Tech. Dig.*, 385 (2002).
- [3] Y. C. Wu, T. C. Chang, P. T. Liu, C. S. Chen, C. H. Tu, H. W. Zan, Y. H. Tai, and C. Y. Chang, *IEEE Trans. Elec. Dev.*, 52, 2343 (2005).
- [4] M. W. Ma, C. Y. Chen, W. C. Wu, C. J. Su, K. H. Kao, T. S. Chao, and T. F. Lei, *IEEE Trans. Elec. Dev.*, 55, 1153 (2008).
- [5] J. G. Fossum, A. Oritz-Vonde, H. Shichijo, and S. K. Banerjee, *IEEE Trans. Elec. Dev.*, 32, 1878 (1985).
- [6] H. C. Kim and Y. H. Roh, *J. KIEEME*, 21, 213 (2008).
- [7] C. F. Huang, C. Y. Peng, Y. J. Yang, H. C. Sun, H. C. Chang, P. S. Kuo, H. L. Chang, C. Z. Liu, and C. W. Liu, *IEEE Electron Device Lett.*, 29, 1332 (2008).
- [8] W. K. Park, J. H. Lee, and G. Lim, *IEEE Electron Device Lett.*, 25, 532 (2004).
- [9] C. T. Tsai, T. C. Chang, S. C. Chen, I. Lo, S. W. Tsao, M. C. Hung, J. J. Chang, C. Y. Wu, and C. Y. Huang, *Appl. Phys. Lett.*, 96, 242105 (2010).
- [10] M. Mativenga, M. H. Choi, J. Jang, R. Mruthyunjaya, T. J. Tredwell, E. Mozdy, and C. K. Williams, *IEEE Trans. Elec. Dev.*, 58, 2440 (2011).
- [11] H. R. Park, D. Kwon, and J. D. Cohen, *J. Appl. Phys.*, 83, 8051 (1998).
- [12] C. S. Lin, Y. C. Chen, T. C. Chang, H. W. Li, S. C. Chen, F. Y. Jian, Y. S. Chuang, T. C. Chen, Y. C. Chen, and Y. H. Tai, *J. Electrochem. Soc.*, 157, H1003 (2010).
- [13] Sigurd Wagner and C. N. Berglund, *Rev. Sci. Instrum.*, 43, 1775 (1972).
- [14] J. Levinson, F. R. Shepherd, P. J. Scanlon, W. D. Westwood, G. Este, and M. Rider, *J. Appl. Phys.*, 53, 1193 (1982).
- [15] R. E. Proano, R. S. Misage, D. G. Ast, *IEEE Trans. Elec. Dev.*, 36, 1915 (1989).
- [16] R. L. Weisfield and D. A. Anderson, *Phil. Mag. B* 44, 83 (1981).