

Cr-SrTiO₃ 박막을 이용한 Si 기반 1D 형태 저항 변화 메모리의 전류-전압 특성 고찰

송민영¹, 서유정¹, 김연수², 김희동¹, 안호명¹, 김태근^{1,a}

¹ 고려대학교 전기전자전파공학과

² 건국대학교 물리학과

Current Versus Voltage Characteristics of a Si Based 1-Diode Type Resistive Memory with Cr-SrTiO₃ Films

Min Yeong Song¹, Yujeong Seo¹, Yeon Soo Kim², Hee-Dong Kim¹, Ho-Myoung An¹, and Tae Geun Kim^{1,a}

¹ Department of Electrical Engineering, Korea University, Seoul 136-701, Korea

² Department of Physics, Konkuk University, Seoul 100-715, Korea

(Received July 29, 2011; Revised August 31, 2011; Accepted September 26, 2011)

Abstract: In this paper, in order to suppress unwanted current paths originating from adjacent cells in a passive crossbar array based on resistive random access memory (RRAM) without extrinsic switching devices, 1-diode type RRAM which consists of a 0.2% chromium-doped strontium titanate (Cr-SrTiO₃) film deposited on a silicon substrate, was proposed for high packing density, and intrinsic rectifying characteristics from the current versus voltage characteristics were successfully demonstrated.

Keywords: 1DIR, Resistive memory, Metal-insulator-silicon structure, Intrinsic diode

1. 서론

최근 소형 스마트 기기의 사용이 급속도로 증가되면서, 큰 용량의 정보들을 빠르게 쓰고 지우는 고집적 메모리 소자의 필요성이 더 커지게 되었다. 따라서 현재 scaling down의 한계에 부딪힌 플래시 메모리를 대체하기 위한 연구가 크게 주목받고 있는데, 최근 ITRS (international technology roadmap for semiconductors)에 따르면 PRAM (phase change random access memory), RRAM (resistive random access memory), STT-MRAM (spin transfer torque magnetic random access memory), PoRAM (polymer random

access memory), NFGM (nano floating gate memory) 등이 차세대 메모리로 유력하게 대두되고 있다 [1].

이 중 RRAM은 기존의 플래시 메모리와 비교하여 access time (writing)이 10⁵배 이상 빠르고, DRAM과 비슷한 수준인 2-5 V 이하의 낮은 전압에서 동작이 가능하며 구조가 간단해 공정상의 결함을 현저히 줄일 수 있다. 이런 장점들 때문에 위에 언급한 다른 메모리들 보다 늦게 연구가 시작되었음에도 불구하고 가장 큰 가능성을 가지고 있다는 평가를 받고 있다.

또한, 최근에는 집적도를 최대화할 수 있는 3차원 크로스바 어레이 구조에 RRAM 소자를 적용하는 것이 크게 이슈화 되면서 [2], 테라비트 메모리로서의 발전 가능성도 보이고 있다. 그러나 아직 크로스바 어레이 구조에서 발생하는 셀 간의 간섭효과 (sneaky

a. Corresponding author: tgkim1@korea.ac.kr

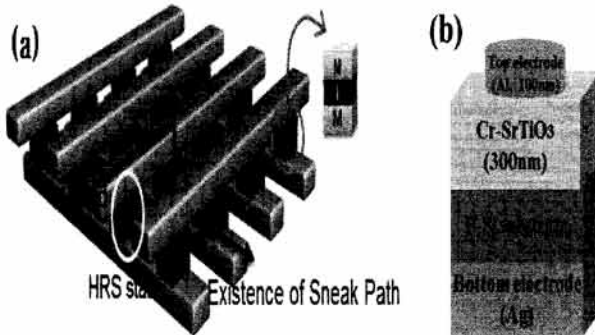


Fig. 1. Schematic drawings for (a) a typical RRAM crossbar array with sneak paths, and (b) Cr-STO based 1-diode type RRAM proposed in this work.

path)에 의한 에러의 발생이 해결되어야 할 문제로 남아있다. 일반적으로는 에러를 방지하기 위해서 부가적인 스위칭 소자를 연결하는데, 그림 1(a)에서 보는 것과 같이 크로스바 어레이에서 선택되지 않은 셀로의 전류 흐름을 차단할 수 있도록, 기존 RRAM 구조인 MIM (metal-insulator-metal) 구조에 단결정 실리콘 기반의 pn 다이오드나 schottky 다이오드 형태의 정류 소자를 연결해 1D1R (1 diode 1 resistor) 형태의 단위 소자를 어레이에 적용하고 있다 [3]. 그러나 이런 접근으로는 단위 소자의 크기가 커지게 되고 공정이 복잡해질 뿐만 아니라 공정 호환성에 문제가 생기므로 3차원 크로스바 어레이 제조에 어려움이 따른다. 이러한 공정적인 한계를 보완하고자 산화물 다이오드 또는 트랜지스터를 사용하기도 하지만, 이는 실리콘 기반 소자 대비 성능이 많이 떨어지는 데다, N형 트랜지스터 개발에만 치중되어 있기 때문에 주변 회로와의 호환성에도 문제가 생길 수 있다. 따라서 본 논문에서는 실리콘 (Si) 기판에서 저항변화 물질을 증착하여 기존 MIM 구조가 아닌 자체적으로 정류 특성을 가지는 1D (diode) 형태의 저항변화 메모리 소자를 제작하고, 전류-전압 특성을 관찰하였다.

2. 실험 방법

본 연구에서 제안하는 소자의 기본적인 구조는 그림 1(b)에서 나타난 바와 같이 p-type 실리콘 (p-Si) 위에 저항변화 물질을 증착하고, 상/하부 전극을 이용하는 기본적인 MIS (metal-insulator-silicon) 구조이다.

Table 1. Condition of depositing the SrTiO₃ by PLD.

Parameter	Value
working pressure	200 mTorr
laser power	150 mJ
frequency	5 Hz
temperature	700 °C
time	10 min

먼저, single crystal로 성장된 Si 기판 위에 우수한 저항변화 특성을 가지는 박막을 얻고자, Si (100)기판에서 성장이 잘 되고 전계가 인가되었을 때 고 저항 상태 (high-resistance state, HRS)에서 저 저항 상태 (low-resistance state, LRS)로의 천이가 용이한 perovskite 구조의 물질 중 SrTiO₃를 이용하여 박막 증착을 하였다 [4]. 이 때, 순수한 SrTiO₃의 저항변화 막은 저항변화 특성은 나타나지만 LRS일 때 흐르는 전류가 상당히 낮으므로 (~nA) 읽기 동작 시 센싱에 어려움이 있다. 따라서 본 연구에서는 저항변화 막 내의 전계에 의한 전류 path를 효율적으로 형성하기 위해 Cr dopant를 0.2% 도핑한 SrTiO₃ 물질 (Cr-SrTiO₃)을 PLD (plused laser deposition)을 이용하여 증착하였다 [5].

표 1에서 보인 것과 같은 조건으로 PLD를 이용해 Cr-SrTiO₃ 박막을 300 nm 증착하였고, 결정성 있는 박막증착을 위해 700 °C 고온에서 증착을 진행하였다 [6]. 기존의 RRAM관련 실험에서 금속 기판에 저항변화 물질을 증착할 때에는 고온에서 금속이 건디기 어렵기 때문에 상대적으로 저온에서 증착을 해 왔던 반면 [7], 본 논문에서 제안한 소자는 Si 기판위에 저항변화 물질을 성장하여 고온공정이 가능하다는 이점이 있다. 저항변화 물질을 증착한 후 Cr-SrTiO₃ 박막의 표면과 저항변화 특성의 신뢰성 확보를 위해 AFM (atomic force microscope)의 contact-AFM 모드를 이용해 스캔 범위를 3 μm로 한정하여 topology를 관찰하였고, current-AFM (I-AFM) 모드를 이용해 박막의 저항변화 특성을 확인하였다. 또한, 전류-전압 (I-V) 특성분석을 위해 상부전극인 Al (aluminum)을 직경 50 μm, 두께 100 nm가 되도록 E-beam evaporator를 이용해 증착하였고, 하부전극은 Ag (silver)를 이

용하였다. 더불어, 제작된 ReRAM 소자의 전기적 측정을 위해 키슬리 4200, 키슬리 4220 펄스발생기, 고주파 측정기 가능한 연결 시스템을 이용하였다.

3. 결과 및 고찰

그림 2는 p-Si 기판위에 PLD로 증착된 Cr-SrTiO₃ 저항변화 박막을 AFM을 이용해 측정한 표면 topology와 전류 특성을 보여주고 있다. 그림 2(a)는 증착된 Cr-SrTiO₃ 박막의 표면 topology와 표면 거칠기의 histogram을 나타내고 있는데, 3 μm의 측정범위 내에 약 100 nm 간격으로 결정이 균일하게 분포되어 있음을 확인할 수 있다. 그리고 histogram의 RMS (root mean square) 값으로 분석한 표면의 거칠기는 약 8 nm 정도의 작은 값을 나타내었고 이를 통해 박막의 균일도가 높음을 확인할 수 있었다. 그림 2(b)와 (c)에서는 각각 reset 상태, set 상태일 때의 전류흐름을 나타내고 있는데, (b)는 측정 전에 소자를 reset 시킨 후 전류를 읽기위해 2 V의 sample bias를 인가하여 스캐닝 하였고, (c)의 경우에는 4 V의 set 전압을 가해 set 시킨 후 스캐닝을 했다. 그 결과 pA 단위의 낮은 레벨의 전류를 보여줬던 (b)와는 달리 (c)에서는 전체적으로 10 nA 레벨의 LRS 전류가 흐름을 확인하였다. 따라서 I-AFM의 측정을 통해 bias에 따른 Cr-SrTiO₃의 저항변화 특성이 잘 나타나는 것을 확인함으로써 기본적인 스위칭 동작을 확인할 수 있었다.

그림 3은 본 논문에서 제안한 구조로 제작된 메모리 소자의 I-V 특성을 나타낸 것이다. 그래프에 명시한 순서대로 먼저, 0 V에서 -5 V까지 전압을 인가해 주면서 소자를 set 시킨 후, HRS에서 LRS로 천이가 된 것을 확인하기 위해 같은 전압 범위에서 다시 측정해보았다. 그리고 반대 극성의 전압을 인가하여 소자가 reset이 되었는지 확인하는 과정을 반복하였다. 전계가 인가되었을 때, set voltage (V_{set}, -4 V)에서 소자의 상태가 HRS에서 LRS로 천이되는 것을 확인할 수 있고, 큰 전압이 필요한 forming process 없이 동작이 가능하므로 소자의 전력소모를 줄일 수 있음을 알 수 있었다. 그리고 perovskite 계열의 물질의 대표적인 특성으로, 역 바이어스가 인가될 때 reset되는 전형적인 bipolar 특성을 볼 수 있었는데 [8], 이 때 역 바이어스에는 저항변화 특성을 보이지 않음으로써 내부적인 다이오드 특성을 가지고 있음을 확인할 수 있었다. 따라서 이런 특성을 통해

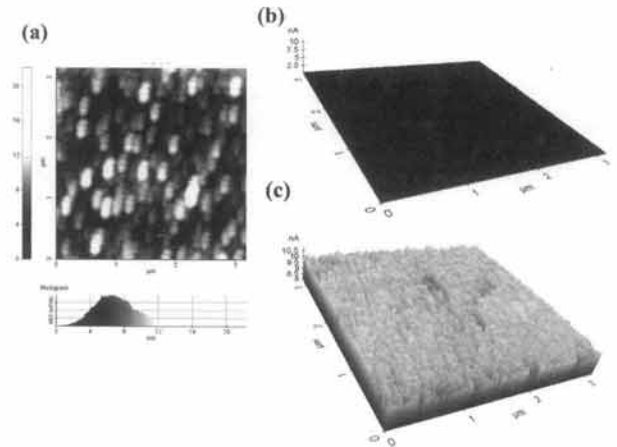


Fig. 2. Cr-SrTiO₃ topology measured by AFM (a) topology, (b) current at high resistive state, (c) current at low resistive state.

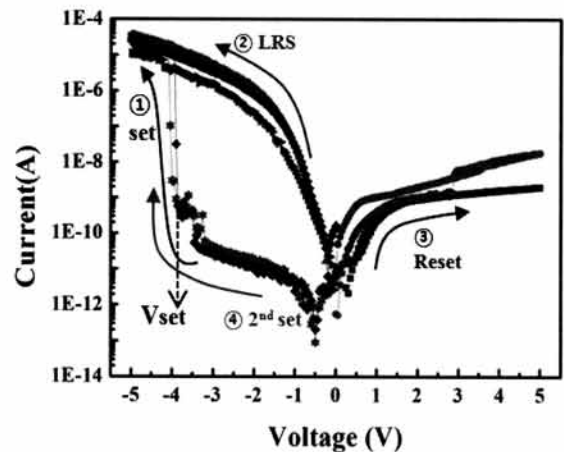


Fig. 3. I-V characteristic of the proposed resistive switching memory.

크로스바 어레이에 본 소자를 적용하였을 때, 다른 부가적인 정류소자 없이도 sneak path에 의한 에러를 방지할 수 있을 것으로 기대된다.

4. 결론

본 논문에서는 기존의 RRAM 크로스바 어레이에서 발생하는 인접 셀 간의 간섭전류를 차단하기 위해 금속이 아닌 실리콘 기반의 저항변화 물질인 Cr-SrTiO₃를 증착함으로써 부가적인 정류소자가 필요 없는 저

항변화 메모리를 제작하였고, 이를 I-V 특성분석을 통해 확인하였다. 이를 바탕으로, 본 논문에서 제안한 MIS 구조의 내부 다이오드 특성을 가지는 저항변화 메모리를 크로스바 어레이에 적용함으로써 기존 MIM 구조에서 필수적이었던 외부 스위칭 소자를 제거할 수 있는 가능성을 확인하였고, 이를 통해 RRAM의 집적도 한계를 극복할 수 있을 것으로 기대된다.

감사의 글

본 연구는 서울시 신기술개발사업(ST100024)의 지원을 받아 수행되었음.

REFERENCES

- [1] Y. Shin, *Symposium on VLSI Circuits Digest of Technical Papers* (IEEE, Kyoto, 2005) p. 156.
- [2] M. Meier, S. Gilles, R. Rosezin, C. Schindler, S. Trelenkamp, A. Rudiger, D. Mayer, C. Kugeler, and R. Waser, *Microelectron. Eng.*, 86, 1060 (2009).
- [3] F. Nardi, D. Ielmini, C. Cagli, S. Spiga, M. Fanciulli, L. Goux, and D. Wouters, *Solid-State Electron.*, 58, 42 (2011).
- [4] X. Chen, N. Wu, J. Strozier, and A. Ignatiev, *Appl. Phys. Lett.*, 89, 063507 (2007).
- [5] F. La Mattina, J. G. Bednorz, S. F. Alvarado, A. Shengelaya, and H. Keller, *Appl. Phys. Lett.*, 93, 022102 (2008).
- [6] J. Hua, X. Jian, T. Lin, S.J. Liu, J. L. Sun, and J. H. Chu, *Integ. Ferroelectr.*, 74, 189 (2005).
- [7] N. Xu, L. Liu, X. Sun, X. Liu, D. Han, Y. Wang, R. Han, J. Kang, and B. Yu, *Appl. Phys. Lett.*, 92, 232112 (2008).
- [8] T. Goto, Y. Cheng, Z. Fu, and L. Zhang, *Advanced Materials Research*, 66, 119 (2009).
- [1] Y. Shin, *Symposium on VLSI Circuits Digest of*