

Low-Frequency Noise 측정을 통한 Bottom-Gated ZnO TFT의 문턱전압 불안정성 연구

정광석¹, 김영수^{1,2}, 박정규¹, 양승동¹, 김유미¹, 윤호진¹, 한인식¹, 이희덕¹, 이가원^{1,a}

¹ 충남대학교 전자공학과

² 나노종합팩센터

Analysis of the Threshold Voltage Instability of Bottom-Gated ZnO TFTs with Low-Frequency Noise Measurements

Kwang-Seok Jeong¹, Young-Su Kim^{1,2}, Jeong-Gyu Park¹, Seung-Dong Yang¹, Yu-Mi Kim¹, Ho-Jin Yun¹, In-Shik Han¹, Hi-Deok Lee¹, and Ga-Won Lee^{1,a}

¹ Department of Electronic Engineering, Chungnam National University, Daejeon 305-764, Korea

² National Nanofab Center, Daejeon 305-806, Korea

(Received May 17, 2010; Revised May 27, 2010; Accepted June 4, 2010)

Abstract: Low-frequency noise (1/f noise) has been measured in order to analyze the V_{th} instability of ZnO TFTs having two different active layer thicknesses of 40 nm and 80 nm. Under electrical stress, it was found that the TFTs with the active layer thickness of 80 nm shows smaller threshold voltage shift (ΔV_{th}) than those with thickness of 40 nm. However the ΔV_{th} is completely relaxed after the removal of DC stress. In order to investigate the cause of this threshold voltage instability, we accomplished the 1/f noise measurement and found that ZnO TFTs exposed the mobility fluctuation properties, in which the noise level increases as the gate bias rises and the normalized drain current noise level (S_{ID}/I_D^2) of the active layer of thickness 80 nm is smaller than that of active layer thickness of thickness 40 nm. This result means that the 80 nm thickness TFTs have a smaller density of traps. This result correlated with the physical characteristics analysis performed using XRD, which indicated that the grain size increases when the active layer thickness is made thicker. Consequently, the number of preexisting traps in the device increases with decreasing thickness of the active layer and are related closely to the V_{th} instability under electrical stress.

Keywords: ZnO TFT, Grain size, Threshold voltage instability, Low-frequency noise (1/f noise)

1. 서 론

ZnO를 활성 층으로 하는 TFT (thin film transistor)는 plastic 기판에서 저온으로 제작 될 수 있어 낮은 생산 비용의 대 면적 display 혹은 flexible display 용으로 많은 관심을 받고 있다 [1,2]. 현재 LCD (liquid crystal display) 구동 소자로 광범위하게 사용되고 있

는 a-Si:H TFT의 경우 이동도가 낮아 구동 주파수가 증가함에 따라 charging time이 길어 별도의 보상 회로를 구성해야 한다. Poly-Si 기반의 TFT는 이동도는 좋지만 대 면적 display 적용 시 광원으로 line beam을 사용하는데 어려움이 있으며 별도의 도핑을 거쳐야 하므로 단가 상승 측면 등의 단점들이 예상되기 때문에 우수한 이동도를 갖는 ZnO 기반의 산화물 TFT는 더욱 각광을 받고 있다 [3,4].

본 연구그룹에서는 ZnO를 이용하여 150°C 이하의

a. Corresponding author; gawon@cnu.ac.kr

저온 공정을 통해 비교적 우수한 이동도 ($0.79 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$) 특성을 보이는 bottom-gated TFT를 구현함으로써 plastic 기판으로의 적용 가능성을 보고한 바 있다 [5]. 하지만, ZnO TFT의 경우 동작 중 문턱전압 변화로 인하여 AMOLED (active matrix organic light-emitting diode) 등의 구동소자로 사용하는데 많은 어려움이 있는 것이 사실이다 [6].

본 논문에서는 저온에서 제작된 서로 다른 활성층 두께를 갖는 ZnO TFT들의 물리적, 전기적 특성을 비교 분석함으로써 앞서 언급했던 문턱 전압 불안정성의 원인을 규명하고자 한다. 특히, 전기적 분석 방법으로 low frequency noise ($1/f$ noise) 방법을 도입하였다. $1/f$ noise 측정은 공정 조건에 따른 interface 및 grain boundary trap의 밀도를 비교 분석하는 방법으로 a-Si TFT 및 poly-Si TFT에 적용되어 사용되어져 왔으며 최근 들어 a-IGZO TFT 적용 결과들이 보고되고 있다 [7-9].

2. 실험 방법

Bottom-gated ZnO TFT를 제작하기 위해 SiO_2/Si 기판 위에 RF magnetron sputter를 이용하여 상온에서 Ti gate layer 100 nm를 증착하였다. Gate insulator로 200 nm의 Si_3N_4 를 PE-CVD를 이용하여 150°C 에서 증착하였으며, 활성층인 ZnO는 RF magnetron sputter로 두께를 40 nm와 80 nm로 달리하여 증착하였다. 이후 passivation layer, 층간 절연막 및 contact/metal pad를 형성하였다. 그림 1은 본 논문에서 연구한 ZnO TFT의 단면도와 평면도를 보여 주고 있다.

제작된 bottom-gated ZnO TFT들의 특성 분석은 다음과 같다. 전기적인 특성의 경우 Agilent 4156C를 이용하여 DC 게이트 전압 스트레스에 따른 변화를 분석하였고, Dynamic Signal Analyzer (35670A) 와 Low Noise Current Parameter (SR570)를 이용하여 $1/f$ noise를 측정하였다. 또한 서로 다른 두께를 가지는 ZnO의 결정 구조와 grain size 비교를 위한 물리적 분석 방법으로 XRD (x-ray diffraction)를 함께 시행하였다.

3. 결과 및 고찰

그림 2는 제작된 bottom-gated ZnO TFT들의 I-V 특성 곡선이다. 활성층 두께에 따른 소자 특성을 비교하면 다음과 같다. 먼저 문턱전압은 linear fitting을

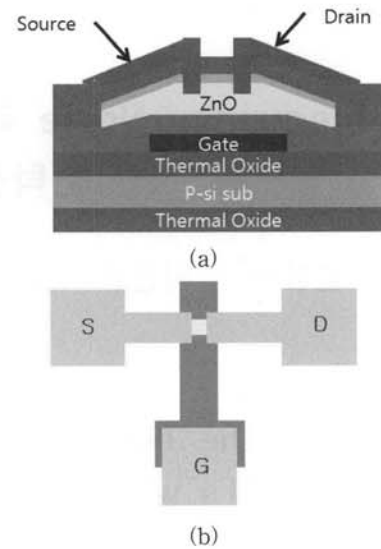


Fig. 1. (a) cross section and (b) top view of bottom-gated ZnO TFT [5].

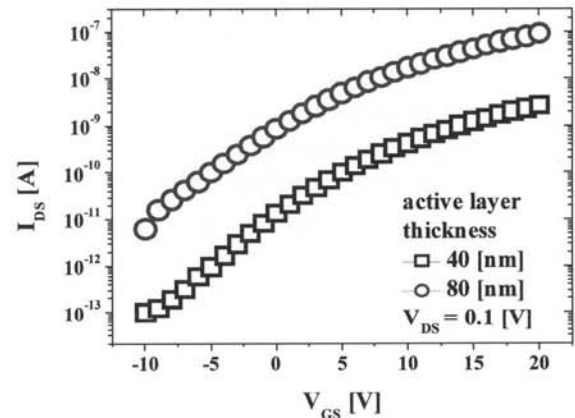
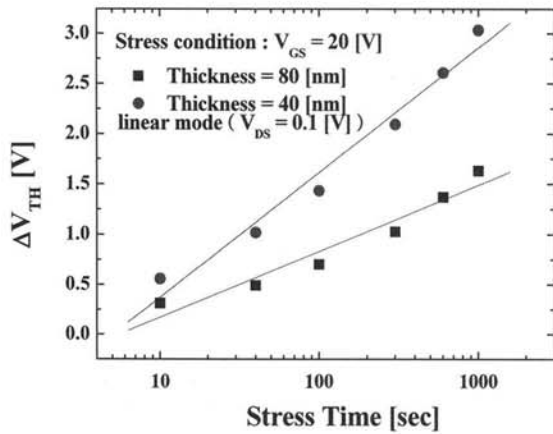


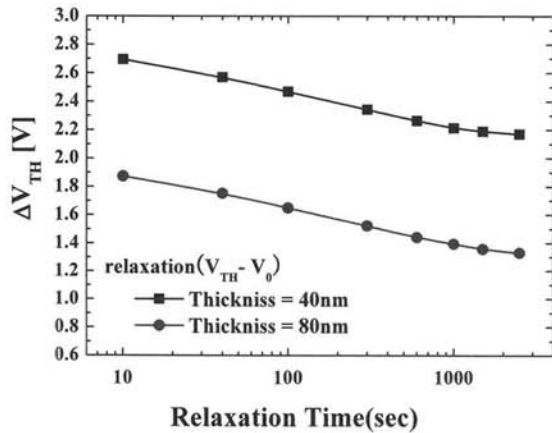
Fig. 2. I-V characteristics of ZnO TFTs with different active layer thicknesses.

하여 추출하였고, 40 nm에서 10.7 V로 80 nm의 8.68 V 보다 상대적으로 더 큰 값을 보였으며, SS는 drain current 0.1 nA 지점에서 추출되었는데 40 nm에서 6.01 V/decade, 80 nm에서는 5.48 V/decade로 40 nm에서 역시 더 큰 값으로 나타났다. 그리고 전계 효과 mobility는 linear region에서 drain current 10 nA 지점에서 계산되었는데, 40 nm에서 $0.117 \text{ cm}^2\cdot\text{V}^{-1}\cdot\text{s}^{-1}$, 80 nm에서 $0.276 \text{ cm}^2\cdot\text{V}^{-1}\cdot\text{s}^{-1}$ 를 보였다.

활성층 두께에 따른 DC 스트레스 측정 결과는 다음과 같다. 그림 3(a)는 40 nm와 80 nm의 활성층



(a)



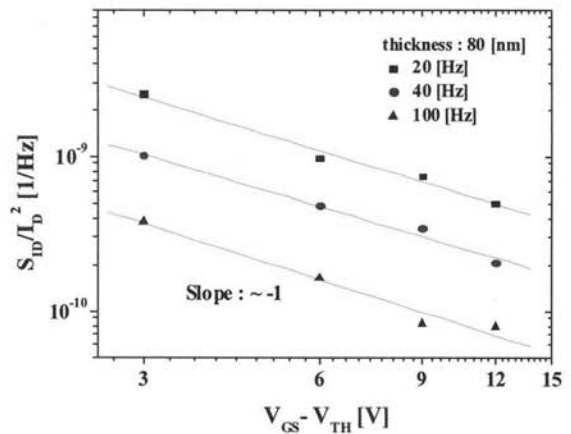
(b)

Fig. 3. The measurement results of positive bias stress (a) and relaxation (b) on ZnO TFTs with active layer thicknesses of 40 nm, 80 nm.

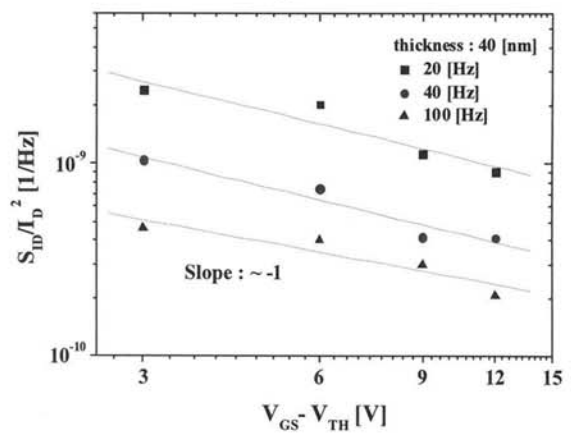
두께를 가지는 ZnO TFT에서 양의 방향으로 1000초 동안 게이트 전압 스트레스 (20 V)를 가했을 때 문턱 전압의 변화를 보여 주고 있다.

스트레스 시간이 증가함에 따라 문턱전압도 증가하였으며, 40 nm에서의 문턱 전압 변화가 80 nm에서 보다 더 크게 변화하였다. 하지만, 스트레스 전압이 제거되었을 때 그림 3의 (b)에 나타난 바와 같이 활성 층 두께에 상관없이 동일한 변화율로 초기 문턱전압 값에 접근하는 특성을 보였으며, 대략 24시간이 지났을 때 두 소자들 모두 초기 문턱전압 값으로 완전히 회복되었다.

DC 스트레스에 의한 문턱 전압 변화가 스트레스가 제거됨에 따라 상온에서 특정 바이어스나 열처리 없이 원래 상태로 완전히 회복되었다는 점은 문턱전압



(a)



(b)

Fig. 4. The normalized drain-current noise spectral density (S_{ID}/I_D^2) versus $V_{GS}-V_{TH}$ for bottom-gated ZnO TFTs with different thicknesses.

변화가 스트레스 전압인가로 생성된 트랩들에 의한 것이 아니라 이미 존재하는 트랩들에 의한 것임을 의미한다. 이는 문턱 전압 변화가 그림 3의 (a)에 나타난 바와 같이 활성 층 두께에 상관없이 대수적으로 시간에 의존하는 power law 관계를 보이는 점에서 재확인할 수 있다 [10].

활성 층 두께에 따른 트랩 특성의 차이를 명확히 하기 위해서 1/f noise 측정을 수행하였다. 그림4의 (a)와 (b)는 고정된 주파수 (20, 40, 100 Hz)에서의 서로 다른 활성 층 두께를 가지고 있는 ZnO TFT의 정규화된 드레인 전류 noise 대 $V_{GS}-V_{TH}$ 의 그래프를 보여주고 있다. 두 소자 모두 전성 채널 영역에서 1/f noise가 주로 carrier mobility fluctuation의 경향성을 보이는 대략 -1의 기울기를 보였다 [11,12]. 일반적으로,

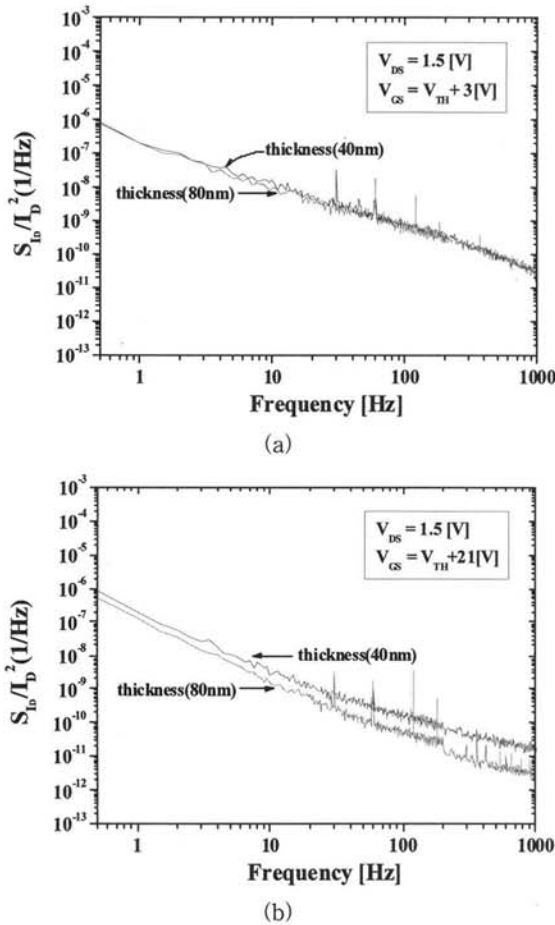


Fig. 5. The normalized drain-current noise spectral density (S_{ID}/I_D^2) vs. frequency for bottom-gated ZnO TFTs with different thicknesses.

carrier mobility fluctuation은 계면이나 활성 층 사이에서 이동하는 전자 산란에 의한 것으로 알려져 있다 [13].

그림 5는 활성 층 두께에 따른 정규화 된 드레인 전류 noise level 차이를 보여 주고 있다. 그림 5의 (a)에서 noise level은 게이트 전압이 문턱전압보다 3 V 클 때는 거의 차이를 보이지 않았으나, 그림 5의 (b)와 같이 게이트 전압이 21 V로 증가되었을 때 뚜렷한 차이를 보인다. 즉, 표면 산란이 지배적인 게이트 바이어스 영역에서[14] 활성 층 두께가 얇은 소자가 큰 noise level을 보인다는 점은 얇은 박막의 소자 내에 더 많은 트랩이 존재하고 있음을 의미한다.

박막의 두께에 따른 트랩 밀도 변화 원인을 물리적으로 확인하기 위해 XRD 분석을 수행하였다. 그림 6은 활성 층 두께에 따른 XRD spectra를 나타내고 있다. 본 연구에서는 Bragg's angle 2θ 에서 c-축 방향

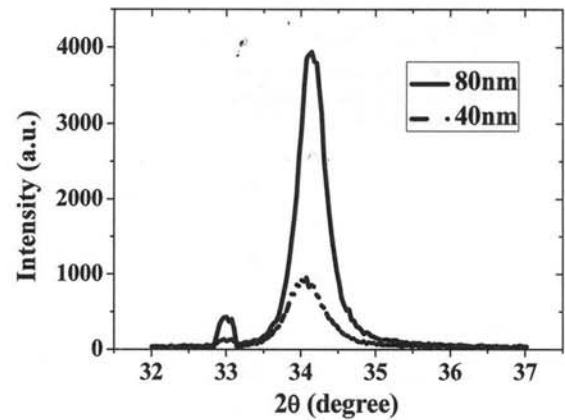


Fig. 6. XRD spectra of the ZnO films as a function of the film thickness.

으로 선호되는 각도 34.1° 가 관측 되었다. Scherrer의 공식에 의해 계산된 결정 크기는 소자의 활성 층 40 nm에서 146 \AA , 80 nm에서 196 \AA 으로 활성 층 두께가 증가함에 따라 결정 크기도 증가하는 것으로 나타났다. 이는 증착두께에 따른 결정크기에 대한 기보고 결과와 동일하다 [15].

4. 결론

본 논문에서는 문턱 전압 불안정성의 원인을 찾기 위해서 활성 층 두께를 40 nm와 80 nm로 달리하는 bottom-gated ZnO TFT를 제작한 후, $1/f$ noise 특성을 비교 분석하였다. 전기적인 스트레스 인가 시 문턱 전압 변화가 대수적으로 시간에 의존한 power law 관계를 보인다는 점과 변화된 문턱 전압이 상온에서 회복되는 점을 통해 소자 불안정성 원인이 interface나 oxide내 일시적인 전하 trapping으로 짐작할 수 있는데 이는 스트레스 인가 시 더 큰 문턱 전압 변화를 보인 40 nm 소자의 경우 트랩 밀도를 의미하는 $1/f$ noise level이 더 크게 나타나는 결과와 일치한다. 이상의 결과는 활성 층의 두께가 증가함에 따라 결정크기가 증가한다는 XRD 분석 결과로부터 원인을 설명할 수 있었다. 즉 활성 층 두께가 얇아짐에 따라 grain size가 감소하면서 트랩 밀도가 증가하고 이로 인한 문턱전압 변화 및 전자 산란이 더욱 크게 되는 것으로 이상의 결과는 기존에 a-Si, poly-Si 기반의 소자에 존재하는 트랩 분석에 주로 사용되었던 $1/f$ noise 분석이 ZnO 분석에도 매우 유용하게 사용될 수 있음을 보여준다.

감사의 글

이 논문은 2009년도 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구 사업(No. 2009-0089980, 2009-0083660) 및 지식경제부와 한국 산업기술재단의 전략기술 인력양성사업으로 수행된 연구 결과임.

REFERENCES

- [1] O. T. Niwa, T. Ben, and Y. Takahashi, *J. Appl. Phys. Part 1*, **40**, 297 (2001).
- [2] J. H. Chung, J. Y. Lee, and H. S. Kim, *Thin Solid Film*, **516**, 9 (2008).
- [3] R. B. M. Cross and M. M. De Souza, *Appl. Phys. Lett.* **89**, 263513 (2006).
- [4] K. Nomural, T. Kamiya, M. Hirano, and H. Hosono, *Appl. Phys. Lett.* **95**, 013502 (2009).
- [5] Y.-S. Kim, M.-H. Kang, D.-H. Nam, K.-I. Choi, H.-D. Lee, and G.-W. Lee, *J. KIEEME* **22**, 821 (2009).
- [6] A. Suresh and J. F. Muth, *Appl. Phys. Lett.* **92**, 033502 (2008).
- [7] S. L. Rumyantsev, S. H. Jin, M. S. Shur, and M.-S. Park, *J. Appl. Phys.* **105**, 124504 (2009).
- [8] C. A. Dimitriadis, F. V. Farmakis, G. Kamarinos, and J. Brini, *J. Appl. Phys.* **91**, 12 (2002).
- [9] I.-T. Cho, W.-S. Cheong, C.-S. Hwang, J.-M. Lee, H.-I. Kwon, and J.-H. Lee, *IEEE Electron. Device Lett.* **30**, 828 (2009).
- [10] R. B. M. Cross and M. M. De Souza, *IEEE Trans. Device & Materials Reliability*, **8**, 2 (2008).
- [11] L. K. J. Vandamme, X. Li, and D. Rigaud, *IEEE Trans. Electron. Devices* **41**, 1936 (1994).
- [12] D. Rigaud, M. Valenza, and J. Rhayem, *IEE Proc., Circuits Devices Syst.* **149**, 75 (2002).
- [13] E. Simoen and C. Claeys, *Solid-State Electron.* **43**, 865 (1998).
- [14] Y. Cheng and C. Hu, *MOSFET modeling & BSIM3 user's guide* (Kluwer Academic Publishers, Massachusetts, USA, 2002).
- [15] J.-H. Lee, *J. Electroceram.* **23**, 512 (2009).