

표면 Texturization을 가진 Photovoltaic Device 내부의 열 분포 특성에 관한 연구

정지철¹, 문경숙², 구상모^{1,a}

¹ 광운대학교 전자재료공학과

² 경원대학교 수학과

A Study of the Thermal Characteristics of a Photovoltaic Device with Surface Texturization

Ji-Chul Jung¹, Kyoung-sook Moon², and Sang-Mo Koo^{1,a}

¹ Department of Electronic Materials Engineering, Kwangwoon University, Seoul 139-701, Korea

² Department of Mathematics and Information, Kyungwon University, Seongnam 461-701, Korea

(Received April 16, 2010; Revised June 11, 2010; Accepted June 21, 2010)

Abstract: The thermal distribution of 2D and 3D p-n photovoltaic diode structures with and without surface texturing has been studied. By analysis of the numerical simulation results of the I-V characteristics and lattice temperature distributions the effect of different texturing structures on the characteristics of silicon p-n photovoltaic devices has been studied systematically. The efficiency of the device having surface texturing shows more than ~2% enhancement compared to the reference devices which did not have texturing. In addition, the effect of the density of the texturing groove has been studied and it has been confirmed that the texturing structure not only improves the light trapping but also plays an important role in the heat radiation.

Keywords: Texturing photovoltaic, Thermal distribution

1. 서론

현재 우리는 에너지자원의 고갈 및 환경오염 문제로 인하여 친환경적인 대체 에너지 개발이 요구되고 있다. 대표적으로 태양에너지는 자원이 무한하고 무공해 자원으로써 각광받고 있다.

태양광을 이용하는 photovoltaic device의 개발 방향은 광 에너지를 전기적인 에너지로 변환시키는 효율의 개선이라는 측면으로 지속적인 연구가 추진되어 왔다. 또한, 최근에 미세구조 photovoltaic device가 연구되어 있고, 투명 전도성 박막재료를 이용하는 연구가 활발히

진행되고 있다. Photovoltaic device의 효율을 높이기 위한 방법으로는 표면에 광반사 방지막을 입혀주거나, 접합깊이를 얇게 하여 단파장에서의 효율을 개선한 violet device를 만드는 방법, 또는 silicon 표면을 texturization 하여 전지 표면에서의 반사광을 줄여서 광흡수율을 증대시키는 방법 등이 있다 [1]. Black silicon은 silicon에 습식 또는 건식 공정을 하여 표면 texturization이 가능한 구조이다. 표면 texturization은 빛을 흡수하는 면적을 높이고, 빛의 trapping과 carrier collection probability 을 높여 효율을 높이는 데 유용하다. 최근 건식 공정을 이용한 texturization 구조를 적용하여 20%의 효율을 나타내었다 [2].

a. Corresponding author; smkoo@kw.ac.kr

Table 1. Dimension of texturing PN diode.

Total size(W×L×H)	8 μm × 10 μm × 16 μm
Doping concentration	Phosphorus : 1 × 10 ¹⁵ cm ⁻³
	Boron : 1 × 10 ¹⁴ cm ⁻³
Pattern size (W×L×H)	(a) No texturing
	(b) 2 μm × 10 μm × 1 μm
	(c) 1 μm × 10 μm × 1 μm

태양의 복사열, 동작조건으로 인하여 소자에 발생하는 열은 소자의 성능을 저하시킬 수 있기 때문에 열적 내구성은 photovoltaic device의 성능에 중요한 요소이다. 표면 texturization을 사용하여 photovoltaic device의 효율과 관련한 연구가 되어왔지만 열과 관련된 연구는 아직 활발하게 이루어지지 않았다. 본 논문에서는 표면 texturization을 이용한 PN diode 내부에 발생하는 열 및 효율에 관한 연구를 수행하였다.

2. 실험 방법

Device의 dimension은 표 1과 같고, 그림 1은 simulation에서 사용한 device 구조이다 (a) flat한 표면을 가지는 소자 (reference device), (b) 8 μm당 표면에 2개의 홈 (groove)을 가지는 소자 (device. 1), (c) 8 μm당 표면에 4개의 홈 (groove)을 가지는 소자 (device. 2). Simulation으로 표면이 flat한 device와 표면에 2개의 홈 (groove)을 가지는 경우와 4개의 홈 (groove)을 가지는 경우를 silicon device를 구현하여 특성을 분석하였다. 실험은 Silvaco 사의 simulation tool (ATLAS)을 이용하여 photovoltaic device 중 PN diode를 연구하였다.

효율 측면의 경향을 분석하기 위해서 표면이 flat한 구조와 표면 texturization을 가진 구조에 빛을 조사하여 전기적인 특성을 분석하였다. Boron 도핑농도 (P-type)를 10¹⁴ cm⁻³에서 10¹⁷ cm⁻³까지 10배씩 증가시켰고 phosphorus 도핑농도(N-type)를 10¹⁵ cm⁻³에서 10¹⁸ cm⁻³까지 10배씩 증가시켜 효율 측면의 경향을 확인하였다. 그리고 빛의 세기를 1 W/cm², 4 W/cm², 8 W/cm², 10 W/cm² 으로 증가시켜 P_{max}의 변화를 분석하였다. P_{max}가 효율에 미치는 영향을 알아보기 위한 식은 다음과 같다.

$$\eta = \frac{V_{OC} I_{SC} FF}{P_{light}} = \frac{V_m I_m}{P_{light}} \quad (1)$$

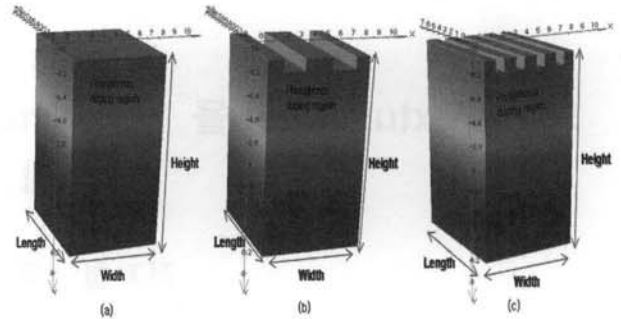


Figure 1. Using PN diode in simulation (a) reference (b) device. 1 (c) device. 2

V_{OC}는 태양전지의 전류가 0일 때, 얻을 수 있는 최대 전압인 개방전압(open 같이 표현할 수 있다. I_{SC}는 태양전지의 전압이 0일 때, 얻을 수 있는 최대 전류인 단락전류 (short circuit current)이고 식 (3)과 같이 표현된다.

$$V_{OC} = \frac{kT}{q} \ln \left(\frac{I_L}{I_0} + 1 \right) \quad (2)$$

$$I_{SC} = qAW(L_p + L_n) \quad (3)$$

최적 동작전류 I_m과 최적 동작전압 V_m의 곱은 P_{MAX}이고 이를 이용하여 곡선인자 (fill factor)를 구할 수 있다.

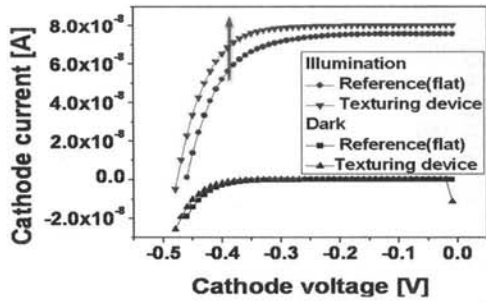
$$FF = \frac{V_m I_m}{V_{OC} I_{SC}} \quad (4)$$

효율은 입사된 빛의 에너지에 대한 출력된 에너지의 비로 나타난다. 즉, P_{max}와 비례관계에 있음을 알 수 있다. P_{max}가 증가를 하면 효율도 증가를 하게 된다.

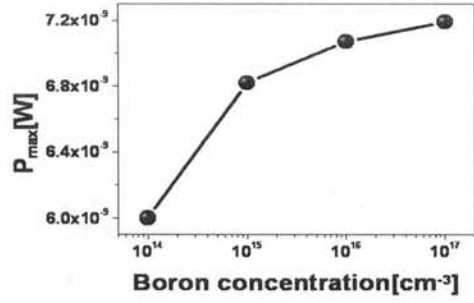
실온에서 각 구조 별 열 분포를 분석하기 위하여 구조 외부에 300 K의 온도를 설정하였다. 표면 texturization에 열이 미치는 영향을 확인하기 위하여 anode(소자의 바닥부분)에 600 K의 온도를 설정해 주어서 열이 분포되는 현상을 확인하였다.

3. 결과 및 고찰

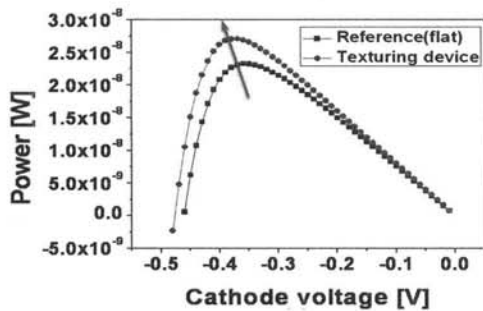
그림 2는 illumination의 상태일 때와 dark 상태일 때, flat한 표면을 가진 device(reference)와 texturization한



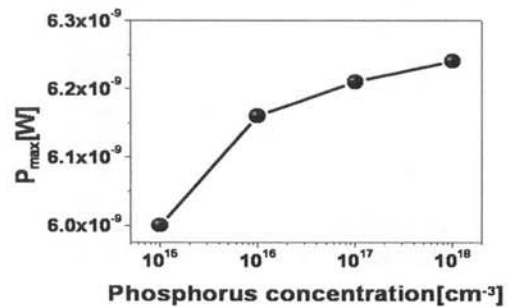
(a)



(a)



(b)



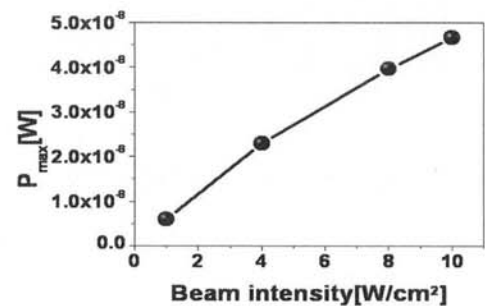
(b)

Fig. 2. Reference and texturing device (a) cathode current verse cathode voltage (b) power verse cathode voltage with/without illumination.

표면을 가진 device(device 2)의 I-V 특성을 측정 한 그래프이다. 그림 2(a)는 cathode 전류를 측정하였고 그림 2(b)는 power를 측정하여 표면 texturization에 따른 전기적 특성을 분석하였다. Flat 한 표면을 가진 device와 표면 texturization을 가진 소자는 $2.325 \times 10^{-8} \text{ W}$ ($\eta = 11.63\%$), $2.711 \times 10^{-8} \text{ W}$ ($\eta = 15.56\%$)의 P_{max} 를 나타내었고 2%의 효율차이(flat 한 표면을 기준으로 소자효율차이대비 20%)를 확인하였다.

표면이 flat한 구조의 부피대비표면적을 계산하면 $6.25 \times 10^4 \text{ m}^{-1}$ 이고, 표면 texturization을 가진 소자는 $1 \times 10^5 \text{ m}^{-1}$ 이다. 부피에 따른 표면적의 비율이 높을 수록 cathode current의 값과 P_{max} 의 수치가 더 높음을 알 수 있다. 즉, 식 (5)에 의해 효율도 향상된다.

그림 3은 각각의 조건을 변화시키면서 분석한 그래프이다. (a)는 boron의 도핑 농도를 변화시켰고, (b)는 phosphorus의 도핑 농도를 변화시켰다. 그리고 (c)는 빛의 세기를 변화시키며 P_{max} 의 변화를 확인하였다. P_{max} 의 값은 효율(η)과 비례하므로 증가한다는 의미는 효율도 증가한다는 것을 의미한다. 그에 대한 식은 식 (4)와 (5)에 나타나있다. 빛의 세기는 도핑 농도



(c)

Fig. 3. (a) When boron doping concentration is change (10^{14} cm^{-3} , 10^{15} cm^{-3} , 10^{16} cm^{-3} , 10^{17} cm^{-3}) (b) When phosphorus doping concentration is change (10^{15} cm^{-3} , 10^{16} cm^{-3} , 10^{17} cm^{-3} , 10^{18} cm^{-3}) (c) When beam intensity is change (1 W/cm^2 , 4 W/cm^2 , 8 W/cm^2 , 10 W/cm^2).

의 변화에 대해 매우 비례적으로 나타난다.

그림 1은 Si 기반의 PN diode의 열 분포를 나타낸 그림으로 표면 texturization을 가진 device의 온도가 전체적으로 약 8 K정도 더 낮음을 확인 할 수 있었다. 그림 4는 PN 접합부분과 표면부분을 확대한 그림으로 표면 texturization을 가진 소자의 온도가 약 18 K정도 더 낮게 나타났다.

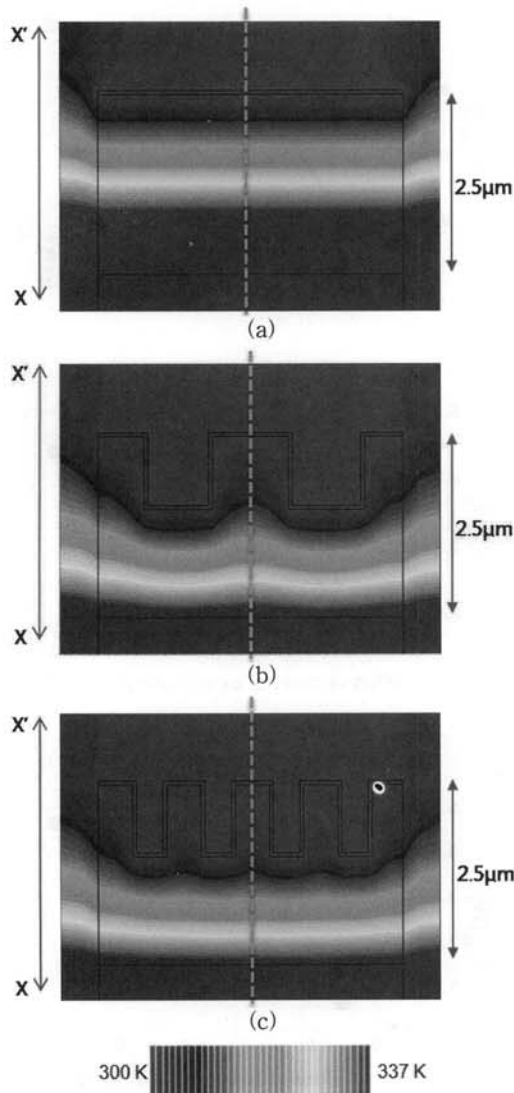


Fig. 4. Thermal distribution (a) reference (b) device. 1 (c) device. 2.

표면 texturization된 구조의 PN 접합부분에서 온도가 표면적이 높아질수록 점차 낮아졌고 더 높은 표면적에 의해 온도가 더 낮아질 것을 예상한다.

그림 5는 그림 4의 lattice temperature를 정량적으로 나타낸 그래프이다. 표면에서 확연하게 온도 차이가 나타났고 표면적의 증가에 따라 온도가 낮아짐을 알 수 있다.

표면 부분인 x'에서 실온임을 확인하였고, 움푹 파인 부분인 Z축 -8 μm에서 가장 높은 온도 차이를 나타내었다.

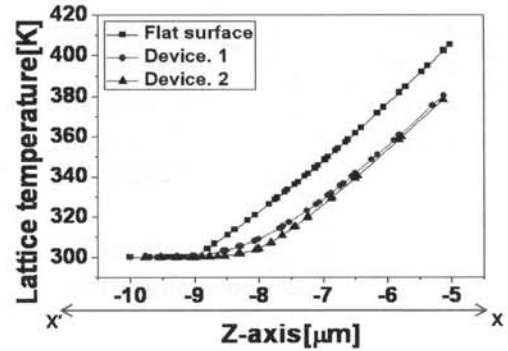


Fig. 5. Lattice temperature near surface region.

4. 결론

본 연구에서는 Si 기반의 PN diode를 이용하여 표면 texturization 구조 내부의 열 전도현상과 발산하는 열에 대해 시뮬레이션을 통해 확인하였다. Device 2는 flat 한 표면을 가진 device보다 2%정도(flat 한 표면의 η = 11.63%, texturization 한 표면의 η = 15.56%) 높은 효율을 나타내었음을 확인 할 수 있었고 표면에서의 온도는 17.37 K정도의 낮은 값을 확인하였다. 따라서 texturization은 device의 효율을 높여 주고 더 나아가 flat 한 device보다 표면에서 낮은 온도를 나타내어 열적 내구성에 더 뛰어난 특징을 가질 수 있음을 확인하였다.

감사의 글

본 연구는 2009년 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구이며(2009-0066544), 2010년 경원대학교 지원에 의한 결과임을 밝힙니다.

REFERENCES

- [1] B. Terheiden, P. Fath, and E. Bucher, *28th IEEE PVSC* (Anchorage, Alaska, 2000) p. 399.
- [2] S. Koynov, M. S. Brandt, and M. Stutzmann, *Appl. Phys. Lett.* **88**, 203107(1) (2006).