

Mixed-mode 시뮬레이션을 이용한 SiC DMOSFETs의 스위칭 특성 분석

Mixed-mode Simulation of Switching Characteristics of SiC DMOSFETs

강민석¹, 최창용¹, 방 옥², 김상철², 김남균², 구상모^{1,a}

(Min Seok Kang¹, Chang-Yong Choi¹, Wook Bang², Sang-Chul Kim², Nam-Kyun Kim², and Sang-Mo Koo^{1,a})

Abstract

SiC power device possesses attractive features, such as high breakdown voltage, high-speed switching capability, and high temperature operation. In general, device design has a significant effect on the switching characteristics. In this paper, we demonstrated that the switching performance of DMOSFETs are dependent on the with Channel length ($L_{channel}$) and Current Spreading Layer thickness (T_{CSL}) by using 2-D Mixed-mode simulations. The 4H-SiC DMOSFETs with a JFET region designed to block 800 V were optimized for minimum loss by adjusting the parameters of the JFET region, CSL, and epilayer. It is found that improvement of switching speed in 4H-SiC DMOSFETs is essential to reduce the gate-source capacitance and channel resistance. Therefore, accurate modeling of the operating conditions are essential for the optimizatin of superior switching performance.

Key Words : Silicon carbide, Switching, 4H-SiC, DMOSFET, Transient

1. 서 론

최근에 고온, 고출력 및 고주파를 위한 반도체 전력 소자의 요구가 급증함에 따라 전자회로의 중요 소자로 탄화규소(4H-SiC)에 관해 많은 연구가 진행되고 있다. 4H-SiC는 ~3.2 eV 정도의 높은 에너지 밴드 갭을 갖고 있으며 실리콘보다 절연파괴 강도가 약 10배 이상, 열전도도는 약 3배 정도 높아서 고전압 전력 소자로서 높은 열적 안정성과 열전도성을 가지는 차세대 재료이다. 이러한 전기적 특성을 전력 소자로서 사용할 경우 높은 항복 전압, 빠른 스위칭 속도, 고온에서 동작할 수 있는 특징을 가진다. 이에 따라 여러 그룹에서 4H-SiC DMOSFETs 소자의 구조에 따른 전기적 특성과 switching speed 등 최적화 연구를 진행 하고 있

다. 하지만 transient time의 특성에 대한 소자 구조 변화에 따른 영향은 상세히 연구된 바가 없다.

본 연구에서는 4H-SiC DMOSFET 소자를 포함하는 스위칭 회로를 시뮬레이션하여 소자의 구조에 따른 transient 특성을 분석해보았다.

2. 실험

2.1 800 V 4H-SiC DMOSFET 구조

그림 1은 본 연구에서 사용된 800 V 4H-SiC DMOSFET의 단면 구조를 나타냈다. CSL는 p-base 영역 모서리의 전류 집중을 감소시키고, drift layer의 conductivity modulation을 증가시킨다. 그리고 JFET 영역은 전력용 소자의 전체 온-저항을 감소시키는 역할을 한다. 소자의 최적화를 위하여 2차원 수치해석 기반 소자 시뮬레이터를 이용하여 n-drift layer, CSL, JFET 영역의 두께와 도핑농도를 조절하여 시뮬레이션 하였다. 완성된 SiC DMOSFET의 정적인 특성을 분석하였다. 그림 2와 같이 소자의 항복전압은 800 V 이다.

1. 광운대학교 전자재료공학과
(서울시 노원구 월계동 447-1)
2. 한국전기연구원 에너지반도체연구센터
a. Corresponding Author : smkoo@kw.ac.kr
접수일자 : 2009. 6. 15
심사완료 : 2009. 7. 20

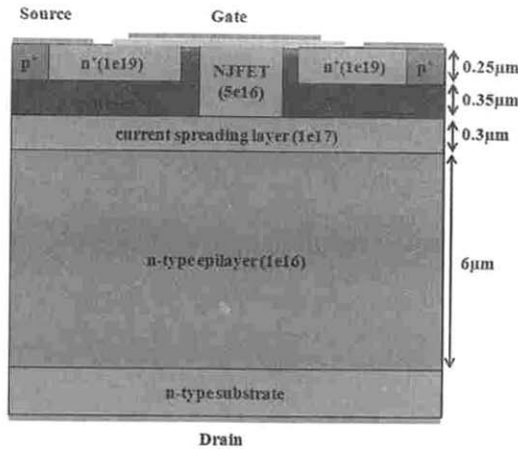


그림 1. 4H-SiC DMOSFET 구조도.
Fig. 1. Cross section of the 4H-SiC DMOSFET.

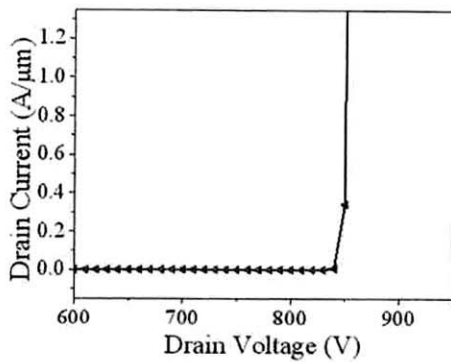


그림 2. 4H-SiC DMOSFET 구조도.
Fig. 2. Cross section of the 4H-SiC DMOSFET.

2.2 Mixed-mode 시뮬레이터

그림 3과 같이 resistive load 회로를 구성하고, 스위칭 특성 시뮬레이션을 수행하기 위해서 소자를 포함하는 회로 시뮬레이터인 Silvaco사의 Mixed-Mode 모듈을 사용하였다. Mixed-mode는 SPICE 넷리스트에 맞는 회로 서술에 따라 소자를 배치하고, Atlas 2D 모듈을 조합하여 물리적으로 설계된 소자의 회로 특성을 분석할 수 있는 시뮬레이터이다. 소자가 Off에서 On으로 동작할 때의 turn-on 특성을 분석하기 위하여, V_{GS} 에 펄스를 인가하였다. 소자의 구조 중에서 Channel length ($L_{channel}$)와 CSL thickness(T_{CSL}) 두 가지 변수에

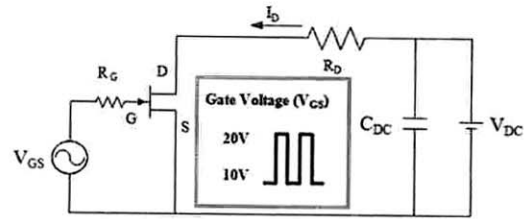


그림 3. 저항 부하 회로.
Fig. 3. Simulated resistive load switching circuit.

대한 turn-on 시간을 기준으로 스위칭 특성의 변화를 분석하였다.

3. 결과 및 고찰

3.1 Channel length

그림 4는 $L_{channel}$ 가 각각 0.5/1/1.5 μm 인 DMOSFETs의 turn-on rise time을 나타내고 있다. 그림 4를 통해 rise time은 $L_{channel}$ 가 짧아짐에 따라 각각 20/16/10 ns 로 측정되었다. 소자의 turn-on 동작 속도는 $L_{channel}$ 가 짧아짐에 따라 빨라지고 있다.

$L_{channel}$ 와 rise time과의 관계를 해석하기 위하여 Gate와 Source사이의 캐패시턴스와 온-저항을 계산하였다. 즉, 다음과 같이

$$\tau = RC \quad (1)$$

에 의하여 delay time (τ)을 구할 수 있다. 캐패시턴스는 계면 전하의 밀도(Q_s)를 $1 \times 10^9 \text{ C/cm}^2$ 로 하고, gate voltage (V_g)는 0 V일 때의 2차원적인 시뮬레이션 수치를 고려하였다. $L_{channel}$ 와 delay time과의 관계는 그림 5와 같이 $L_{channel}$ 가 짧아짐에 따라 τ 가 감소하는 것을 볼 수 있다.

따라서 $L_{channel}$ 가 짧아짐에 따라 채널의 저항이 감소하고, 산화막과 P-base 접합에서의 전자 축적층을 유도하는데 걸리는 시간이 단축되기 때문이라고 판단된다.

3.2 Current spreading layer thickness

그림 6는 채널 길이가 0.5 μm 로 일정할 때, CSL의 유무에 따른 DMOSFETs의 turn-on 특성을 나타내고 있다. rise time은 10 ns로 CSL의 유무에 따라 차이가 없었다. 하지만 소자의 On-state

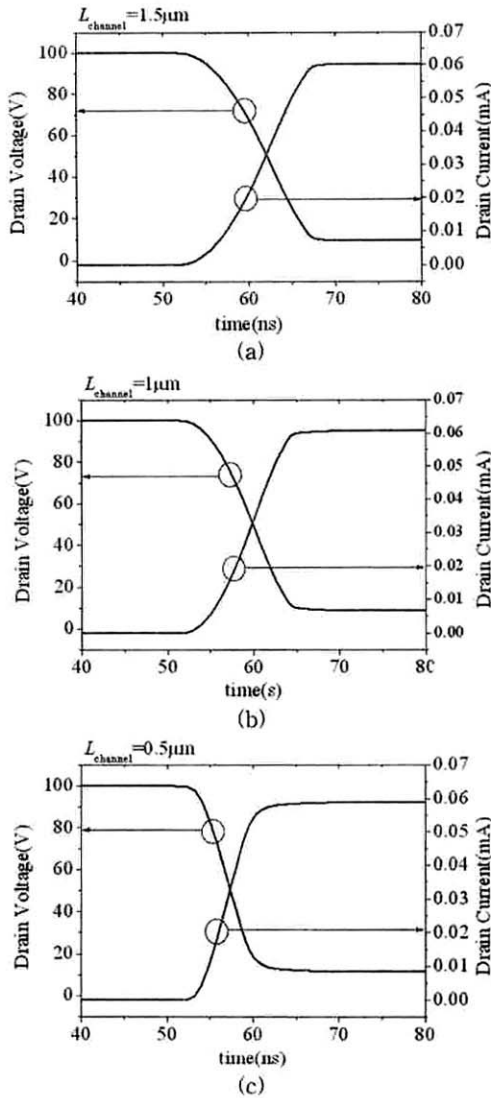


그림 4. $L_{channel}$ 에 따른 turn-on 특성 변화. (a) rise time=20 ns, (b) rise time=16 ns, (c) rise time=10 ns
 Fig. 4. Turn-on characteristics for different $L_{channel}$. (a) rise time=20 ns, (b) rise time=16 ns, and (c) rise time=12 ns

voltage drop은 T_{CSL} 이 0 에서 0.3 μm 로 커짐에 따라 17 V 에서 8 V 로 감소함을 보인다. 이는 그림 7와 같이 T_{CSL} 이 증가함에 따라 온-저항 $2.55 \text{ m}\Omega \cdot \text{cm}^2$ 에서 $1.45 \text{ m}\Omega \cdot \text{cm}^2$ 로 감소하는 것을 볼 수 있다. 따라서 CSL이 존재함에 따라 온-저항을 낮추는데 기여하는 것으로 판단된다.

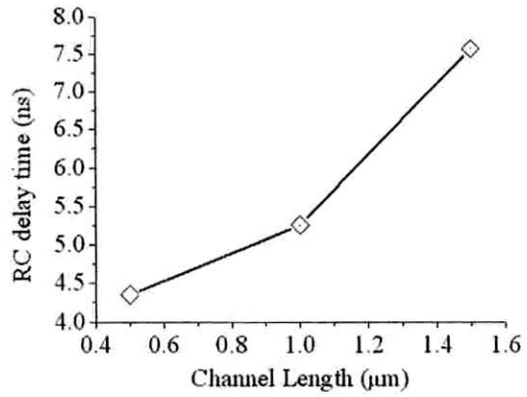


그림 5. $L_{channel}$ 에 따른 온-저항 변화.
 Fig. 5. Specific On-resistance for different $L_{channel}$.

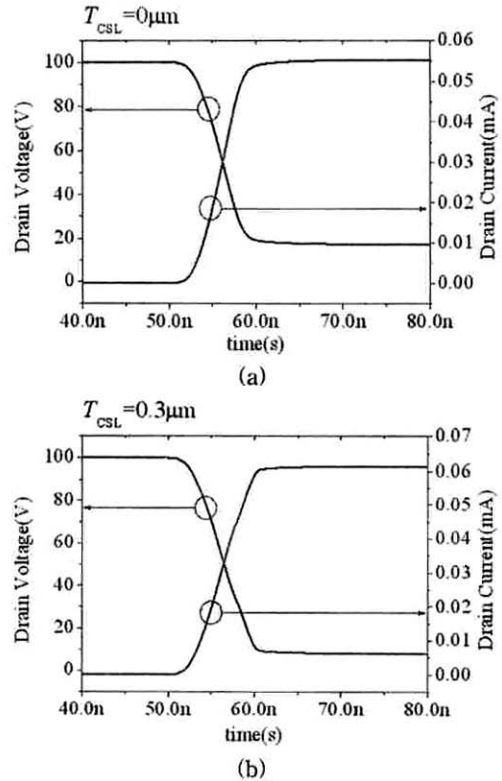


그림 6. T_{CSL} 에 따른 turn-on 특성 변화. (a) On-state voltage drop = 8 V (b) On-state voltage drop = 17 V
 Fig. 6. Turn-on characteristics for different T_{CSL} . (a) On-state voltage drop = 8 V (b) On-state voltage drop = 17 V

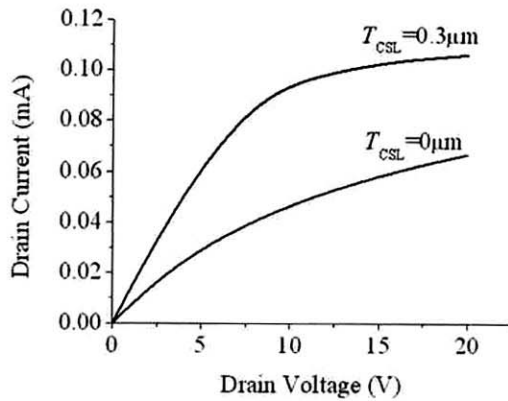


그림 7. T_{CSL} 에 따른 I_D - V_D 특성 변화.

Fig. 7. I_D - V_D characteristics for different T_{CSL} .

4. 결론

4H-SiC DMOSFET 소자를 포함하는 회로를 Mixed-mode를 사용하여 시뮬레이션을 통해 스위칭 특성을 확인하였다. 시뮬레이션을 수행하여 스위칭 특성을 $L_{channel}$ 와 T_{CSL} 변수로서 turn-on transient 특성을 조사하였다. $L_{channel}$ 가 1.5 μm 에서 0.5 μm 로 감소하였을 때 스위칭 속도는 10 ns 향상하였다. 소자의 정적인 특성을 2D 시뮬레이터를 사용하여 확인하였는데, $L_{channel}$ 가 짧아짐에 따라 Gate와 Source사이의 캐패시턴스와 채널 저항에 의하여 τ 는 감소하였다. 따라서 $L_{channel}$ 변화는 온-저항과 캐패시턴스에 영향을 미치며, 소자의 스위칭 속도를 변화시킨다. 그러므로 소자의 $L_{channel}$ 는 스위칭 동작 속도를 향상시키는데 영향을 미친다.

T_{CSL} 은 소자의 구조에서 존재 여부에 따라 On-state voltage drop에 영향을 미침을 확인할 수 있었다. 소자의 정적인 특성을 2D 시뮬레이터를 사용하여 확인하였는데, T_{CSL} 가 0 μm 에서 0.3 μm 로 두꺼워질 때 소자의 온-저항이 57%로 감소하는 것을 볼 수 있다. 따라서 CSL의 존재함에 따라 소자의 온-저항을 감소시켜, On-state voltage drop을 낮추는 것을 알 수 있었다.

본 연구를 통하여 4H-SiC DMOSFET의 Drift 영역, CSL, JFET 영역, 채널 길이 등 소자의 구조를 변화시켜 스위칭 지연 시간으로 인한 손실을 최소화 할 수 있다고 판단된다.

감사의 글

본 논문은 산업자원부가 지원하는 국가 반도체 연구사업인 "시스템집적반도체기반기술개발사업(시스템IC2010)"을 통해 개발된 결과임을 밝힙니다.

참고 문헌

- [1] T. Tamaki, Ginger G. Walden, Y. Sui, and James A. Cooper, "Optimization of on-state and switching performances for 15-20-kV 4H-SiC IGBTs", IEEE Trans. Electron Devices, Vol. 55, No. 8, p. 1920, 2008.
- [2] S.-H. Ryu, A. Agarwal, J. Richmond, J. Palmour, N. Saks, and J. Williams, "10 A, 2.4 kV power DiMOSFETs in 4H-SiC", IEEE Electron Device Letters, Vol. 23, No. 6, p. 321, 2002.
- [3] A. Saha and James A. Cooper, "A 1-kV 4H-SiC power DMOSFET optimized for low on-resistance", IEEE Trans. Electron Devices, Vol. 54, No. 10, p. 2786, 2007.
- [4] K. Matocha, "Challenges in SiC power MOSFET design", Solid-State Electronics, Vol. 52, No. 6, p. 1631, 2008.
- [5] S. Inaba, T. Mizuno, M. Iwase, M. Takahashi, H. Niiyama, H. Hazama, M. Yoshimi, and A. Toriumi, "Inverter performance of 0.10 μm CMOS operating at room temperature", IEEE Trans. Electron Devices, Vol. 41, No. 12, p. 2399, 1994.