

800 V급 4H-SiC DMOSFET 전력 소자 구조 최적화 시뮬레이션

A Simulation Study on the Structural Optimization of a 800 V 4H-SiC Power DMOSFET

최창용¹, 강민석¹, 방 옥², 김상철², 김남균², 구상모^{1,a}

(Chang-Yong Chol¹, Min Seok Kang¹, Wook Bahng², Sang-Cheol Kim², Nam-Kyun Kim², and Sang-Mo Koo^{1,a})

Abstract

In this work, we demonstrate 800 V 4H-SiC power DMOSFETs with several structural alterations to obtain a low threshold voltage (V_{TH}) and a high figure of merit ($V_B^2/R_{SP,ON}$). To optimize the device performance, we consider four design parameters: (a) the doping concentration (N_{CSL}) of current spreading layer (CSL) beneath the p-base region, (b) the thickness of p-base (t_{BASE}), (c) the doping concentration (N_J) and width (W_J) of a JFET region, (d) the doping concentration (N_{EPI}) and thickness (t_{EPI}) of epi-layer. These parameters are optimized using 2D numerical simulation and the 4H-SiC DMOSFET structure results in a threshold voltage (V_{TH}) below ~ 3.8 V, and high figure of merit ($V_B^2/R_{SP,ON} > \sim 200$ MW/cm²) for a power MOSFET in $V_B \sim 800$ V range.

Key Words : 4H-SiC, DMOSFET, Current spreading layer, JFET

1. 서 론

SiC는 Si보다 절연 파괴장도가 약 10배이상, 열전도도는 약 3배 이상, 포화드리프트 속도는 약 3배 크기 때문에 RF 기기, 자동차용 전력소자, 항공 우주분야 등의 고온 극한 환경에서의 동작이 가능한 차세대 재료이다[1]. SiC의 이러한 우수한 특성으로 인하여 고내압 PN 접합다이오드, 쇼트키 장벽다이오드, 금속-반도체 접합 전계효과 트랜지스터(MESFET), 전력 금속-산화막-반도체 전계효과 트랜지스터(MOSFET), 고전압 대전력 사이리스터(Thyristor) 등이 개발되어 사용되고 있다[2-4]. 2005년 국제 반도체 기술 로드맵 (ITRS)은 TCAD (Technology Computer-Aided Design)를 이용하면 소자 개발에 필요한 기술 및 시간적 비용의 40퍼센트를 절약할 수 있다. 또한 현재의 컴퓨터 CPU 기술의 발달로 개인용 컴퓨터로도 3차원 구조와

같은 많은 양의 계산도 비교적 단시간에 계산될 수 있다. 이러한 장점을 이용하면 technology level의 각종 파라미터인 소자 내부의 구조, 도핑, 공정 변수 변화에 따른 소자특성을 빠르고 정확하게 예측할 수 있다. 본 연구에서는 4H-SiC 기반의 DMOSFET의 핵심적인 파라미터에 의한 영향을 시뮬레이션 하였다.

2. 실험

그림 1은 4H-SiC DMOSFET의 개념도를 나타내고 있다. 상부에는 게이트와 소스 전극이 위치하고 하단에 드레인 전극이 위치하는 수직형 MOSFET이다. 채널 길이는 self-aligned 공정에 의해 형성되는 전형적인 길이 인 0.5 μ m을 설정하였다. 시뮬레이션에 앞서 고려된 파라미터는 JFET 영역의 도핑 농도(N_J) 및 폭(W_J), base 영역의 두께 (t_b), current spreading layer (CSL)의 도핑 농도(N_{CSL}), 에피영역의 두께(t_{EPI}) 및 도핑 농도(N_{EPI})이다. 시뮬레이션은 대칭구조를 이용하여 수행되었다. 가장 영향이 큰 JFET 영역에 관한 최적화된 파라미터를 구한 후 목표로 하는 800 V 급

1. 광운대학교 전자재료공학과
(서울시 노원구 월계동 447-1)
2. 한국전기연구원 에너지반도체 연구센터
a. Corresponding Author : smkoo@kw.ac.kr
접수일자 : 2009. 6. 13
심사완료 : 2009. 7. 8

소자를 설계 하기 위해 t_B , N_{CSL} , t_{EP} , N_{EP} 순으로 파라미터를 바꾸어 가며 시뮬레이션이 수행되었다.

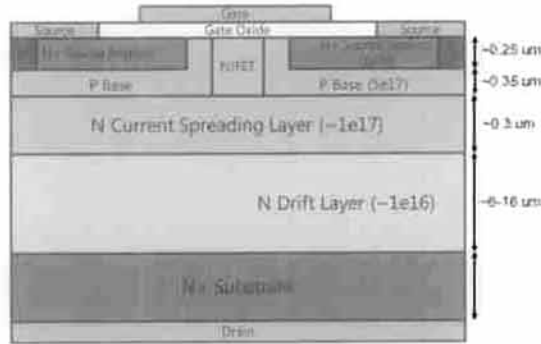


그림 1. DMOSFET의 구조.
Fig. 1. Schematic diagram of DMOSFET.

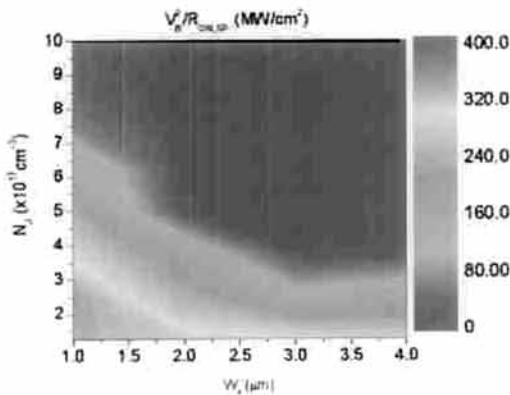


그림 2. N_j 와 W_j 에 따른 성능지수 ($V_B^2/R_{ON,SP}$).
Fig. 2. FoM($V_B^2/R_{ON,SP}$) as a function of N_j and W_j .

3. 결과 및 고찰

그림 2는 JFET영역의 도핑 농도 및 폭에 따른 소자의 성능지수 ($V_B^2/R_{ON,SP}$)를 나타내고 있다. JFET 영역의 최적화된 도핑 농도와 폭은 각각 약 $2.5 \times 10^{17} \text{ cm}^{-3}$ 과 $1 \mu\text{m}$ 일 때 이다. 이때의 항복전압은 약 1100 V이다. 그러나 문턱전압(V_{TH})은 약 6 V로 매우 높은 것을 볼 수 있다. 이는 채널 영역(base)의 높은 도핑 농도에 기인한다. 그림 3은 채널 영역의 도핑 농도를 $5 \times 10^{17} \text{ cm}^{-3}$ 에서 $2 \times 10^{17} \text{ cm}^{-3}$ 으로 순차적으로 낮추면서 시뮬레이션 한 결과이

고 V_{TH} 를 6 V에서 약 3.8 V까지 낮출 수 있었다. 이때 항복 전압이 100 V이하로 내려가는 것을 볼 수

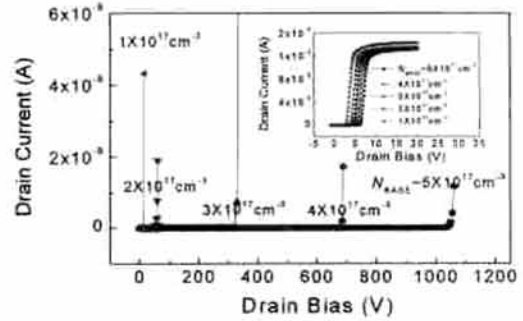


그림 3. N_{BASE} 변화에 따른 (a) 항복 전압 특성 (I_D-V_B), (내부) 게이트 전달 특성 (I_D-V_G).
Fig. 3. (a) Breakdown (I_D-V_B) and (inset) gate transfer characteristics (I_D-V_G) with N_{BASE} from 1×10^{17} to $5 \times 10^{17} \text{ cm}^{-3}$.

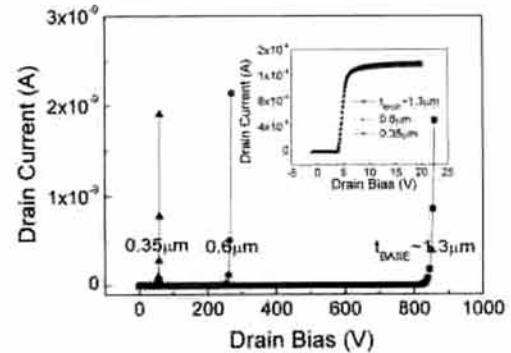


그림 4. t_{BASE} 변화에 따른 (a) 항복 전압 특성 (I_D-V_B), (내부) 게이트 전달 특성 (I_D-V_G).
Fig. 4. (a) Breakdown (I_D-V_B) and (inset) gate transfer characteristics (I_D-V_G) with t_{BASE} from 0.35 to 1.3 μm .

있는데 이는 채널 도핑을 낮춤에 따라서 base영역에 발생하는 전계가 쉽게 4H-SiC의 임계 전계까지 증가하기 때문이다. 이는 base영역의 두께를 증가시킴으로써 내부 전계의 상승을 억제하여 항복 전압을 높일 수 있다. 그림 4는 base영역의 두께에 따른 시뮬레이션 결과이다. 항복전압은 목표로 하는 800 V급을 달성하였고 V_{TH} 는 변화없이 3.8 V로 유지되고 있는 것을 볼 수 있다. $R_{ON,SP}$ 에 영향

을 주는 요소는 N_{CSL} , t_{EP} , N_{EP} 이다. 소자의 항복 특성은 보통 두가지 형태로 일어나게 되어 있는데 하나는 게이트 산화막의 파괴에 의하여 생기는 항복과 4H-SiC 접합 부분에서 일어나는 항복으로 나눌 수 있다. 4H-SiC의 접합부에서 일어나는 항복시의 임계전압은 게이트 산화막에서 일어나는 항복시의 임계전압에 비해 낮다. 따라서 게이트 산화막에서 항복이 일어난다면 드레인 바이어스 전압에 의해 전계가 4H-SiC 접합쪽 보다는 게이트 산화막쪽으로 집중된 것이다. 이는 접합쪽이 더욱 큰 전압을 견딜 수 있는데도 불구하고 게이트 산화막 쪽으로 항복이 일어난 것으로서 4H-SiC 재료의 효율적 사용을 위한 디자인이 잘못된 것이다. 따라서 본 연구에서 수행되는 시뮬레이션에서는

접합쪽에서 항복이 일어나는 것으로 보아 항복특성에 관한 시뮬레이션은 타당하게 수행 되었다고 할 수 있다. 첫 번째로는 전계의 증가를 4H-SiC 접합쪽으로 유도하고 두 번째로 유도된 전계가 그 부분에서 쉽게 집중하지 못하는 것이 중요하다. 그림 5는 소자의 항복이 일어나는 위치를 나타내는 그림이다. n^+ source영역과 CSL 영역 사이인 base 영역에서 발생하는 전계가 임계전계까지 증가하였기 때문에 소자의 항복이 일어나는 것이다. 그림 6은 base 아래 즉, CSL 영역의 도핑 농도가 $5 \times 10^{15} \text{ cm}^{-3}$ 에서 $5 \times 10^{17} \text{ cm}^{-3}$ 까지 증가할 때 따른 base 영역의 peak 전계 특성이다. CSL영역의 도핑 증가는 사실 $R_{ON,SP}$ 특성을 향상시키지만 base영역의 전계를 증가시키는 핵심적인 요소이므로 CSL 영역의

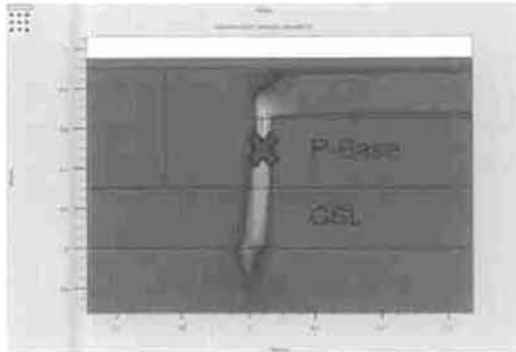


그림 5. 항복 전압 인가되었을 때 전류밀도 분포.
Fig. 5. Current density distribution at V_B .

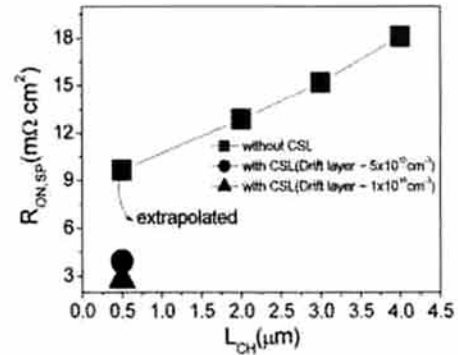


그림 7. N_{CSL} 의 변화에 따른 $R_{ON,SP}$ 대 채널길이 특성 ($R_{ON,SP}-L_{CH}$).

Fig. 7. Specific on-resistance vs. channel length characteristics ($R_{ON,SP}-L_{CH}$) with N_{CSL} from 0 to $5 \times 10^{16} \text{ cm}^{-3}$.

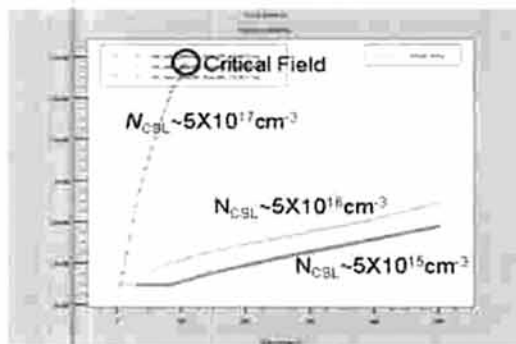


그림 6. N_{CSL} 의 변화에 따른 base 영역의 peak 전계 대 drain 전압 특성 ($E_{PEAK}-V_D$).

Fig. 6. Peak electric field in base region vs. drain bias characteristics with N_{CSL} from 5×10^{15} to $5 \times 10^{17} \text{ cm}^{-3}$.

도핑 농도를 증가시켜 $R_{ON,SP}$ 값을 최소화하는 것은 항복 전압을 1000 V 이상에서 수십내지는 200 V 내외로 감소시키는 요인이다. 본 연구에서 800 V 급을 위한 적정선은 $1 \times 10^{16} \text{ cm}^{-3}$ 의 CSL 도핑 농도가 적당하다. 그림 7은 채널 길이와 CSL에 따른 $R_{ON,SP}$ 특성이다. $1 \times 10^{16} \text{ cm}^{-3}$ 의 CSL 영역의 유무에 따라 $R_{ON,SP}$ 특성이 $10 \text{ m}\Omega\text{cm}^2$ 에서 $3 \sim 3.5 \text{ m}\Omega\text{cm}^2$ 로 향상되는 것을 볼 수 있다. 또한 드리프트층의 도핑 농도에 따른 $R_{ON,SP}$ 특성변화는 $3 \sim 3.5 \text{ m}\Omega\text{cm}^2$ 이므로 영향은 다소 적다. 그림 8 그래프의 좌측 y축은 드리프트층 두께증가에 따른 $R_{ON,SP}$ 특성그래프이다. $R_{ON,SP}$ 특성이 CSL의 도핑 또는 유무에 의한 영향에 비해 드리프트층 두께에 의한

영향은 두께 증가에 따라 $3\sim 3.5\text{ m}\Omega\text{cm}^2$ 에서 $6.3\text{ m}\Omega\text{cm}^2$ 정도밖에 증가하지 않았으므로 드리프트층 두께를 증가시키는 것은 항복전압을 증가시키는 데에 바람직하다. 그림 8 그래프의 우측 y축은 드리프트층의 두께에 따른 소자의 항복 전압 특성이다. $6\sim 16\ \mu\text{m}$ 으로 증가함에 따라서 약 1000 V 가량의 항복전압 특성이 향상된다. 본 연구에서 적정 수준의 드리프트층의 두께는 $6\sim 8\ \mu\text{m}$ 이다. 시뮬레이션이 수행된 구조의 도핑 프로파일은 실제 이온주입을 수행한 도핑 프로파일과 다르기 때문에 이온주입된 도핑 프로파일을 구현할 수 있는 공정시뮬레이션을 고려하여 수행할 계획이다.

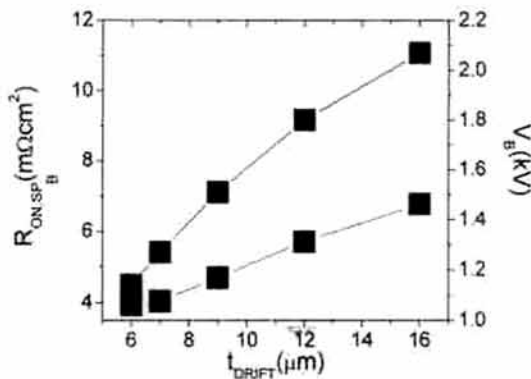


그림 8. 드리프트 영역 두께에 따른 단위면적당 온저항 특성 ($R_{\text{ON,SP-tDRIFT}}$) 및 따른 항복 전압 특성 ($V_{\text{B-tDRIFT}}$).

Fig. 8. $R_{\text{ON,SP}}$ and Breakdown voltage vs. drift region thickness.

4. 결론

4H-SiC DMOSFET의 소자 성능의 최적화하기 위해 2차원 수치해석 기반 시뮬레이션을 수행하였다. JFET영역의 도핑 농도 (N_j) 및 폭 (W_j)을 각각 $N_j\sim 2.5\times 10^{17}$, $W_j\sim 1\ \mu\text{m}$ 으로 했을 때 성능지수 값이 최고값($\sim 384\text{ MW/cm}^2$)을 나타냈다. base영역에 의해 변화하는 문턱전압과 항복전압은 서로 트레이드-오프 관계에 있다. 문턱전압을 $3\sim 4\text{ V}$ 정도로 낮추면 항복전압은 100 V이하로 내려가게 되는

데 이는 base영역의 두께를 증가시킴으로써 문턱 전압을 $3\sim 4\text{ V}$ 로 유지하면서 목표로 하는 800 V 급 항복전압을 갖는 소자를 설계할 수 있다. 또한 CSL영역의 도핑은 base영역 내부의 전계를 매우 증가시키는데 $R_{\text{ON,SP}}$ 특성을 향상시키고 800 V 이상의 항복전압을 유지할 수 있는 농도는 $1\times 10^{16}\text{ cm}^{-3}$ 이다. 또한 드리프트 영역의 도핑 농도는 $R_{\text{ON,SP}}$ 특성에 대한 영향이 미미하기 때문에 $5\times 10^{15}\text{ cm}^{-3}$ 에서 $1\times 10^{16}\text{ cm}^{-3}$ 의 농도가 적당하고 두께는 항복전압에 매우 큰 영향을 미친다. 드리프트 영역의 두께가 6에서 16 μm 까지 증가함에 따라서 항복전압은 1000 V 이상 증가한다. 본 연구에서 적당한 $R_{\text{ON,SP}}$ 특성을 유지하면서 높은 항복 전압을 위한 드리프트 영역의 두께는 $6\sim 8\ \mu\text{m}$ 임을 확인하였다.

감사의 글

본 논문은 산업자원부가 지원하는 국가 반도체 연구사업인 “시스템집적반도체기반기술개발사업(시스템IC2010)”을 통해 개발된 결과임을 밝힙니다.

참고 문헌

- [1] C. E. Weitzel, J. W. Palmour, C. H. Carter, Jr. K. Moore, K. J. Nordquist, S. Allen, C. Thero, and M. Bhatnagar, “Silicon carbide high-power devices”, IEEE Trans. on Elec. Dev., Vol. 43, No. 10, p. 1732, 1996.
- [2] D. Alok, E. Arnold, R. Egloff, J. Barone, J. Murphy, R. Conrad, and Burke, “4H-SiC RF power MOSFETs”, IEEE Elec. Dev. Lett., Vol. 22, No. 12, p. 577, 2001.
- [3] J. Zhang, B. Zhang, and Z. Li, “Simulation of high-power 4H-SiC MESFETs with 3D tri-gate structure”, IEEE Electronic Lett., Vol. 43, No. 12, p. 692, 2007.
- [4] R. Singh, D. C. Capell, A. R. Hefner, J. Lai, and J. W. Palmour, “High-power 4H-SiC JBS rectifiers”, IEEE Trans. on Elec. Dev., Vol. 49, No. 11, p. 2054, 2002.