

비휘발성 메모리를 위한 SiO₂와 Si₃N₄가 대칭적으로 적층된 터널링 절연막의 전기적 특성과 열처리를 통한 특성 개선효과

Improved Electrical Characteristics of Symmetrical Tunneling Dielectrics Stacked with SiO₂ and Si₃N₄ Layers by Annealing Processes for Non-volatile Memory Applications

김민수¹, 정명호¹, 김관수¹, 박군호¹, 정종완², 정홍배¹, 이영희¹, 조원주^{1,a}
(Min-Soo Kim¹, Myung-Ho Jung¹, Kwan-Su Kim¹, Goon-Ho Park¹,
Jongwan Jung², Hong-Bay Chung¹, Young-hie Lee¹, and Won-Ju Cho^{1,a})

Abstract

The electrical characteristics and annealing effects of tunneling dielectrics stacked with SiO₂ and Si₃N₄ were investigated. I-V characteristics of band gap engineered tunneling gate stacks consisted of Si₃N₄/SiO₂/Si₃N₄ (NON), SiO₂/Si₃N₄/SiO₂ (ONO) dielectrics were evaluated and compared with SiO₂ single layer using the MOS (metal-oxide-semiconductor) capacitor structure. The leakage currents of engineered tunneling barriers (ONO, NON stacks) are lower than that of the conventional SiO₂ single layer at low electrical field. Meanwhile, the engineered tunneling barriers have larger tunneling current at high electrical field. Furthermore, the increased tunneling current through engineered tunneling barriers related to high speed operation can be achieved by annealing processes.

Key Words : Non-volatile memory, TBE(Tunnel barrier engineering), MOS, Annealing

1. 서 론

데이터 저장장치로 많이 사용되는 비휘발성 플래시 메모리는 계속되는 성능 개선의 요구를 만족시키기 위해 단위 메모리 셀의 크기를 감소시켜 메모리의 집적도를 증가시켜왔다. 그에 따라 플래시 메모리의 터널링 절연막의 두께도 함께 감소하였다. 터널링 절연막의 두께가 감소하면 쓰기/지우기 동작 효율은 증가하지만, 데이터 보존 특성은 열화된다. 특히, 터널링 절연막의 두께가 5~6 nm 이하가 되면 전자의 direct tunneling에 의해 데이터 보존 특성이 급격히 열화된다[1]. 최근, 이러한 문제점을 극복하기 위하여 고유전 (high-k) 물질과

SiO₂의 적층 구조를 이용한 터널 배리어 엔지니어링 (Tunnel Barrier Engineering : TBE)이 유망기술로 주목받고 있다[2-5]. TBE 기술을 이용하면 절연 물질의 적층 구조를 통하여 쓰기/지우기 동작 시 절연막의 유효 터널링 두께를 효과적으로 감소시킬 수 있어 빠른 동작 속도와 낮은 구동전력을 가지는 메모리 소자의 제작이 가능하다. 또한 절연막의 물리적 두께의 증가로 데이터 보존 특성 역시 향상된다. TBE 기술에 적용 가능한 몇몇 high-k 물질[6-9] 중, 본 논문에서는 7.6의 유전상수를 가지는 Si₃N₄를 이용하여 SiO₂와 Si₃N₄가 대칭적으로 적층된 터널링 절연막의 전기적 특성과 열처리 공정에 의한 특성 개선에 관해 연구하였다.

2. 실험

(100) 면 방향의 n-type bulk-Si 기판을 사용하여 SiO₂/Si₃N₄/SiO₂ (ONO), Si₃N₄/SiO₂/Si₃N₄ (NON) 구조의 다층 절연막을 포함하는 MOS capacitor를

1. 광운대학교 전자재료공학과
(서울시 노원구 월계동 447-1)
2. 세종대학교 나노신소재공학부
a. Corresponding Author : chowj@kw.ac.kr
접수일자 : 2009. 3. 23
1차 심사 : 2009. 4. 8
심사완료 : 2009. 4. 24

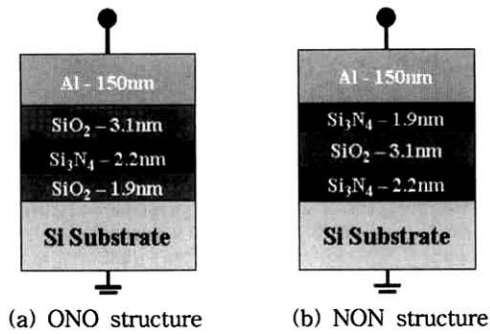


그림 1. 제작된 TBE-MOS capacitor의 단면도.
Fig. 1. A cross section of TBE-MOS capacitor.

각각 제작하였다. ONO 구조의 다층 절연막은 700 °C, O₂ 분위기에서 열산화 SiO₂ 층을 1.9 nm 성장시킨 뒤, LPCVD (low pressure chemical vapor deposition) 방법으로 720 °C, DCS (dichlorosilane)와 NH₃ 혼합가스 분위기에서 2.2 nm의 Si₃N₄ 절연막을 증착시켰으며, LPCVD 방법으로 625 °C, TEOS (tetra ethyl ortho silicate)를 이용하여 3.1 nm의 SiO₂ 절연막을 증착시켰다. NON 구조의 다층 절연막은 ONO 구조와 같은 방법으로 Si₃N₄, SiO₂, Si₃N₄ 절연막을 각각 2.2, 3.1, 1.9 nm 증착시켰다. Reference sample로 5.1 nm의 LPCVD SiO₂ 단층 절연막을 가지는 MOS capacitor를 제작하였다. 전극으로 150 nm의 Al을 e-beam evaporator를 이용하여 증착하였고 photo-lithography를 이용하여 310 × 230 μm²의 면적을 가지는 패턴을 형성하였다. 그림 1은 제작된 TBE-MOS capacitor의 단면을 나타내며 각 층의 두께는 ellipsometry를 이용하여 측정하였다. 각각의 MOS capacitor의 전기적 특성을 평가하였고 급속열처리공정 (RTA: rapid thermal anneal)과 furnace를 이용한 후속 열처리 공정 (PRA: post RTA)을 실시하여 절연막의 특성 변화를 비교하였다. RTA 공정은 850 °C, N₂ 분위기에서 30초간 실시하였고, PRA 공정은 RTA 공정 후에 400 °C, 2 %의 H₂가 혼합된 N₂ 분위기에서 30분간 실시하였다. 측정 및 분석에는 HP사의 4156B semiconductor parameter analyzer와 4284A LCR meter를 이용하였다.

3. 결과 및 고찰

그림 2는 ONO, NON의 적층된 절연막과 SiO₂ 단층 절연막의 터널링 절연막 각각의 초기상태에서

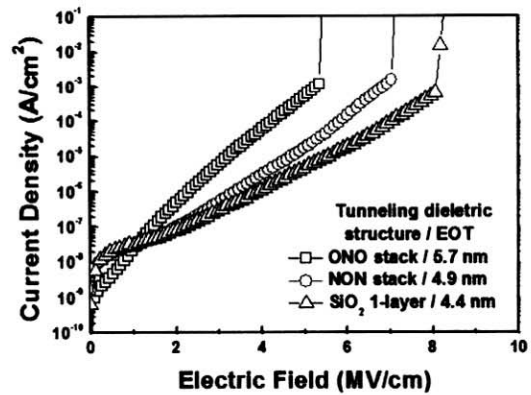


그림 2. ONO, NON과 SiO₂ 단층 절연막의 전계에 따른 터널링 전류 특성.

Fig. 2. The J-E characteristics of ONO, NON and SiO₂ tunneling dielectrics in initial state.

절연막에 인가된 전계에 대한 터널링 전류 특성을 나타낸다. ONO, NON과 SiO₂ 단층 절연막의 전기적 두께 (EOT : equivalent oxide thickness)는 각각 5.7, 4.9, 4.4 nm이며, 1 MV/cm 이하의 전계영역에서 ONO, NON의 적층된 절연막은 SiO₂ 단층 절연막과 비교해 거의 같거나 적은 터널링 전류가 흐른다. 반면에 ONO, NON의 적층된 절연막이 SiO₂ 단층 절연막보다 두꺼운 EOT를 가지고 있으면서도 1 MV/cm 이상의 전계영역에서는 더 큰 터널링 전류가 흐른다. 이것은 적층된 절연막의 유효 터널링 두께가 인가된 전계에 따라 효과적으로 감소하기 때문이다. 따라서 TBE 기술을 이용하여 전계에 민감한 터널링 절연막의 형성이 가능하며, SiO₂와 Si₃N₄를 대칭적으로 적층시킨 터널링 절연막을 플래시 메모리에 적용하면, 기존에 터널링 절연막으로 SiO₂ 단층 절연막을 사용하던 플래시 메모리보다 적은 누설전류와 빠른 동작 특성을 얻을 수 있을 것으로 기대된다.

TBE 기술을 플래시 메모리에 적용 시, 메모리 소자의 제작 과정 중 필수적인 열처리 공정을 고려해야 한다. 따라서 본 연구에서는 추가적으로 열처리에 따른 터널링 절연막의 전기적 특성을 평가하였다.

그림 3은 열처리 공정 후 ONO, NON의 적층된 절연막과 SiO₂ 단층 절연막의 터널링 전류특성의 변화를 나타낸다. 5 MV/cm의 높은 전계영역과

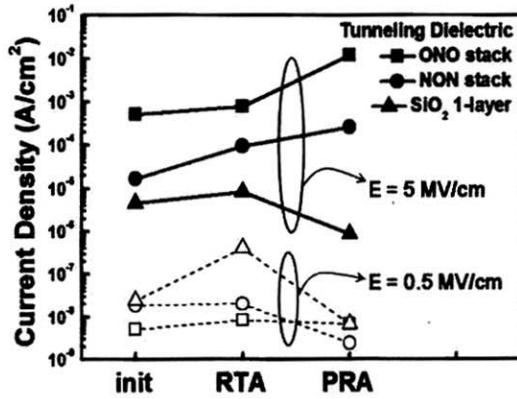


그림 3. ONO, NON과 SiO₂ 단층 절연막의 초기 상태와 열처리공정에 따른 터널링 전류특성.
Fig. 3. The J-E characteristics of ONO, NON and SiO₂ tunneling dielectrics various annealing state.

0.5 MV/cm의 낮은 전계영역에서의 터널링 전류를 각각 실선 및 점선으로 나타내었다. SiO₂ 단층 절연막은 급속열처리 (RTA) 공정 후 누설전류가 크게 증가하였고, 후속열처리 (PRA) 공정으로 낮은 전계영역에서의 누설전류를 개선할 수 있었지만 높은 전계영역에서의 터널링 전류도 함께 감소하였다. 이러한 결과는 고온의 열처리 과정에서 LPCVD 방법으로 증착시킨 SiO₂ 박막의 압축 응력(compressive stress)이 더욱 증가되고[10], 실리콘 기판과 절연막 사이 계면특성이 개선되어 전자에 의한 터널링 전류가 감소한 것으로 판단된다. 반면에 ONO, NON의 적층된 절연막은 RTA와 PRA 공정 후에 전자의 유효 터널링 두께가 더욱 효과적으로 감소하여 높은 전계영역에서의 터널링 전류가 초기상태보다 10배 이상 증가하였고 낮은 전계영역에서의 터널링 전류는 초기상태보다 감소하였다. 따라서 단층의 SiO₂ 터널링 절연막 보다 ONO, NON의 적층된 터널링 절연막이 열처리 공정을 통하여 적은 누설전류와 빠른 동작특성의 더욱 개선된 터널링 전류특성을 보였다.

그림 4는 초기상태의 ONO, NON 적층된 절연막과 SiO₂ 단층 절연막의 정규화된 C-V 특성을 나타낸다. 그래프의 hump 현상을 통해 LPCVD로 증착한 SiO₂ 단층 절연막과 Si 기판 사이 계면에 다수의 interface state가 존재하는 것을 알 수 있으며, 그래프의 기울기를 통해 NON보다 ONO의 절연막이 기판과의 계면상태가 우수한 것을 알 수

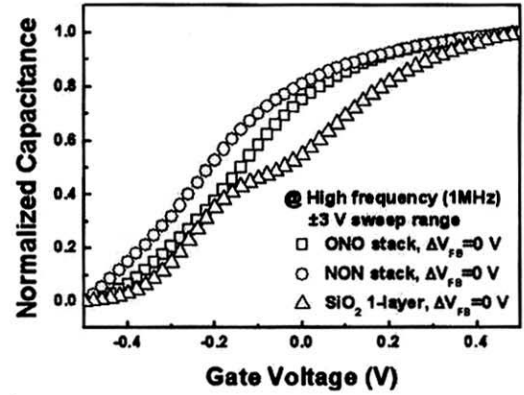


그림 4. ONO, NON과 SiO₂ 단층 절연막의 초기 상태에서의 C-V 특성.
Fig. 4. C-V characteristics of ONO, NON and SiO₂ tunnel layer in initial state.

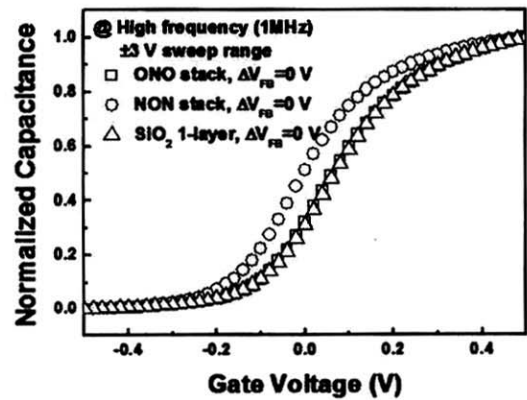


그림 5. ONO, NON과 SiO₂ 단층 절연막의 PRA 공정 후 C-V 특성.
Fig. 5. C-V characteristics of ONO, NON and SiO₂ tunnel layer after PRA process.

있다[11]. 또한 ±3 V의 voltage sweep을 통해 ONO, NON과 SiO₂ 단층 절연막의 C-V 특성에서 히스테리시스 곡선을 확인한 결과, 그림 4의 모든 절연막에서 flatband-voltage (V_{FB})의 변화가 없었다. 이를 통하여 세 절연막 모두에 전하 포획(trap) 특성이 없으며, Si₃N₄가 포함된 적층 구조의 절연막이 메모리 소자의 터널 절연막으로 적용 가능함을 확인 하였다.

그림 5는 PRA 공정 후 ONO, NON 절연막과 SiO₂ 단층 절연막의 C-V 특성을 나타낸다. ONO,

NON의 적층된 절연막과 SiO₂ 단층 절연막 모두 PRA 공정 후에 절연막 내부에 존재하던 fixed charge의 감소로 V_{FB}가 positive 방향으로 이동하였다. 또한 절연막과 Si 기판사이 계면에 interface state가 감소하여 그래프의 기울기가 증가하였다 [11]. 따라서 기판과 절연막 사이 interface state가 낮은 전계 영역에서 절연막에 흐르는 누설전류에 영향을 주는 것으로 사료된다.

결론적으로 최적화된 열처리 공정을 실시하여 ONO, NON 절연막의 터널링 전류특성을 더욱 향상시킬 수 있으며 TBE 기술을 이용한 ONO, NON이 적층된 터널링 절연막의 실제 비휘발성 플래시 메모리 소자에 적용 가능성을 확인하였다.

4. 결 론

SiO₂와 Si₃N₄를 대칭적으로 적층시킨 TBE- MOS capacitor를 제작하여 터널링 전류특성과 열처리가 전류특성에 미치는 효과를 연구하였다. ONO, NON의 적층된 절연막이 SiO₂ 단층의 절연막과 비교하여 높은 전계영역에서 큰 터널링 전류를 나타내었고 낮은 전계영역에서 적은 누설 전류를 나타내었다. 따라서 TBE 기술이 적층된 ONO, NON이 적층된 절연막을 비휘발성 플래시 메모리의 터널링 절연막으로 적용할 경우 빠른 동작특성과 긴 데이터 보존 특성을 기대할 수 있다. 그리고 최적화된 열처리 공정을 실시하면 ONO, NON적층 구조의 전류 특성을 더욱 향상시킬 수 있다.

감사의 글

이 논문은 지식경제부 주관 차세대 테라비트급 비휘발성메모리 개발 사업의 지원에 의해 연구되었음.

참고 문헌

[1] S. Lai, "Tunnel oxide and ETOX™ flash scaling limitation", Int'l Non-Volatile Memory Technology Conf, p. 6, 1998.
 [2] K. Licharev, "Layered tunnel barriers for

non-volatile memory devices", Appl. Phys. Lett., Vol. 72, No. 15, p. 2137, 1998.
 [3] A. Korotkov, "Resonant fowler-nordheim tunnelling through layered tunnel barriers", IEDM Tech. Dig., p. 223, 1999.
 [4] B. Govoreanu, P. Blomme, M. Rosmeulen, J. V. Houdt, and K. D. Meyer, "VARIOT: A novel multilevel tunnel barrier concept for low-voltage non-volatile memory devices", IEEE Electron Device Lett., Vol. 24, No. 2, p. 99, 2003.
 [5] J. W. Jung and W. J. Cho, "Tunnel barrier engineering for non-volatile memory", Journal of Semiconductor Technology and Science, Vol. 8, No. 1, p. 32, 2008.
 [6] J. Buckley, B. D. Salvo, G. Ghibaudo, M. Gely, J. F. Damlencourt, F. Martin, G. Nicotra, and S. Deleonibus, "Investigation of SiO₂/HfO₂ gate stacks for application to non-volatile memory devices", Solid-State Electron., Vol. 49, p. 1833, 2005.
 [7] G. D. Wilk, R. M. Wallace, and J. M. Anthony, "High-k gate dielectrics: Current status and materials properties considerations", J. Appl. Phys., Vol. 89, p. 5243, 2001.
 [8] Y. S. Lo, K. C. Liu, J. Y. Wu, C. H. Hou, and T. B. Wu, "Band-gap engineering of tunnel oxide with multistacked layers of Al₂O₃/HfO₂/SiO₂ for Au-nanocrystal memory application", Appl. Phys. Lett., Vol. 93, p. 132907, 2008.
 [9] Y. Liu, S. Dey, S. Tang, D. Q. Kelly, J. Sarkar, and S. K. Banerjee, "Improved performance of SiGe nanocrystal memory with VARIOT tunnel barrier", IEEE Trans. Electron. Devices, Vol. 53, p. 2598, 2006.
 [10] B. Bhushan and S. P. Murarka, "Stress in silicon dioxide films deposited using chemical vapor deposition techniques and the effect of annealing on these stresses", J. Vac. Sci. Technol. B., Vol. 8, No. 5, p. 1068, 1990.
 [11] D. A. Neamen, "Semiconductor Physics and Device: Basic Principles, Trd Edition", McGraw Hill, p. 450, 2002.