

# HfO<sub>2</sub>/Hf/Si MOS 구조에서 나타나는 HfO<sub>2</sub> 박막의 물성 및 전기적 특성

## Electrical and Material Characteristics of HfO<sub>2</sub> Film in HfO<sub>2</sub>/Hf/Si MOS Structure

배군호<sup>1</sup>, 도승우<sup>1</sup>, 이재성<sup>2</sup>, 이용현<sup>1,a</sup>

(Kun-Ho Bae<sup>1</sup>, Seung-Woo Do<sup>1</sup>, Jae-Sung Lee<sup>2</sup>, and Yong-Hyun Lee<sup>1,a</sup>)

### Abstract

In this paper, Thin films of HfO<sub>2</sub>/Hf were deposited on p-type wafer by Atomic Layer Deposition (ALD). We studied the electrical and material characteristics of HfO<sub>2</sub>/Hf/Si MOS capacitor depending on thickness of Hf metal layer. HfO<sub>2</sub> films were deposited using TEMAH and O<sub>3</sub> at 350 °C. Samples were then annealed using furnace heating to 500 °C. Round-type MOS capacitors have been fabricated on Si substrates with 2000 Å-thick Pt top electrodes. The composition rate of the dielectric material was analyzed using TEM (Transmission Electron Microscopy), XRD (X-ray Diffraction) and XPS (X-ray Photoelectron Spectroscopy). Also the capacitance-voltage (C-V), conductance-voltage (G-V), and current-voltage (I-V) characteristics were measured. We calculated the density of oxide trap charges and interface trap charges in our MOS device. At the interface between HfO<sub>2</sub> and Si, both Hf-Si and Hf-Si-O bonds were observed, instead of Si-O bond. The sandwiched Hf metal layer suppressed the growing of SiO<sub>x</sub> layer so that HfSi<sub>x</sub>O<sub>y</sub> layer was achieved. And finally, the generation of both oxide trap charge and interface trap charge in HfO<sub>2</sub> film was reduced effectively by using Hf metal layer.

**Key Words** : ALD(Atomic layer deposition), HfO<sub>2</sub>, Hf, SiO<sub>x</sub> layer, Oxide charge

### 1. 서론

실리콘 산화막(SiO<sub>2</sub>)은 비교적 큰 밴드 갭(band gap)과 열역학적 안정성, 기존 CMOS (complementary metal-oxide-semiconductor) 공정기술과의 적합성, 실리콘 기판과의 탁월한 계면특성, 낮은 누설전류, 그리고 장기적인 신뢰성 등의 우수한 특성으로 인해 CMOS 기술에서 게이트 유전체(gate dielectrics)로 사용되고 있다[1]. 하지만 게이트 유전체의 두께가 얇아짐에 따라 SiO<sub>2</sub>는 누설전류가 크게 증가하여 효율성에 한계에 달하였다[2]. 이를 대체할 물질로서 high-k 물질인 Ta<sub>2</sub>O<sub>5</sub>,

Al<sub>2</sub>O<sub>3</sub>, Si<sub>3</sub>N<sub>4</sub>, ZrO<sub>2</sub>, 및 HfO<sub>2</sub> 등이 연구되고 있다 [3-7]. 이 중에서 HfO<sub>2</sub>는 SiO<sub>2</sub>를 대체할 물질로 많은 관심을 받고 있다. HfO<sub>2</sub>는 ~25의 높은 유전상수(dielectric constant)를 가지면서 비교적 높은 에너지 밴드 갭(5.68 eV)의 의해 누설전류를 최소화할 수 있다. 또 실리콘과 유사한 열팽창계수와 lattice mismatch(~5 %)를 가진다[7]. 반면, HfO<sub>2</sub>는 게이트 유전체로서 CMOS 공정에 적용하는데 몇 가지 문제를 가지고 있다. 실리콘 웨이퍼 위에 HfO<sub>2</sub>를 증착하였을 때 산소와 실리콘의 상호확산에 의해 의도하지 않은 저유전체가 발생되어 정전용량이 작아지게 되고 CMOS 적용 시 charge trapping 및 channel 이동도 열화 등의 문제가 발생한다[1]. 본 논문에서는 HfO<sub>2</sub>와 실리콘 웨이퍼 사이에 Hf metal layer를 증착하여 산소와 실리콘의 확산을 막고 저유전체 생성을 억제하여 정전용량을 비교적 크게 하고 oxide trapped 전하량과 interface trap density를 감소시키고자 한다. 또 Hf

1. 경북대학교 전자전기컴퓨터공학부  
(대구시 북구 산격동 1370)  
2. 위덕대학교 정보통신공학부  
a. Corresponding Author : yhlee@ee.knu.ac.kr  
접수일자 : 2008. 4. 7  
심사완료 : 2009. 1. 5

metal layer의 두께를 다르게 증착하여 더 효율적인 Hf metal layer의 두께를 알고자한다.

## 2. 실험

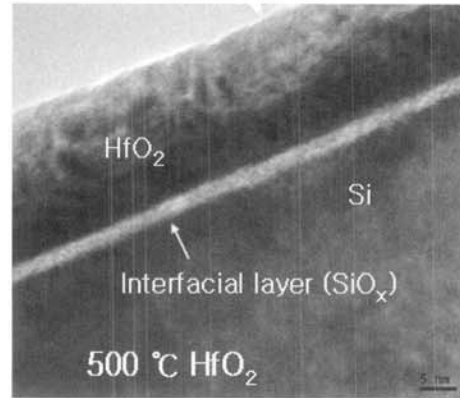
p-type(100) 웨이퍼의 native oxide를 제거한 후 ALD 방법을 이용하여  $\text{HfO}_2/\text{Hf}$  박막을 증착하였다. ALD는 원자단위로 증착할 수 있어 박막의 두께를 쉽게 조절 할 수 있다.  $\text{HfO}_2$  증착의 Hf 전구로  $\text{TEMAH}$ [Tetrakis(ethylmethylamino)-hafnium]를 사용하였고 산소의 전구체로는  $\text{O}_3$ 를 사용하였다.  $350^\circ\text{C}$ ,  $0.7\text{ Torr}$  조건에서 Hf의 전구체만으로 Hf metal thin flim을 5층(layer) 및 10층(layer) 증착한 후 Hf과 산소를 교대로 증착하여  $\text{HfO}_2$  150층(layer)을 증착하였다. 박막의 열처리공정은 가열로(furnace)를 이용하여  $500^\circ\text{C}$  및  $600^\circ\text{C}$ 의  $\text{N}_2$  분위기에서 각각 20분간 하였다. 열처리공정 후 E-beam evaporator를 이용하여  $\text{Pt}(2000\text{ \AA})/\text{Ti}(100\text{ \AA})$  금속전극을 형성하여 round-type의 MOS 커패시터를 제작하였다. 제작된 커패시터는  $400^\circ\text{C}$ 에서 20분간 열처리 공정(metal alloy)를 하였다.  $\text{HfO}_2$ 와 Si 사이의 계면층 형성을 알아보기 위해 TEM 측정을 하였고 XPS를 통해 계면층의 화학적 조성을 분석하였다. HP 4156과 HP 4280을 이용하여 각각 I-V, C-V, G-V를 측정하여 분석하고 이를 통해 Interface state density와 Oxide trap 전하량을 계산하였다.

## 3. 결과 및 고찰

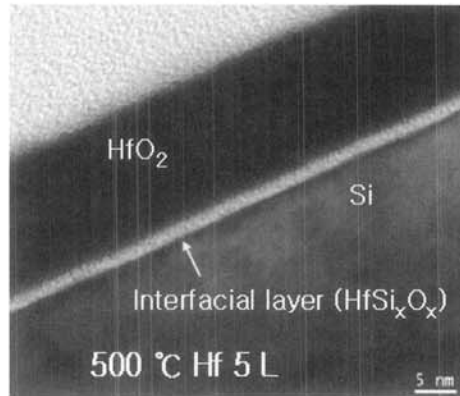
그림 1은  $\text{HfO}_2/\text{Si}$  구조와  $\text{HfO}_2/\text{Hf}/\text{Si}$  구조의  $500^\circ\text{C}$  열처리공정 후 단면을 TEM 측정한 것이다.

$\text{HfO}_2/\text{Si}$  구조와  $\text{HfO}_2/\text{Hf}/\text{Si}$  구조 모두에서 계면층이 형성된다. 하지만 Hf metal layer가 있는 경우 실리콘과 산소의 직접적인 확산을 억제하여 새로운 계면층이 형성 된 것으로 사료된다.

그림 2는  $500^\circ\text{C}$ 에서 열처리 전, 후의  $\text{HfO}_2/\text{Hf}$  박막과  $\text{HfO}_2$  박막의 깊이 방향에 대한 화학적 구조를 찾아내기 위한 XPS 분석 결과이다. bulk에 대한 Hf 4f peak는  $17 \sim 20\text{ eV}$  범위에서 측정된다. 이 Hf-O의 결합(bond)을 나타낸다. bulk에서 Si 2p spectra의 결합에너지(binding energy)는 발견되지 않는다. Si 2p spectra에서  $99\text{ eV}$ 의 peak는 실리콘 기반의 Si-Si결합을 나타내고  $102\text{ eV}$ 의



(a)  $\text{HfO}_2/\text{Si}$  structure



(b)  $\text{HfO}_2/\text{Hf}/\text{Si}$  structure

그림 1. (a)  $\text{HfO}_2/\text{Si}$  및 (b)  $\text{HfO}_2/\text{Hf}/\text{Si}$  구조의 TEM 단면도.

Fig. 1. A cross section TEM image of a deposited (a)  $\text{HfO}_2/\text{Si}$  and (b)  $\text{HfO}_2/\text{Hf}/\text{Si}$  structures.

peak는 Hf-O-Si 결합을 의미한다[8]. 또,  $103\text{ eV}$ 에서 나타나는 peak는 Si-O의 결합을 의미한다. 그림 2(b)에서 열처리한  $\text{HfO}_2$  박막의 경우 열처리하기 전과 후의  $\text{HfO}_2/\text{Hf}$  박막에서 나타나는  $102\text{ eV}$ 의 Hf-O-Si의 peak가 나타나지 않음을 확인할 수 있으며,  $\text{HfO}_2$  박막에서는  $103.3\text{ eV}$ 의 Si-O의 peak가 약하게 나타난다. 그림 2(a)를 보면 계면층의 Hf 4f spectra에서  $14\text{ eV}$ 의 Hf silicide peak가 보이지만 그림 2(b) Si 2p spectra에서는 Hf silicate ( $\text{HfSi}_x\text{O}_y$ ) peak 밖에 나타나지 않는다. 이와 같은 XPS 분석결과를 보아 ALD로 증착한  $\text{HfO}_2/\text{Hf}/\text{Si}$  구조는 증착과정과 열처리과정에서  $\text{HfO}_2/\text{SiO}_x/\text{Si}$  구조가 아닌  $\text{HfO}_2/\text{HfSi}_x\text{O}_y/\text{Si}$ 로 변형된 것을 확인 할 수 있다.

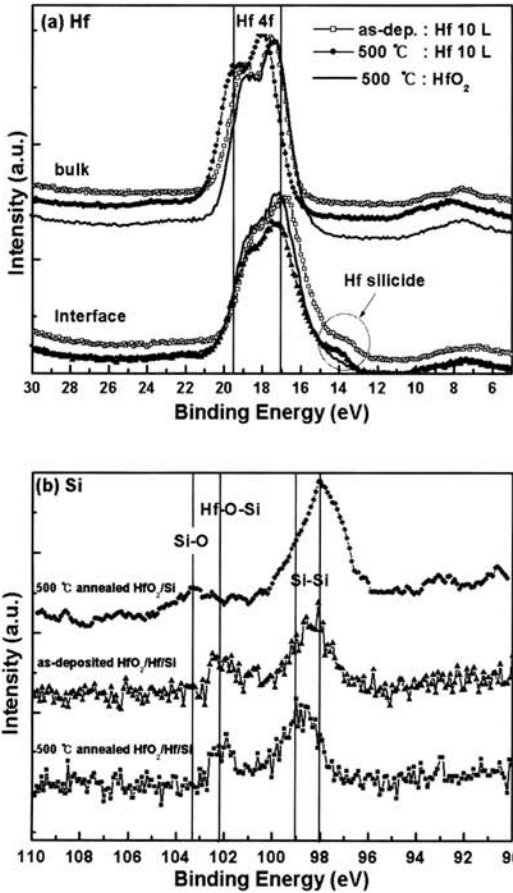


그림 2. as-deposition 상태의 HfO<sub>2</sub>/Hf과 500 °C 열처리한 HfO<sub>2</sub>/Hf 박막의 (a) Hf 4f 와 (b) Si 2p XPS 스펙트라.  
 Fig. 2. (a) Hf 4f and (b) Si 2p XPS spectra for as-deposited HfO<sub>2</sub>/Hf and 500 °C annealed HfO<sub>2</sub>/Hf thin film.

그림 3은 HfO<sub>2</sub>/Si 구조와 HfO<sub>2</sub>/Hf/Si 구조의 열처리 온도에 따른 HfO<sub>2</sub>의 결정성을 알아보기 위한 XRD 측정결과이다. HfO<sub>2</sub>/Si 구조는 500 °C 열처리 후 단사정계(monoclinic) peak가 보인다. 500 °C에서 결정화가 되어 비정질(amorphous)에서 결정(crystalline)으로 변형된 것을 알 수 있다. 반면 HfO<sub>2</sub>/Hf/Si 구조는 Hf metal layer 두께가 5 layer, 10 layer인 경우에는 500 °C 열처리 시 비정질 상태를 유지하다 600 °C에서 단사정계 peak를 보이며 결정화 된다. 상대적으로 높은 온도에서 결정화가 이루어지는 Hf silicate 계면층이 HfO<sub>2</sub>와 단결정

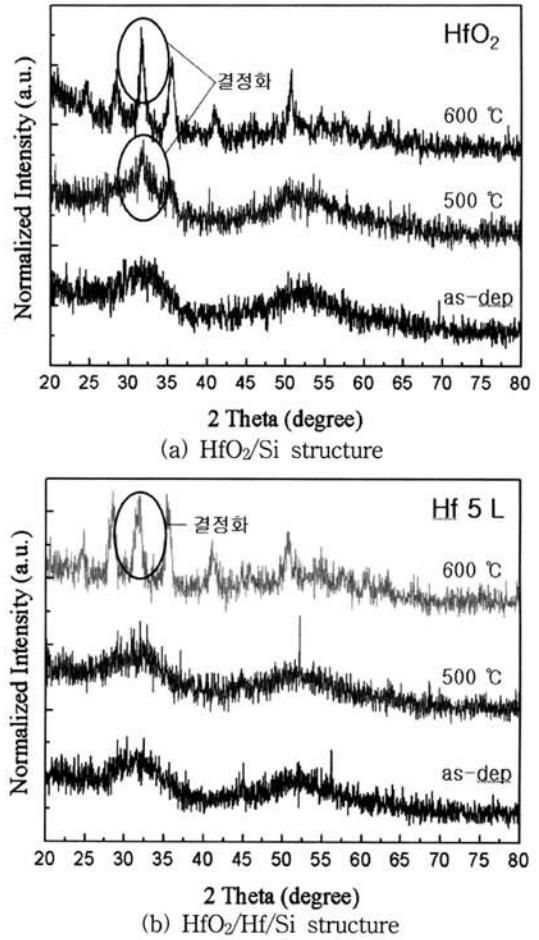


그림 3. 열처리 온도에 따른 (a) HfO<sub>2</sub> 박막 및 (b) HfO<sub>2</sub>/Hf 박막의 XRD 스펙트라.  
 Fig. 3. XRD spectra of a deposited (a) HfO<sub>2</sub> and (b) HfO<sub>2</sub>/Hf films.

(single-crystal)인 Si과의 직접적인 접촉을 막아 HfO<sub>2</sub>/Si 구조에 비해 높은 온도에서 결정화 되는 것으로 사료된다[9].

그림 4는 HfO<sub>2</sub>/Hf/Si 구조와 HfO<sub>2</sub>/Si 구조의 온도에 따른 I-V 특성곡선이다. HfO<sub>2</sub>/Hf/Si 구조가 HfO<sub>2</sub>/Si 구조에 비해 더 작은 누설전류 특성을 가지며 특히, 5 layer일 때 더 작은 누설전류 특성을 가진다. 또 HfO<sub>2</sub>/Hf/Si 구조는 500 °C 열처리 전과 후 거의 비슷한 누설전류 특성을 가지지만 HfO<sub>2</sub>/Si 구조는 500 °C 열처리 후 결정화로 인해 더 큰 누설전류 특성을 가지며 Hf metal layer가 있는 구조에 비해 breakdown 현상도 더 빨리 일어난다.

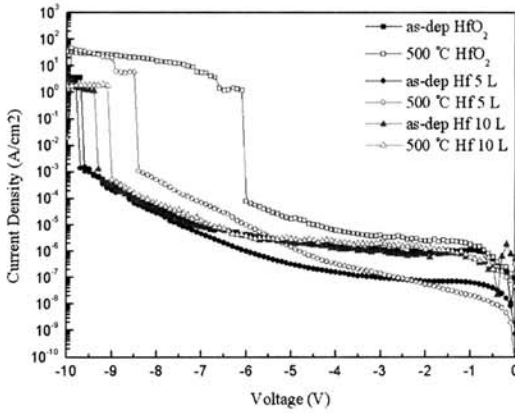


그림 4. Hf metal layer 두께에 따른 HfO<sub>2</sub> MOS capacitor의 I-V 특성.

Fig. 4. I-V characteristics of HfO<sub>2</sub> MOS capacitor as a function of Hf metal layer thickness.

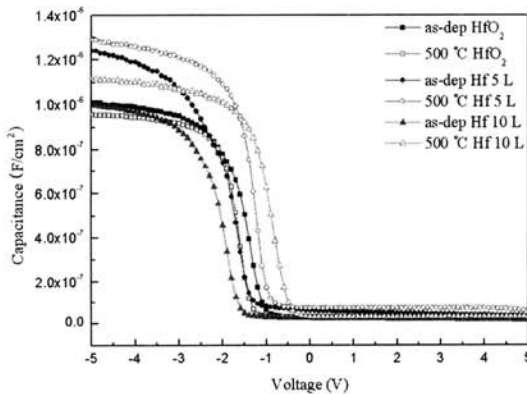


그림 5. Hf metal layer 두께에 따른 HfO<sub>2</sub> MOS capacitor의 C-V 특성.

Fig. 5. C-V characteristics of HfO<sub>2</sub> MOS capacitor as a function of Hf metal layer thickness.

그림 5는 HfO<sub>2</sub>/Si구조와 HfO<sub>2</sub>/Hf/Si 구조의 Pt 전극 MOS capacitor의 C-V 특성곡선이다. Hf metal layer가 있는 구조는 HfO<sub>2</sub>/Si 구조에 비해 높은 정전용량을 가진다. 이는 Hf metal layer가 HfO<sub>2</sub>와 Si 사이 계면에 저유전물질의 생성을 억제하고 보다 높은 유전상수를 가지는 HfSi<sub>x</sub>O<sub>y</sub>가 생성되었기 때문이다. 또, Hf metal layer가 열처리과정에서 실리콘과 산소의 상호확산을 막아 저유전

체(SiO<sub>x</sub>)의 생성을 억제하기 때문에 HfO<sub>2</sub>/Hf/Si 구조는 500 °C 열처리에 의해 보다 높은 정전용량을 얻을 수 있지만 HfO<sub>2</sub>/Si 구조는 열처리 후 낮은 정전용량을 가진다. 10 layer에 비해 5 layer일 때 더 높은 정전용량을 가지며 barrier로서 효과적이라는 것을 알 수 있다.

그림 6은 HfO<sub>2</sub>/Si 구조와 HfO<sub>2</sub>/Hf/Si 구조의 oxide trapped 전하량을 보여준다. C-V를 측정하여 식 (1)을 이용하여 oxide trapped 전하량을 계산하였다.

$$Q_{ot} = \frac{(C_{acc} \cdot \Delta V_{FB})}{q} \quad (1)$$

식 (1)에서  $\Delta V_{FB}$ 는 accumulation 영역에서 inversion 영역으로, 다시 inversion 영역에서 accumulation 영역으로 C-V 측정을 하는 동안 flat-band 전압의 차이를 말한다.  $C_{acc}$ 는 accumulation 커패시턴스를 말한다[10]. 그림 6에서 HfO<sub>2</sub>/Si 구조에 비해 HfO<sub>2</sub>/Hf/Si 구조가 더 작은 oxide trapped charge를 가진다. oxide trap은 주로 산소 빈공간(vacancy)에서 발생하며, Si 웨이퍼와 만나는 계면(~2 nm)에 집중되어 존재한다. 이는 실리콘과 산소의 상호확산에 의해 산소가 이동하는 것과 관계가 있다[11]. HfO<sub>2</sub>/Hf/Si 구조에서 Hf metal layer가 산소의 확산을 막아 oxide trap의 생성을 억제하는 것으로 사료된다.

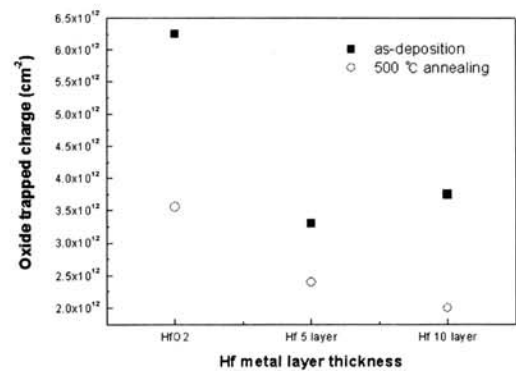


그림 6. HfO<sub>2</sub>/Hf/Si 구조에서 Hf metal layer 두께에 따른 oxide trapped charge 비교.

Fig. 6. Comparison of oxide trapped charge for Hf metal layer thickness in HfO<sub>2</sub>/Hf/Si structure.

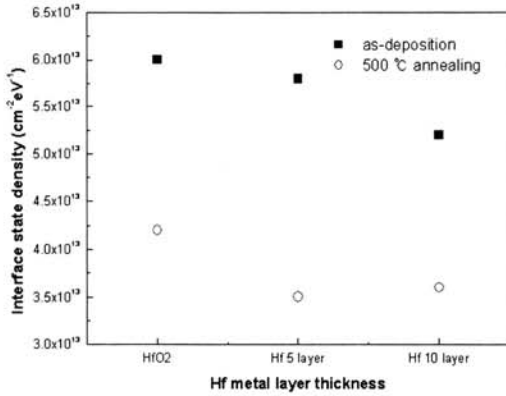


그림 7. HfO<sub>2</sub>/Hf/Si 구조에서 Hf metal layer 두께에 따른 interface state density 비교.

Fig. 7. Comparison of interface state density for Hf metal layer thickness in HfO<sub>2</sub>/Hf/Si structure.

그림 7은 HfO<sub>2</sub>/Si 구조와 HfO<sub>2</sub>/Hf/Si 구조의 interface state density를 C-V, G-V 측정값을 이용하여 Hill-Coleman method로 계산한 결과이다.

$$D_{it} = \frac{2}{qA} \frac{G_{max}/w}{[(G_{max}/wC_{acc})^2 + (1 - C_{mc}/C_{acc})^2]} \quad (2)$$

식 (2)에서 A는 capacitor의 면적이다. C<sub>max</sub>와 G<sub>max</sub>는 각각 측정된 커패시턴스와 컨덕턴스의 최대값이고 C<sub>mc</sub>는 corresponding 커패시턴스를 의미한다[10,12]. 그림 7에서 HfO<sub>2</sub>/Si 구조에 비해 HfO<sub>2</sub>/Hf/Si 구조에서 interface state density가 작은 것을 알 수 있다. HfO<sub>2</sub>와 Si 웨이퍼 사이에 생성되는 비정질(amorphous) 실리콘 산화물은 Si wafer 결합에서 많은 dangling bond를 유발하게 된다. 이로 인하여 결합이 발생하고 interface state density가 커지게 되는데[13], HfO<sub>2</sub>/Hf/Si 구조에서는 Hf metal layer의 영향으로 Hf silicate가 되면서 이런 효과를 약화시키는 것으로 사료된다. HfO<sub>2</sub>/Si 및 HfO<sub>2</sub>/Hf/Si 두 구조 모두에서 500 °C 열처리 과정 이후 interface state density가 감소하는 것을 확인 할 수 있다.

#### 4. 결론

본 논문에서는 MOS 구조의 게이트 유전체로서 HfO<sub>2</sub>/Hf/Si구조의 유용성과 Hf metal layer 두께

에 따른 HfO<sub>2</sub>의 물성 및 전기적 특성을 분석 하였다. Hf metal layer는 HfO<sub>2</sub>와 Si 사이에 생기는 저 유전물질인 SiO<sub>x</sub>의 생성을 억제하고 유전율이 높은 HfSi<sub>x</sub>O<sub>y</sub>를 생성시킨다. 이로 인해 HfO<sub>2</sub>/Hf/Si 구조는 HfO<sub>2</sub>/Si 구조에 비해 더 높은 정전용량을 가지며 oxide trapped charge와 interface state density가 감소하게 된다. 또, HfO<sub>2</sub>/Hf/Si 구조는 HfO<sub>2</sub>/Si 구조보다 상대적으로 낮은 누설전류 특성을 가진다. 특히 Hf metal layer의 두께가 비교적 작은 5 layer 일 때 가장 높은 정전용량과 낮은 누설전류 특성을 가진다. 또한 Hf metal layer가 존재함으로써 열처리에 의한 HfO<sub>2</sub>의 결정화를 다소 억제할 수 있어, MOS 소자의 게이트 절연막으로 HfO<sub>2</sub> 박막 사용을 가능하게 하였다.

#### 참고 문헌

- [1] K. J. Hubbard and D. G. Schlom, "Thermodynamic stability of binary oxides in contact with silicon", J. Mater. Res., Vol. 11, p. 2757, 1996.
- [2] Y. H. Kim and Jack C. Lee, "Reliability characteristics of high-k dielectrics", Microelectronics Reliability, Vol. 44, p. 183, 2004.
- [3] B. H. Lee, Y. Jeon, K. Zawadzki, W. J. Qi, and J. C. Lee, "Effect of interfacial layer growth on the electrical characteristics of thin titanium oxide films on silicon", Appl. Phys. Lett., Vol. 74, p. 3143, 1999.
- [4] S. B. Chen, C. H. Lai, and A. Chin, "High-density MIM capacitor using Al<sub>2</sub>O<sub>3</sub> and AlTiO<sub>x</sub> dielectrics", IEEE Electron. Device. Lett., Vol. 23, No. 4, p. 185, 2002.
- [5] S. C. Song, H. F. Luan, M. Gardner, J. Fulford, M. Allen, and D. L. Kwong, "Ultra Thin(<20 Å) CVD Si<sub>3</sub>N<sub>4</sub> Gate Dielectric for Deep-Sub-Micron CMOS Devices", IEDM Tech. Dig., p. 373, 1998.
- [6] R. Nieh, S. Krishnan, J. Cho, C. Kang, S. Gopalan, K. Onishi, R. Choi, and J. C. Lee, "Comparison between ultra-thin ZrO<sub>2</sub> and ZrO<sub>x</sub>N<sub>y</sub> gate dielectrics in TaN or poly-gated nMOSCAP and nMOSFET devices", 2002 VLSI symposium Dig., p. 186, 2002.
- [7] T. H. Moon and J. M. Myoung, "Effects of

- oxygen flow rate on the properties of HfO<sub>2</sub> layers grown by metalorganic molecular beam epitaxy", *App. Surf. Sci.*, Vol. 240, p. 197, 2005.
- [8] A. Ogawa, K. Iwamoto, H. Ota, Y. Morita, M. Ikeda, T. Nabatame, and A. Toriumi, "0.6 nm-EOT high-k gate stack with HfSiO<sub>x</sub> interfacial layer grown by solid-phase reaction between HfO<sub>2</sub> and Si substrate", *Microelectronic Engineering*, Vol. 84, p. 1861, 2007.
- [9] C. C. Yeo, M. S. Joo, B. J. Cho, and S. J. Whang, "Effect of annealing on the composition and structure of HfO<sub>2</sub> and nitrogen-incorporated HfO<sub>2</sub>", *Thin Solid Films*, Vol. 462, p. 90, 2004.
- [10] S. Chatterjee, Y. Kuo, and J. Lu, "Thermal annealing effect on electrical properties of metal nitride gate electrodes with hafnium oxide gate dielectrics in nano-metric MOS devices", *Microelectronic Engineering*, Vol. 85, p. 202, 2008.
- [11] K. Tse, D. Liu, K. Xiong, and J. Robertson, "Oxygen vacancies in high-k oxides", *Microelectronic Engineering*, Vol. 84, Issues 9-10, p. 2028, 2007.
- [12] S. Karadeniz, A. Birkan Secuk, N. Tugluoglu, and S. Bilge Ocak, "On the interface trap density and series resistance of tin oxide film prepared on n-type Si (111) substrate: Frequency dependent effect before and after Co r-ray irradiation", *Nuclear Instruments and Physics Research B*, Vol. 259, p. 889, 2007.
- [13] M. Liu, G. He, L. Q. Zhu, Q. Fang, G. H. Li, and L. D. Zhang, "Microstructure and interfacial properties of HfO<sub>2</sub>-Al<sub>2</sub>O<sub>3</sub> nanolaminate films", *App. Surf. Sci.*, Vol. 252, p. 6206, 2006.