

공정 및 공급전압 변화에 강인한 하프브리지 구동 IC의 설계

Design of a Robust Half-bridge Driver IC to a Variation of Process and Power Supply

송기남¹, 김형우², 김기현², 서길수², 장경운³, 한석봉^{1,a}

(Ki-Nam Song¹, Hyoung-Woo Kim², Ki-Hyun Kim², Kil-Soo Seo², Kyung-Oun Jang³, and Seok-Bung Han^{1,a})

Abstract

In this paper, we propose a novel shoot-through protection circuit and pulse generator for half-bridge driver IC. We designed a robust half-bridge driver IC over a variation of processes and power supplies. The proposed circuit is composed a delay circuit using a beta-multiplier reference. The proposed circuit has a lower variation rate of dead time and pulse-width over variation of processes and supply voltages than the conventional circuit. Especially, the proposed circuit has more excellent pulse-width matching of set and reset signals than the conventional circuit. Also, the proposed pulse generator is prevented from fault operations using a logic gate. Dead time and pulse-width of the proposed circuit are typical 250 ns, respectively. The variation ratio is 68%(170 ns) of maximum over variation of processes and supply voltages. The proposed circuit is designed using 1 μm 650 V BCD (Bipolar, CMOS, DMOS) process parameter, and the simulations are carried out using Spectre simulator of Cadence corporation.

Key Words : Half-bridge converter, Half-bridge driver IC, High voltage gate driver, Shoot-through

1. 서론

공진형 하프브리지 컨버터는 500 W 이하의 의료장비와 LCD(Liquid Crystal Display) 및 PDP (Plasma Display Panel) TV의 전원공급 장치로 널리 사용된다. 이 컨버터는 EMI 특성이 우수하고, 영 전압 스위칭(zero voltage switching)이 가능한 장점을 가지지만, 파워 스위치를 구동하기 위해 별도의 구동 IC(Integrated Circuit)와 숏-스루 보호회로를 필요로 한다[1]. 특히 LCD TV의 수요가 급증하면서, 국내에서도 하프브리지 컨버터의 구동 IC 연구가 활발하게 진행되고 있다[2,3].

일반적으로 하프브리지 구동 IC는 상단 파워 스위치와 하단 파워 스위치가 동시에 턴-온 되는 숏-스루(shoot-through) 현상을 방지하기 위해 숏-스루 보호회로를 포함한다. 또한 상단 파워 스위치를 구동하기 위해 고전압의 레벨슈프트 회로가 필요하며, 이러한 레벨슈프트 회로는 고전압 레일과 직접적으로 연결되어 있기 때문에 전력소모가 매우 크다. 따라서 하프브리지 구동 IC는 레벨슈프트 회로의 전력소모를 감소시키기 위해, 짧은 펄스 신호를 만드는 펄스 생성기가 요구된다[4].

기존의 숏-스루 보호회로와 펄스 생성기는 지연 회로를 이용하여 데드타임(dead time)과 셋(set) 및 리셋(reset) 신호의 펄스폭을 생성한다. 지연회로는 일반적으로 RC 시정수를 이용하거나, 채널길이가 긴 CMOS(Complementary Metal Oxide Semiconductor) 인버터로 구성된다[5,6]. RC 지연회로 및 CMOS 인버터 지연회로의 경우, 공정 및 공급전압 변화에 대한 데드타임과 펄스폭의 변동이 매우 큰 단점을 가진다. 이러한 데드타임 및 펄스폭의 큰 변동은

1. 경상대학교 전자공학과 공학연구원
(경남 진주시 가좌동 900)

2. 한국전기연구원 에너지반도체 연구센터

3. 페어차일드코리아 반도체 주식회사

a. Corresponding Author : hsb@gnu.ac.kr

접수일자 : 2009. 6. 8

1차 심사 : 2009. 9. 11

심사완료 : 2009. 9. 21

공진형 하프브리지 컨버터의 전력효율 감소 또는 전력소모 증가의 원인이 된다. 특히 기존의 펄스 생성기는 지연회로의 상승시간과 하강시간이 일치하지 않아, 셋 신호와 리셋 신호의 펄스폭이 다른 경우가 발생한다. 이러한 셋 및 리셋 신호의 불일치에 의해 하프브리지 구동 IC의 오동작이 발생할 수 있다.

본 논문에서는 새로운 숏-스루 보호회로와 펄스 생성기를 제안하여 공정 및 공급전압 변화에 강인한 하프브리지 구동 IC를 설계하였다. 제안한 회로는 베타-곱 기준회로[7]를 이용한 지연회로를 포함한다. 기준회로보다 공정 및 공급 전압변화에 대한 데드타임 및 펄스폭의 변동이 적으며, 특히 펄스 생성기의 셋 및 리셋 신호의 펄스폭 매칭이 매우 우수하다. 또한 펄스 생성기는 래치 회로의 입력 신호가 동시에 '1'일 때, 리셋 신호를 우선시하는 회로를 추가하여 오동작을 방지한다. 제안한 회로는 1 μ m 650 V BCD(Bipolar, CMOS, DMOS) 공정 파라미터를 사용하여 설계되었으며, Cadence사의 Spectre를 이용하여 모의실험을 수행하였다.

2. 하프브리지 구동 IC와 기존의 문제점

2.1 하프브리지 구동 IC의 구조와 동작

그림 1은 하프브리지 구동 IC의 블록도를 나타내고 있다. PFM 신호가 인가되면, 숏-스루 보호회로에 의해 상단(high-side) 제어 신호와 하단(low-side) 제어 신호가 생성된다. 이 상단 및 하단 제어 신호는 일정한 데드타임을 가지고 있기 때문에 파워 스위치의 숏-스루 현상을 방지한다. 상단 제어 신호는 펄스 생성기에 의해 셋 및 리셋 신호로 나뉜다. 펄스폭이 짧은 셋 및 리셋 신호는 레벨슈프트 회로의 전력소모를 감소시킨다. 고내압의 레벨슈프트 회로는 펄스 생성기의 출력에 연결되며, LDMOS(lateral double diffused MOS)와 저항으로 구성된, 두 개의 공통 소스 증폭기 형태를 가진다. 저항의 한 단자는 600 V 이상의 고전압 레일과 연결되고, 다른 한 단자는 LDMOS의 드레인에 연결된다. LDMOS의 게이트는 펄스 생성기에 포함된 전류 버퍼에 의해 구동된다. 이 때, 고내압 소자인 LDMOS의 드레인과 기판(substrate) 사이에는 큰 기생 커패시터가 존재하여, 플로팅 노드(VS)의 천이 구간에서 공통모드 dv/dt 노이즈가 발생한다. 이 dv/dt 노이즈에 의해서 하프브리지 구동 IC가 오동작을 하기 때문에, 레벨슈프트 회로의 출력에는 잡음제거회로(noise canceller)가 반드시 필요하

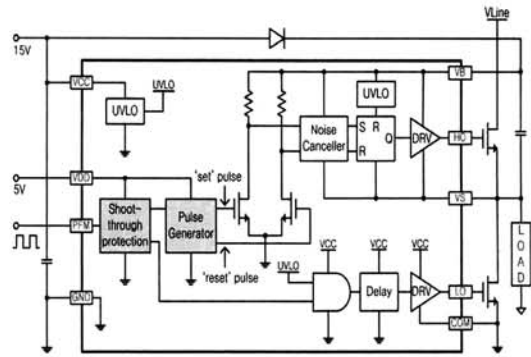


그림 1. 하프브리지 구동 IC의 블록도.

Fig. 1. Block diagram of half-bridge driver IC.

다. 잡음제거회로는 레벨슈프트 회로에서 전달된 셋 및 리셋 신호의 dv/dt 노이즈를 제거하고, 그 출력을 래치 회로로 전달한다. 래치 회로는 잡음제거회로와 상단 UVLO(under voltage lock out)의 출력을 입력받아 상단 파워 스위치를 구동하는 상단 구동 신호를 생성한다. 이 상단 UVLO는 상단 공급전압(VB)을 감지하여, 낮은 공급전압에서 파워 스위치가 턴-온 되는 것을 방지한다. 하단 UVLO 또한 같은 역할을 하며, 하단 제어 신호와 함께 하단 구동 신호를 생성한다. 하단의 지연회로(delay)는 상단 구동 신호와 하단 구동 신호의 전달 지연을 보상해준다. 일반적으로 하프브리지 구동 IC는 상단의 전압을 공급하기 위해 부트스트랩 방식을 이용하고 있으며, IC 외부에 부트스트랩 다이오드 및 커패시터가 사용된다. 하단 파워 스위치가 턴-온 될 때, VCC로부터 커패시터가 충전되어 상단에 전압을 공급한다.

이러한 하프브리지 구동 IC의 동작에서 숏-스루 보호회로와 펄스 생성기, 그리고 잡음제거회로는 매우 중요한 블록이다. 특히, 숏-스루 현상 방지 및 전력소모 감소를 위한 숏-스루 보호회로와 펄스 생성기는 IC의 입력에 위치하여 전체 동작에서 중요한 역할을 하고 있다. 하지만 기존의 숏-스루 보호회로와 펄스 생성기는 공정 및 공급전압 변화에 변동이 매우 큰 단점을 가지고 있다. 따라서 기존회로의 문제점을 개선하여, 공정 및 공급전압 변화에 강인한 하프브리지 구동 IC 설계가 필요하다.

2.2 기존 숏-스루 보호회로의 문제점

공진형 하프브리지 컨버터는 두 개의 파워 스위치가 동시에 턴-온 되는 숏-스루 현상이 발생할

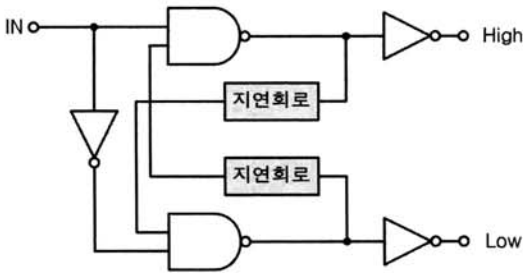


그림 2. 기존의 쏘트-스루 보호회로.
Fig. 2. Conventional shoot-through protection circuit.

수 있다. 이러한 쏘트-스루 현상은 파워 스위치를 파괴 시키거나, 시스템에 치명적인 영향을 미친다. 따라서 하프브리지 구동 IC는 이러한 쏘트-스루 현상을 방지하기 위하여 쏘트-스루 보호회로가 필요하다. 쏘트-스루 보호회로는 하나의 파워 스위치가 턴-오프 한 후, 미리 설정해 놓은 데드타임 이후에 다른 파워 스위치를 턴-온하게 한다.

그림 2는 기존의 쏘트-스루 보호회로를 나타낸다. 'IN' 신호가 인가되면, 'High' 신호와 'Low' 신호가 생성된다. 이 두 개의 신호는 각각 상단 제어 신호와 하단 제어 신호를 의미한다. 일반적으로 쏘트-스루 보호회로의 지연회로는 RC 시정수를 이용하거나, 채널길이가 긴 CMOS 인버터로 구성된다. RC 지연회로 및 CMOS 인버터 지연회로의 경우, 공정 및 공급전압 변화에 대한 데드타임의 변동이 매우 큰 단점을 가진다. 이러한 데드타임의 큰 변동은 하프브리지 컨버터에 문제점을 발생시킬 수 있다. 데드타임이 상단 구동 신호와 하단 구동 신호의 상승 및 하강시간보다 짧게 된다면, 쏘트-스루 현상이 발생하게 된다. 반대로 데드타임이 길게 된다면, 하프브리지 컨버터의 전력효율이 감소하게 된다. 이러한 문제점을 해결하기 위하여 하프브리지 구동 IC는 공정 및 공급전압 변화에 강인한 쏘트-스루 보호회로가 필요하다.

2.3 기존의 펄스 생성기의 문제점

하프브리지 구동 IC는 상단 파워 스위치를 구동하기 위하여 고전압의 레벨슈프트 회로가 필요하다. 레벨슈프트 회로는 고전압 레일과 직접적으로 연결되어 있기 때문에 전력소모가 매우 크다. 따라서 레벨슈프트 회로의 전력소모를 감소시키는 것이 하프브리지 구동 IC에서 중요한 설계 요소가

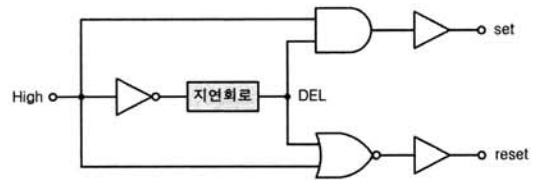


그림 3. 기존의 펄스 생성기.
Fig. 3. Conventional pulse generator.

된다. 최근에는 레벨슈프트 회로의 전력소모를 감소시키기 위하여 펄스폭이 짧은 두 개의 신호를 상단에 전달하는데, 그 이유는 식 (1)과 같이 레벨슈프트 회로에 흐르는 평균 전류가 구동 신호의 펄스폭과 비례하기 때문이다. 일반적으로 레벨슈프트 회로에 의해 상단에 전달되는 신호의 펄스폭은 250 ns가 적당하다[8].

$$I_{AV} = I_{peak} \cdot \frac{Pulse\ width}{Period} \cdot 2 \quad (1)$$

펄스 생성기는 일반적으로 그림 3과 같이 구성된다. 펄스 생성기의 입력은 쏘트-스루 보호회로의 출력인 'High' 신호이다. 'High' 신호가 인가되면, 'High' 신호의 상승 에지와 하강 에지를 감지하여 지연신호와 로직 연산을 통해 셋 신호와 리셋 신호를 생성한다. 펄스 생성기의 지연회로도 쏘트-스루 보호회로와 같이 RC 시정수를 이용하거나, 채널길이가 긴 CMOS 인버터로 구성된다. 따라서 공정 및 공급전압 변화에 대한 펄스폭의 변동이 매우 크다. 펄스폭이 길어지게 되면 레벨슈프트 회로의 전력소모가 증가하고, 반대로 짧아지게 되면 상단에 신호를 전달할 충분한 시간을 확보하지 못해 오동작이 발생할 수 있다.

한편, 공정 변동에 의해 PMOS와 NMOS의 전류 구동 능력이 변동했을 때, 지연회로의 상승시간과 하강시간이 일치하지 않게 된다. 지연회로의 상승시간과 하강시간이 일치하지 않을 경우, 셋 신호와 리셋 신호의 펄스폭이 다른 경우가 발생한다. 지연회로의 상승시간은 입력 신호와 NOR 연산을, 하강시간은 AND 연산을 하기 때문에 상승시간과 하강시간이 다르면 셋 및 리셋 신호의 펄스폭이 다르게 된다. 그림 4는 이러한 셋 및 리셋 신호의 펄스폭이 다르게 나타나는 원인을 보여주고 있다. 지연회로의 하강시간이 상승시간보다 크게 되면, 셋 신호가 리셋 신호의 펄스폭보다 크게 된다.

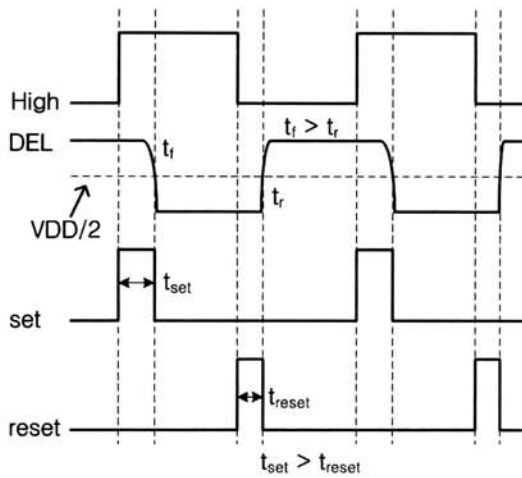


그림 4. 기존 펄스 생성기의 동작 특성.
 Fig. 4. Operation characteristics of conventional pulse generator.

하프브리지 구동 IC는 위에서 언급한 문제점을 해결하기 위하여 공정 및 공급전압의 변화에 강인한 펄스 생성기가 필요하다. 또한 셋 신호와 리셋 신호의 펄스폭을 같게 할 수 있는 새로운 구조의 펄스 생성기가 요구된다.

3. 공정 및 공급전압 변화에 강인한 하프브리지 구동 IC

3.1 베타-곱 기준회로를 이용한 지연회로

숫-스루 보호회로에서 공정 및 공급전압의 변화에 대한 변동을 줄이기 위해서는 이러한 변화에 강인한 지연회로가 요구된다. 그림 5는 베타-곱 기준회로를 이용한 지연회로를 나타낸다.

제안한 지연회로는 베타-곱 기준회로(M1-M8)와 스타트-업 회로(R₂, M9-M10), 그리고 채널길이 긴 CMOS 인버터(M13-M14, M15-M16)로 구성된다. 베타-곱 기준회로의 공정 및 공급전압과의 관계는 다음과 같은 식으로 표현할 수 있다.

$$V_{GS1} = V_{GS2} + I_{REF} \cdot R_1 \quad (2)$$

$$V_{GS} = \sqrt{\frac{2I_D}{\beta}} + V_{THN} \quad (3)$$

$$\beta = KP_n \cdot \frac{W}{L} \rightarrow W_2 = K \cdot W_1 \quad (4)$$

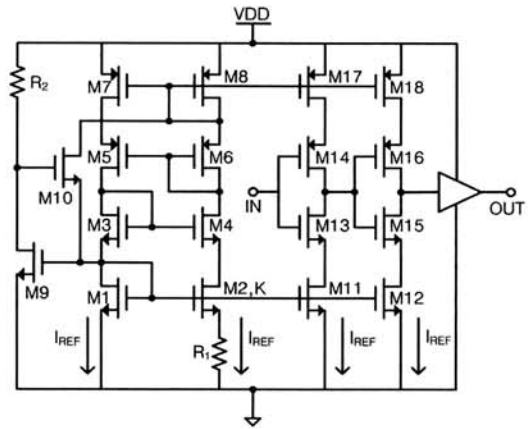


그림 5. 베타-곱 기준회로를 이용한 지연회로.
 Fig. 5. Delay circuit using a beta-multiplier reference.

식 (3)과 (4)를 식 (2)에 대입하여 정리하면, 기준전류는 다음과 같이 나타낼 수 있다.

$$I_{REF} = \frac{2}{R_1^2 KP_n \cdot \frac{W_1}{L_1}} \left(1 - \frac{1}{\sqrt{K}}\right)^2 \quad (5)$$

식 (5)에서 알 수 있듯이, 베타-곱 기준회로의 기준전류는 공급전압에 독립적이다. 그리고 K=4, 즉 M2의 채널 폭이 M1의 채널 폭의 4배가 된다면, 식 (6)과 같이 채널 컨덕턴스 g_m은 저항 R₁에 의해서만 결정된다. 즉, 베타-곱 기준회로는 공정 변화에도 독립적인 기준전류를 얻을 수 있다.

$$g_m = \sqrt{2KP_n \frac{W}{L}} \cdot I_{REF} = \frac{1}{R_1} \quad (6)$$

이와 같이 공정 및 공급전압 변화에 독립적인 기준전류는 M11과 M12, 그리고 M17과 M18에 의해 채널길이 긴 인버터에 흐르게 된다. 따라서 베타-곱 기준회로를 이용한 지연회로는 공정 및 공급전압 변화에 강인한 지연시간을 제공한다.

3.2 제안한 숫-스루 보호회로와 펄스 생성기

제안한 숫-스루 보호회로와 펄스생성기는 공정 및 공급전압 변화에 대한 데드타임과 펄스폭의 변동을 줄이기 위하여 베타-곱 기준회로를 이용한 지연회로를 포함하고 있다.

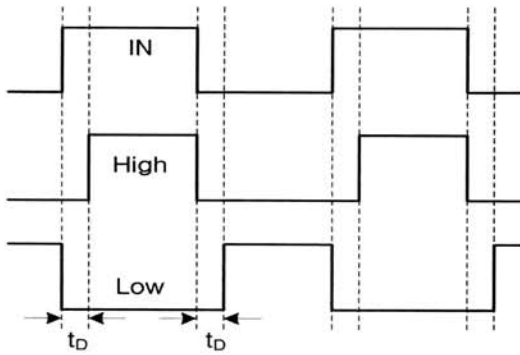


그림 6. 제안한 쏘트-스루 보호회로의 동작 특성.
Fig. 6. Operation characteristics of proposed shoot-through protection circuit.

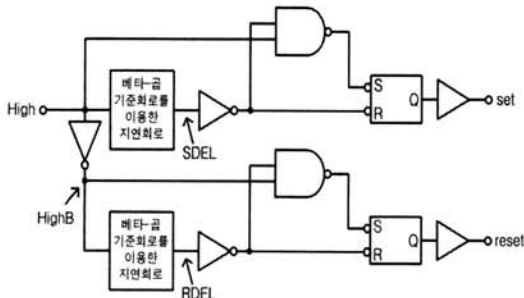


그림 7. 제안하는 펄스 생성기.
Fig. 7. Proposed pulse generator.

제안한 쏘트-스루 보호회로는 기준회로의 지연회로만 차이가 나고 나머지 구조는 동일하다. 그림 6은 제안한 쏘트-스루 보호회로의 동작 특성을 나타낸다. 입력에 'IN' 신호가 인가되면, t_D 시간의 데드타임을 갖는 'High' 신호와 'Low' 신호가 생성된다. 이러한 데드타임은 지연회로에 의해 생성되며, 파워 스위치의 쏘트-스루 현상을 방지한다. 제안한 회로는 공정 및 공급전압 변화에 강한 지연회로를 포함하고 있기 때문에, 이러한 변화에 대한 데드타임의 변동이 기준회로보다 적다.

그림 7은 제안한 펄스 생성기를 나타낸다. 기존 펄스 생성기에서 발생한 셋 및 리셋 신호의 불일치 문제를 지연회로의 상승시간만 이용하여 해결하였다. 두 개의 지연회로에서 생성되는 'SDEL' 신호와 'RDEL' 신호의 상승시간이 일치한다고 가정하면, 래치 회로의 연산을 통하여 셋 신호와 리셋 신호의 펄스폭이 동일하게 된다. 셋 신호는 래

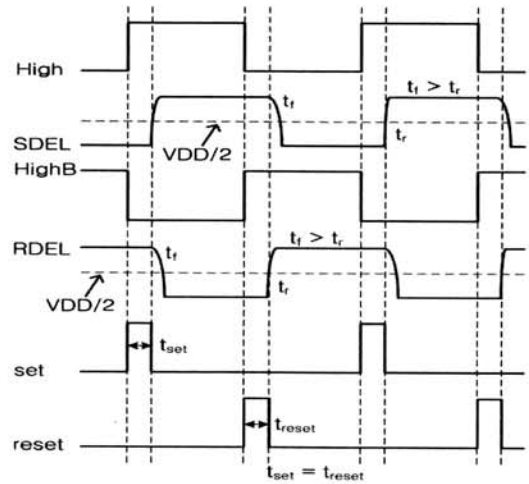


그림 8. 제안하는 펄스 생성기의 동작 특성.
Fig. 8. Operation characteristics of proposed pulse generator.

치 회로의 셋 입력과 리셋 입력에 각각 'High' 신호와 'SDEL' 신호가 인가되어 생성된다. 그리고 리셋 신호는 다른 래치 회로의 셋 입력과 리셋 입력에 'HighB' 신호와 'RDEL' 신호가 인가되어 생성된다. 그림 8에서와 같이 셋 신호와 리셋 신호 모두 지연회로의 상승시간과 래치 회로 연산을 통해 생성된다. 따라서 지연회로의 상승시간과 하강시간이 서로 다를 경우에도 펄스 생성기의 셋 및 리셋 신호의 펄스폭은 항상 일치한다.

한편, 래치 회로(NOR type)는 일반적으로 두 개의 입력신호가 동시에 '1'이 인가되었을 때, 부정상태로써, 불안정한 상태가 된다. 따라서 제안한 펄스 생성기는 인버터와 NAND 로직을 이용하여 래치 회로의 입력신호가 동시에 '1'이 되면, 리셋 신호를 우선시함으로써 오동작을 방지한다.

4. 모의실험 결과

제안한 회로는 1 μm 650 V BCD 공정 파라미터를 사용하여 설계되었으며, Cadence사의 Spectre를 이용하여 모의실험을 수행하였다. 하프브리치 구동 IC의 공급 전압은 15 V이며, 입력에는 100 kHz의 PFM(pulse-frequency modulation) 신호가 인가된다. 그림 9는 제안한 쏘트-스루 보호회로의 입-출력 특성을 나타낸다. 쏘트-스루 보호회로에 'PFM' 신호가 인가되면, 'High' 신호와 'Low' 신호가 생성되며, 데드타임은 일반적으로 250 ns이다.



그림 9. 제안한 쏘트-스루 보호회로의 입-출력 특성
 Fig. 9. Input-output characteristics of proposed shoot-through protection circuit.

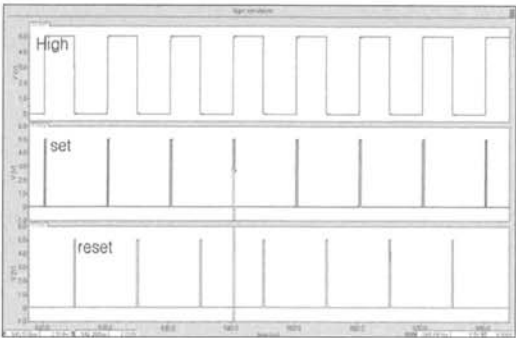


그림 10. 제안한 펄스 생성기의 입-출력 특성.
 Fig. 10. Input-output characteristics of proposed pulse generator.

그림 10은 제안한 펄스 생성기의 입-출력 특성을 나타낸다. 펄스 생성기는 쏘트-스루 보호회로의 출력인 'High' 신호가 입력되면, 'High' 신호의 상승에지와 하강에지를 감지하여, 일반적으로 250 ns의 펄스폭을 가지는 'set' 신호와 'reset' 신호를 생성한다.

제안한 회로의 공정 및 공급전압에 대한 변동을 알기 위해 코너 시뮬레이션(corner simulation)을 수행하였다. 공정 변동 파라미터와 온도, 그리고 공급전압 변화에 대한 데드타임과 셋 및 리셋 신호의 펄스폭을 측정하였다. 온도 범위는 $-40^{\circ}\text{C} - 125^{\circ}\text{C}$ 이며, 공급전압 범위는 4.5 V - 5.5 V이다. 표 1은 각 코너 조건에 대한 특성을 기존회로와 비교한 것이다.

기존회로의 데드타임은 250 ns를 기준으로 최대 264 ns(105.6%)나 변동한 반면, 제안한 회로의 데

표 1. 코너 시뮬레이션 결과.

Table 1. Corner simulation results.

| 변수 | 기존회로 | | | 제안한 회로 | | |
|--|-------|-------|-------|--------|-------|-------|
| | Min. | Typ. | Max. | Min. | Typ. | Max. |
| 데드타임, $t_d(\text{ns})$ | 132.0 | 251.2 | 514.3 | 195.7 | 250.1 | 417.9 |
| 셋 펄스폭, $t_{\text{set}}(\text{ns})$ | 146.7 | 270.7 | 537.3 | 194.4 | 249.7 | 419.8 |
| 리셋 펄스폭, $t_{\text{reset}}(\text{ns})$ | 131.5 | 252.1 | 517.6 | 194.3 | 249.1 | 416.2 |
| 펄스폭 차이, $t_{\text{set}} - t_{\text{reset}}(\text{ns})$ | 15.2 | 18.6 | 19.7 | 0.1 | 0.6 | 3.6 |
| 최대데드타임 변동률(%) | - | - | 105.6 | - | - | 67.2 |
| 최대펄스폭 변동률(%) | - | - | 114.8 | - | - | 68.0 |

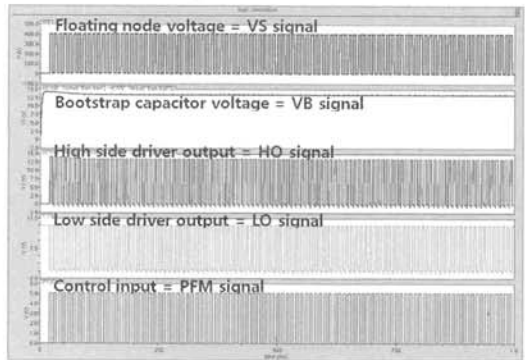


그림 11. 제안한 하프브리지 구동 IC의 동작 특성.
 Fig. 11. Operating characteristics of proposed half-bridge driver IC.

드타임은 최대 168 ns(67.2%)로 매우 적게 변동하였다. 그리고 펄스폭의 변동도 250 ns의 펄스폭을 기준으로 기존회로는 최대 287 ns(114.8%)나 변동하였지만, 제안한 회로는 최대 170 ns(68%)로 매우 적게 변동하였다. 또한 셋 신호와 리셋 신호의 펄스폭 차이는 기존회로가 최대 19.7 ns로 나타났지만, 제안한 회로는 최대 3.6 ns로써 셋 및 리셋 신호의 펄스폭 매칭도 매우 우수하다.

그림 11은 제안한 하프브리지 구동 IC의 전체 동작 특성을 나타낸다. 하프브리지 구동 IC의 공급전압은 15 V이며, 입력에는 100 kHz의 PFM 신호를 인가하였다. 그리고 상단 파워 스위치는 400 V의 라인 전압을 인가하였으며, 플로팅 노드에는 LC 부하를 연결하였다. 정확한 모의실험 결과를 얻기 위해, 상용 파워 스위치(IRF840)의 모델을 이용하

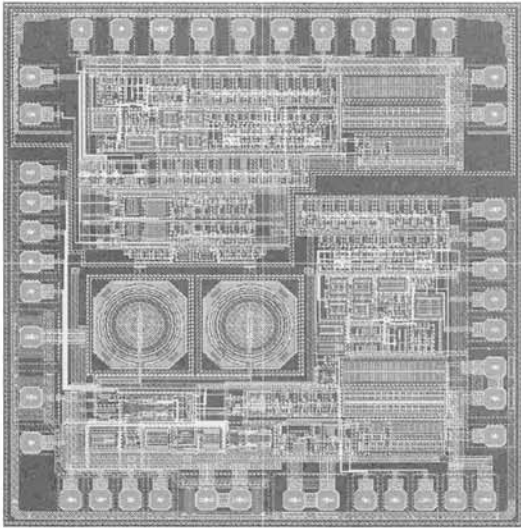


그림 12. 제안한 하프브리지 구동 IC의 레이아웃.
Fig. 12. Layout of proposed half-bridge driver IC.

었다. 모의실험 결과, 100 kHz의 PFM 신호가 인가 되면, 상단 구동 신호(HO)와 하단 구동 신호(LO)가 슛-스루 현상 없이 정상 동작을 하고 있다. 이 구동 신호에 의해 파워 스위치가 구동되어, 플로팅 노드(VS)는 0 - 400 V 전압으로 스윙하고 있다.

그림 12는 제안한 하프브리지 구동 IC의 전체 레이아웃이다. 레이아웃 면적은 2500 $\mu\text{m} \times 2700 \mu\text{m}$ 이며, 현재 공정 진행 중에 있다.

5. 결론

본 논문에서는 새로운 슛-스루 보호회로와 펄스 생성기를 제안하여 공정 및 공급전압 변화에 강인한 하프브리지 구동 IC를 설계하였다. 제안한 회로는 코너 시뮬레이션을 수행한 결과, 기존회로보다 공정 및 공급전압 변화에 대한 데드타임 및 펄스폭의 변동이 매우 적다. 제안한 회로의 최대 데드타임 변동은 168 ns(67.2%)이며, 최대 펄스폭의 변동은 170 ns(68%)로써 기존회로와 비교하여 변동률이 50 % 정도 감소하였다. 그리고 셋 및 리셋 신호의 펄스폭 매칭이 기존회로에 비해 매우 우수하다. 또한 제안한 펄스 생성기는 래치 회로의 입력 신호가 동시에 '1'일 때, 리셋 신호를 우선시하

는 회로를 추가하여 오동작을 방지하였다. 제안한 하프브리지 구동 IC는 공정 및 공급전압 변화에 대하여 발생할 수 있는 기존회로의 문제점을 해결하고, 더욱 안정한 동작을 보장함으로써 공진형 하프브리지 컨버터의 신뢰도를 향상시킨다.

감사의 글

본 논문은 지식경제부의 에너지·자원 기술개발 사업인 '대형 가전용 대기전력 절감기술 개발 사업'과 IDEC의 지원을 받아 수행된 연구입니다.

참고 문헌

- [1] Christophe P. Basso, "Switch-mode Power Supplies", McGraw-Hill, p. 93, 2008.
- [2] J. T. Hwang, M. S. Jung, J. S. Kim, and D. H. Kim, "Noise Immunity Enhanced 625 V High-side Driver", Solid-State Circuits Conference IEEE, p. 572, 2006.
- [3] 박현일, 송기남, 이용안, 김형우, 김기현, 서길수, 한석봉, "잡음 내성이 큰 단일 출력 레벨 쉬프터를 이용한 500 V 하프브리지 컨버터용 구동 IC 설계", 전기전자재료학회논문지, 21권, 8호, p. 719, 2008.
- [4] B. Murari, F. Bertotti, and G. A. Vignola, "Smart Power ICs", Springer, p. 361, 2002.
- [5] Gheorghiu Ioan Virgil, "Pulse Translation Method from Low to High Voltage Level in Half and Full Bridge Application", US patent, 2007.
- [6] 송기남, 박현일, 이용안, 김형우, 김기현, 서길수, 한석봉, "잡음 내성이 향상된 300 W 공진형 하프-브리지 컨버터용 고전압 구동 IC 설계", 전자공학회논문지, 45권, SD편, 10호, p. 7, 2008.
- [7] R. Jacob Baker, "CMOS Circuit Design, Layout, and Simulation", Wiley, p. 624, 2008.
- [8] A. Novelli, L. Giussani, and I. Bellomo, "New Generation of Half Bridge Gate Driver ICs for use with Low Power 3.3 V Control Applications", Power Electronic Conference IEEE, p. 3237, 2004.