

논문 21-7-10

## SL 온도특성을 가지는 적층 칩 세라믹 캐패시터용 유전체의 유전 및 전기적 특성

### Dielectric and Electric Properties of Multilayer Ceramic Capacitor with SL Temperature Characteristics

윤종락<sup>1,a</sup>, 이상원<sup>1</sup>, 김민기<sup>1</sup>, 이경민<sup>1</sup>

(Jung-Rag Yoon<sup>1,a</sup>, Sang-Won Lee<sup>1</sup>, Min Ki Kim<sup>1</sup>, and Kyoung Min Lee<sup>1</sup>)

#### Abstract

To reduce noise in high frequency and distortion of signal, the composition of  $(Ca_{0.7}Sr_{0.3})(Zr_{0.97}Ti_{0.03})O_3$  and  $(Ba_{0.2}Ca_{0.4}Sr_{0.4})TiO_3$  was developed. The composition was not solid solution, but mixtures of various phases composed of Ca, Sr, Zr, Ti and Ba oxides. The dielectric constant increased, the quality factor and the insulation resistance decreased with  $(Ba_{0.2}Ca_{0.4}Sr_{0.4})TiO_3$  content. The composition of  $0.4(Ba_{0.2}Ca_{0.4}Sr_{0.4})TiO_3$  satisfied the electric characteristics and the temperature coefficient of dielectric constant (TCC). In addition, the glass frit and  $MnO_2$  also affected the electric characteristics. From the result of the best fit simulation,  $MnO_2$  0.3 mol%, the glass frit 0.6 wt% showed the insulation resistance  $906 \Omega \cdot F$ , the quality factor 821, and the dielectric constant 92. With the selected composition, MLCC capacitors sized  $4.5 \times 3.2 \times 2.5$ mm were manufactured with 105 layered of the dielectric thickness  $16 \mu m$  using Ni inner electrode. They represented the capacitance 98~102 nF, the quality factor 1,200 and the insulation resistance  $1,500 \Omega \cdot F$ . Also, they had high break-down voltage with 107~115 V/ $\mu m$ , and satisfied the SL TCC characteristics.

**Key Words** : Low distortion, MLCC(Multilayer ceramic capacitor), SL characteristics, Insulation resistance

#### 1. 서론

전자기기의 소형 경량화, 표면 실장화의 급속한 진행과 함께 수동소자의 소형화, 칩화, 저가격화의 요구가 증가되고 있으며 이에 대한 연구가 활발히 진행되고 있다[1]. 최근에는 전자기기로부터 발생하는 마이크로폰 노이즈, 트랜스포머 노이즈, 냉각 팬 노이즈 등에 대한 저감 노력이 증대되고 있다. 특히, 노트북 CPU, LCD TV 구동용 DC-DC 인버터의 주파수가 높아지고 고압화됨에 따라 고유전율 유전체를 이용한 적층 칩 캐패시터에서 압전

공진주파수 부근에서 음이 발생하거나 신호가 왜곡되는 문제점이 발생되고 있다[2]. 적층 세라믹 캐패시터(MLCC: Multi Layer Ceramic Capacitor)는 세라믹 유전체, 내부전극 및 외부전극으로 구성되며, 외부전극으로 높은 주파수를 갖는 전압이 가해지면 높은 압전계수를 가지는 유전체를 적용한 적층 세라믹 캐패시터에 피에조 효과(Piezo effect)가 발생되고 피에조(Piezo) 현상에 의해 음이 발생이 발생된다. 피에조 효과에 의한 적층 세라믹 캐패시터의 소음 발생을 줄이기 위해 적층 세라믹 캐패시터 구조적 변화로서 길이를 변화시키거나 높이와 두께의 비를 조절하거나 실장방법 등을 조절하는 방법등이 있다[2]. 또 다른 방법으로는 압전특성이 적은 유전체를 적용하여 적층 칩 캐패시터를 제작하고자하는 연구가 진행되고 있다[2,3]. 적층 칩 캐패시터는 저유전율계(class I, COG 계),

1. 삼화콘덴서공업(주) 연구소

(경기도 용인시 남사면 복리 124)

a. Corresponding Author : yoonjungrag@yahoo.co.kr

접수일자 : 2008. 5. 15

1차 심사 : 2008. 5. 30

심사완료 : 2008. 6. 9

고유전율계(Class II, X7R, Y5V) 유전체 원료를 적용하고 있으며 내부전극으로는 대표적으로 귀금속인 Ag, Pd, Ag-Pd나 비금속인 Ni, Cu를 사용한다 [1]. 최근에는 경제성을 고려하여 Ni를 내부전극으로 사용하고 있으며 소결중에 Ni 금속의 산화를 방지하기 위해 내환원 특성을 가지는 유전체 원료를 적용하고 있다. 내환원 특성을 가지는 유전체 원료 중 COG 특성의 원료는 유전율이 30 ~ 40인 CaZrO<sub>3</sub>계가 주로 적용되고 있으며 X7R 특성의 경우 BaTiO<sub>3</sub> 원료에 MgO, Y<sub>2</sub>O<sub>3</sub>, MnCO<sub>3</sub>등을 첨가한 유전율 2,000 ~ 3,000인 원료를 사용하고 있다. BaTiO<sub>3</sub>를 주원료로 사용한 적층 칩 캐패시터는 고유전율로 인해 용량은 증가하지만 외부에서 교류 신호 인가시 강유전특성에 의해 그림 1과 같이 기계적 변형이 발생하여 20 Hz ~ 20 KHz대역의 가청주파수 음이 발생한다.

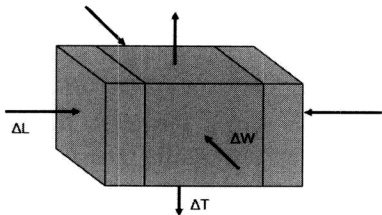


그림 1. 전계인가시 캐패시터 왜곡 현상.  
Fig. 1. Capacitor distortion under applied electric field.

따라서, 이와 같은 문제점을 해결하고자 강유전 특성을 가지지 않으면서 고유전율 특성을 가지는 원료의 개발이 요구되고 있다. 기존의 연구에서는 COG 특성을 가지는 원료와 X7R 특성을 가지는 원료를 혼합하는 방법이 제시되고 있으나 서로 다른 상을 가지는 원료가 혼합되어 적층 칩 캐패시터의 고온부하시험에서 유전체 크랙이 발생하는 등 신뢰성이 저하되는 문제점이 발생하였다. 따라서 본 논문에서는 기존의 내환원형 COG 원료에 비해 고유전율을 가지면서도 온도 안정성이 높은 유전 재료를 개발하고자 한다. 기초실험을 통하여 [4] 고유전율을 가지는 BaTiO<sub>3</sub>의 분율을 최소화하고 상유전체중에서 비교적 유전율이 높은 CaTiO<sub>3</sub>, SrTiO<sub>3</sub>를 포함하는 (Ca<sub>0.7</sub>Sr<sub>0.3</sub>)(Zr<sub>0.97</sub>Ti<sub>0.03</sub>)O<sub>3</sub>-(Ba<sub>0.2</sub>Ca<sub>0.4</sub>Sr<sub>0.4</sub>)TiO<sub>3</sub>계 조성으로 유전율 90 ~ 100이면서 SL 온도특성을 가지는 조성을 택하였다. 상기 조성에 유전 및

전기적 특성을 개선하기 위하여 MnO<sub>2</sub>를 첨가하였으며 절연 특성 및 소결성을 향상시키기 위하여 소결조제로 절연 강화형 유리프릿을 첨가한 후 첨가량에 따른 전기적 특성을 검토하였다. 반응표면 분석법을 [5] 이용하여 최적의 유전체 조성을 선정 한 후 일반적인 적층 칩 제작공정을 이용하여 고압용 적층 칩 캐패시터를 제작하여 전기적 특성을 조사하였다.

## 2. 실험 방법

### 2.1 유전체 조성

출발원료는 분말의 입자 크기 D<sub>50</sub>이 0.4 ~ 0.6 μm의 크기를 가지면서 합성된 산화물 형태인 CaZrO<sub>3</sub>, SrTiO<sub>3</sub>, CaTiO<sub>3</sub>, BaTiO<sub>3</sub> (Sakai Chemical Co. Ltd)와 TiO<sub>2</sub> (TOHO, Co. Ltd)를 사용하였다. 주조성으로는 기초실험을 통하여 환원분위기에서 소결이 가능하면서 COG 온도특성을 만족하는 (Ca<sub>0.7</sub>Sr<sub>0.3</sub>)(Zr<sub>0.97</sub>Ti<sub>0.03</sub>)O<sub>3</sub> 정하였으며 CaZrO<sub>3</sub>, SrTiO<sub>3</sub>, CaTiO<sub>3</sub>, TiO<sub>2</sub>를 조성비로 평량한 후 지르코니아 불과 순수물을 넣은 후, 2시간 동안 불밀로 혼합, 분쇄하였으며 건조한 분말을 1100 °C에서 2시간 동안 하소하였다. 또한, 고유전율 특성을 얻기 위하여 SrTiO<sub>3</sub>, CaTiO<sub>3</sub>, BaTiO<sub>3</sub>를 이용하여 (Ba<sub>0.2</sub>Ca<sub>0.4</sub>Sr<sub>0.4</sub>)TiO<sub>3</sub> 분말을 전과 동일한 방법으로 제작하였다.

(Ca<sub>0.7</sub>Sr<sub>0.3</sub>)(Zr<sub>0.97</sub>Ti<sub>0.03</sub>)O<sub>3</sub>와 (Ba<sub>0.2</sub>Ca<sub>0.4</sub>Sr<sub>0.4</sub>)TiO<sub>3</sub> 분말을 무게비로 평량한 후 전기적 특성 개선을 위하여 첨가제로 MnO<sub>2</sub> 0.15 ~ 0.9 mol% 첨가하였으며 유리프릿을 무게비로 0 ~ 1.0 wt% 첨가한 후 하소 전과 동일하게 불밀, 건조한 후 분급하였다. 최종 분말의 입자크기 D<sub>50</sub>은 0.8 ~ 1.0 μm, 비표면적 4.5 ~ 5.0 m<sup>2</sup>/g으로 조절하였다. 유리프릿 제조는 순도가 99 % 이상인 BaO, CaO, SiO<sub>2</sub> 산화물 원료를 6시간 건식 혼합한 후, 1550 °C에서 2시간 동안 용융하여 급속 냉각하였으며 불밀로 60시간 분쇄하여 입자크기 D<sub>50</sub>를 0.8 ~ 1.2 μm로 조절하였다. 유전체 원료를 직경이 15 mm인 금형을 이용하여 성형 한 후 H<sub>2</sub>-N<sub>2</sub>-H<sub>2</sub>O를 이용하여 P<sub>O2</sub> = 10<sup>-11</sup> MPa 분압 하에서 1300 °C에서 2시간 소성하였으며, 재산화 열처리 900 °C, P<sub>O2</sub> = 10<sup>-7</sup> MPa 분위기에서 2시간 행하였다.

### 2.2 MLCC 제조

적층 칩 세라믹 캐패시터 제조에 적용한 세라믹 원료는 소결온도와 유전특성을 고려하여 0.6(Ca<sub>0.7</sub>

$Sr_{0.3}(Zr_{0.97}Ti_{0.03})O_3 - 0.4(Ba_{0.2}Ca_{0.4}Sr_{0.4})TiO_3$  조성  
에  $MnO_2$  0.3 mol%, 유리프릿 0.6 wt%를 첨가한  
조성을 선정하였다. 원료 분체 특성은 볼 밀을 이  
용하여 평균입경  $D_{50}$  0.8  $\mu m$ , BET는 4.5  $m^2/g$ 로  
하였으며 원료의 전기적 특성은 유전율 92, 품질계  
수 821, 절연저항 ( $R^*C$ ) 906  $\Omega-F$ 이상이다.

그린시트 제작을 위한 슬러리는 세라믹 원료,  
분산제 및 용매(톨루엔/에탄올)을 적정비로 배합한  
후 바스켓 밀을 이용하여 8시간 혼합, 분산하였다.  
혼합, 분산된 슬러리에 PVB (Sekisui, BM-SZ),  
DOP (DC chemical)를 적정 배합비로 첨가한 후 4  
시간 혼합하여 슬러리를 제작하였으며, 닥터블레이  
드 방식을 적용하여 실리콘 코팅한 PET 필름위에  
15  $\mu m$ 의 그린시트를 성형하였다. 그린시트위에 평  
균입경  $D_{50}$  0.4  $\mu m$ 인 Ni 금속분말과 공제로서  $D_{50}$   
0.3  $\mu m$ 인  $CaZrO_3$ 를 적용하여 만든 페이스트를 스  
크린 프린트법을 적용하여 내부전극을 형성하였다.  
적층 칩 제작은 일반적인 적층 칩 제조공정을 적  
용하여 적층, 압착, 절단하여 4.5×3.2×2.5 mm인 적  
층 칩을 제작하였다. 적층 칩을 260  $^{\circ}C$ 에서 48시간  
바인더 탈지 후  $H_2-N_2-H_2O$ 를 이용하여  $Po_2 = 10^{-11}$   
MPa 분압 하에서 1300  $^{\circ}C$ 에서 2시간 소성하  
였으며 신뢰성 향상을 위하여 재산화 열처리  
는 1000  $^{\circ}C$ ,  $Po_2 = 10^{-7}$  MPa 분위기에서 2시간 행  
하였다. 소성 칩의 내부 전극이 돌출되도록 연마 후  
Cu 전극을 도포하였으며 환원분위에서 800  $^{\circ}C$   
에서 10분간 소성하였다. 외부전극을 형성 한 후 외  
부전극의 산화방지 및 제품의 납땀성 향상을 위하  
여 바렐을 이용한 전해도금으로 Ni 2 ~ 5  $\mu m$ , Sn  
3 ~ 5  $\mu m$  두께로 도금하였다.

### 2.3 측정

유전체 원료의 첨가제에 따른 결정상을 확인하  
기 위하여 XRD (D/max-C, Rigaku, Japan)를 측  
정하였으며 유전율과 손실은 1 MHz, 1V<sub>rms</sub> 조건으  
로 LCR 측정기 (HP4278A, HP, USA)를 이용하여  
정전용량 값을 측정 한 후 유전율을 계산하였다.  
절연저항측정은 100 V, 60초 인가한 후 고저항 측  
정기 (HP4339B, HP, USA)를 이용하여 측정하였  
다. 절연파괴전압은 내전압 측정장치(TOS5101,  
Kikusui, Japan)을 이용하였으며 절연파괴전압은  
누설전류가 1 mA인 경우의 전압으로 하였다.

## 3. 결 과

그림 2는  $(1-x)(Ca_{0.7}Sr_{0.3})(Zr_{0.97}Ti_{0.03})O_3 - x(Ba_{0.2}Ca_{0.4}Sr_{0.4})TiO_3$  세라믹스의 무게비에 따른 결정상을

나타낸 그림이다. 고유전율상인  $(Ba_{0.2}Ca_{0.4}Sr_{0.4})TiO_3$ 의 양이 증가함에 따라 주상인  $(CaSr)(ZrTi)O_3$  결정구조가 크게 변화되며 각각 서로 다른 상이 공존함을 볼 수 있다.

이와 같은 결과는 화학적인 반응을 통해 새로운 고용상을 만드는 것이 아니라  $(Ca_{0.7}Sr_{0.3})(Zr_{0.97}Ti_{0.03})O_3$ ,  $(Ba_{0.2}Ca_{0.4}Sr_{0.4})TiO_3$ 상이 혼합상으로 존재함을 보여 주고 있다.

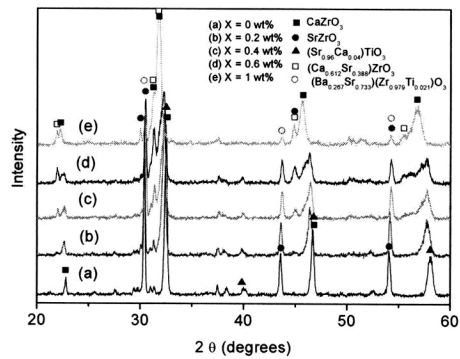


그림 2.  $(1-x)(Ca_{0.7}Sr_{0.3})(Zr_{0.97}Ti_{0.03})O_3 - x(Ba_{0.2}Ca_{0.4}Sr_{0.4})TiO_3$  세라믹스 무게비에 따른 XRD 결과.

Fig. 2. XRD results as a function of content of  $(1-x)(Ca_{0.7}Sr_{0.3})(Zr_{0.97}Ti_{0.03})O_3 - x(Ba_{0.2}Ca_{0.4}Sr_{0.4})TiO_3$  ceramics.

그림 3은  $(1-x)(Ca_{0.7}Sr_{0.3})(Zr_{0.97}Ti_{0.03})O_3 - x(Ba_{0.2}Ca_{0.4}Sr_{0.4})TiO_3$  세라믹스 무게비에 따른 유전율 및 품질계수를 나타낸 그림이다.  $(Ba_{0.2}Ca_{0.4}Sr_{0.4})TiO_3$  무게비가 증가할수록 유전율이 증가하는 양상을 보이고 있으며 이와 같은 결과는  $(Ca_{0.7}Sr_{0.3})(Zr_{0.97}Ti_{0.03})O_3$  세라믹스 유전율 ( $\epsilon_r = 34$ )과  $(Ba_{0.2}Ca_{0.4}Sr_{0.4})TiO_3$  세라믹스 유전율 ( $\epsilon_r = 320$ )의 체적비에 의존한 대수 혼합 법칙의 결과로 판단되며 선형성이 보이지 않는 것은 소결성의 차이에 의한 기공 및 이차상에 영향인 것으로 판단된다 [6]. d 품질계수의 경우  $(Ba_{0.2}Ca_{0.4}Sr_{0.4})TiO_3$  무게비가 0.4까지는 대수 혼합법칙과 유사한 경우를 보이나 그 이상에서는 500이하로 급격한 감소를 보이고 있다.

그림 4는  $(1-x)(Ca_{0.7}Sr_{0.3})(Zr_{0.97}Ti_{0.03})O_3 - x(Ba_{0.2}Ca_{0.4}Sr_{0.4})TiO_3$  세라믹스의 무게비에 따른 절연저항 ( $IR^*C$ ) 특성을 나타낸 그림이다. 절연저항 특성은

적층 칩 캐패시터 신뢰성에 있어 중요한 특성으로 최소한 500 Ω-F이상의 값을 가져야 한다.  $(Ca_{0.7}Sr_{0.3})(Zr_{0.97}Ti_{0.03})O_3$  조성에서는 절연저항 값이 1800 Ω-F의 값을 가지고  $(Ba_{0.2}Ca_{0.4}Sr_{0.4})TiO_3$  무게비가 증가할수록 절연저항이 급격히 감소함을 보이고 있으며 무게비로 0.8이상에서는 500 Ω-F이하로 적층 칩 캐패시터의 원료로서 적합하지 않는 특성을 나타내고 있다.

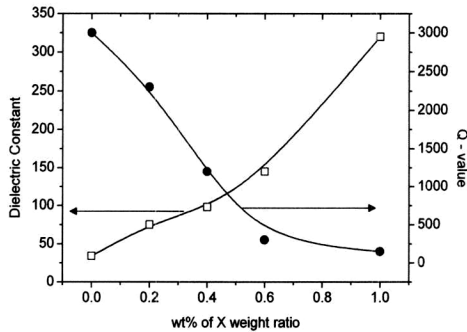


그림 3.  $(1-x)(Ca_{0.7}Sr_{0.3})(Zr_{0.97}Ti_{0.03})O_3 - x(Ba_{0.2}Ca_{0.4}Sr_{0.4})TiO_3$  세라믹스 무게비에 따른 유전율 및 품질계수.

Fig. 3. Dielectric constant and quality factor as a function of content of  $(1-x)(Ca_{0.7}Sr_{0.3})(Zr_{0.97}Ti_{0.03})O_3 - X(Ba_{0.2}Ca_{0.4}Sr_{0.4})TiO_3$  ceramics.

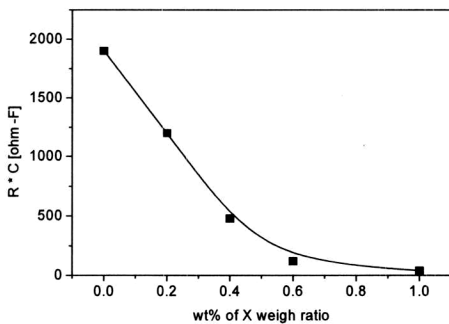


그림 4.  $(1-x)(Ca_{0.7}Sr_{0.3})(Zr_{0.97}Ti_{0.03})O_3 - x(Ba_{0.2}Ca_{0.4}Sr_{0.4})TiO_3$  세라믹스 무게비에 따른 절연저항.

Fig. 4. R \* C value as a function of content of  $(1-x)(Ca_{0.7}Sr_{0.3})(Zr_{0.97}Ti_{0.03})O_3 - X(Ba_{0.2}Ca_{0.4}Sr_{0.4})TiO_3$  ceramics.

이와 같은 결과는 대수 혼합 법칙보다는 환원분위기 소결로 인한  $BaTiO_3$ 의 산소공공의 발생으로 전기전도도 증가에 영향을 미치는 것으로 판단된다. 캐패시터의 용량 변화율인 온도 특성은  $(Ba_{0.2}Ca_{0.4}Sr_{0.4})TiO_3$  무게비가 0.6까지 SL특성(EIA 규격)을 만족하는 결과를 얻으며 무게비 증가에 따라 용량 변화율이 크게 나타났다[7].

적층 칩 캐패시터 개발시 고려하여야 할 유전체 세라믹스의 특성으로는 유전율, 높은 품질계수 및 절연저항을 가지면서 캐패시터의 규정된 온도 특성을 만족하여야 한다. 상기의 실험결과를 종합하면 절연저항 수준이 낮은 문제점을 제외하고는 전기적 특성을 만족함을 확인 할 수 있었다. 따라서 본 논문에서는 유전율, 품질계수, 절연저항을 고려하여  $(Ba_{0.2}Ca_{0.4}Sr_{0.4})TiO_3$  무게비가 0.4인 조성을 선정하여 절연저항 및 품질계수 향상을 위한 실험을 하였다.

그림 5는  $0.6(Ca_{0.7}Sr_{0.3})(Zr_{0.97}Ti_{0.03})O_3 - 0.4(Ba_{0.2}Ca_{0.4}Sr_{0.4})TiO_3$  세라믹스를 주성분으로하고 첨가제  $MnO_2$  및 유리프릿 첨가에 따른 밀도를 나타낸 그림이다. 유리프릿 첨가량이 0.6 wt%까지는  $MnO_2$  첨가량이 증가함에 따라 밀도가 증가함을 볼 수 있다. 이와 같은 현상은 저온 소결을 유도하는 유리프릿의 특성 뿐만 아니라  $MnO_2$  첨가에 따라 유리프릿과의 상호반응으로 액상을 형성함으로써 소결성이 향상되는 것으로 판단된다.

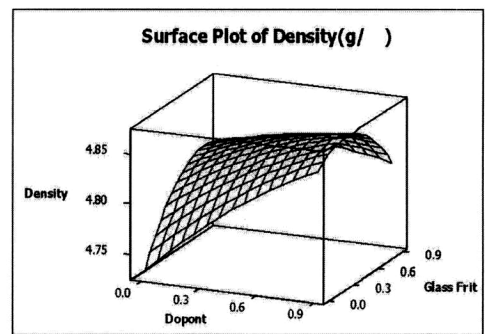


그림 5.  $0.6(Ca_{0.7}Sr_{0.3})(Zr_{0.97}Ti_{0.03})O_3 - 0.4(Ba_{0.2}Ca_{0.4}Sr_{0.4})TiO_3$  세라믹스의  $MnO_2$  및 유리프릿 첨가에 따른 밀도.

Fig. 5. Density as a function of content of  $MnO_2$  and glass frit of  $0.6(Ca_{0.7}Sr_{0.3})(Zr_{0.97}Ti_{0.03})O_3 - 0.4(Ba_{0.2}Ca_{0.4}Sr_{0.4})TiO_3$  ceramics.

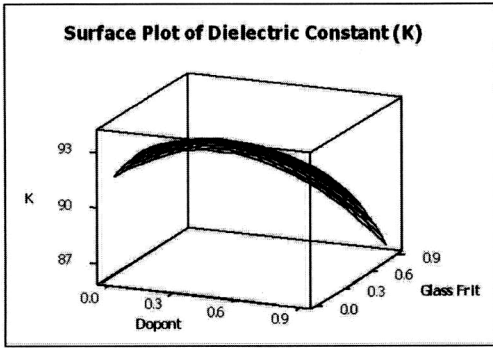


그림 6.  $0.6(\text{Ca}_{0.7}\text{Sr}_{0.3})(\text{Zr}_{0.97}\text{Ti}_{0.03})\text{O}_3 - 0.4(\text{Ba}_{0.2}\text{Ca}_{0.4}\text{Sr}_{0.4})\text{TiO}_3$  세라믹스의  $\text{MnO}_2$  및 유리프릿 첨가에 따른 유전율.

Fig. 6. Dielectric constant as a function of content of  $\text{MnO}_2$  and glass frit of  $0.6(\text{Ca}_{0.7}\text{Sr}_{0.3})(\text{Zr}_{0.97}\text{Ti}_{0.03})\text{O}_3 - 0.4(\text{Ba}_{0.2}\text{Ca}_{0.4}\text{Sr}_{0.4})\text{TiO}_3$  ceramics.

그림 6은  $0.6(\text{Ca}_{0.7}\text{Sr}_{0.3})(\text{Zr}_{0.97}\text{Ti}_{0.03})\text{O}_3 - 0.4(\text{Ba}_{0.2}\text{Ca}_{0.4}\text{Sr}_{0.4})\text{TiO}_3$  세라믹스를 주성분으로 하고 첨가제  $\text{MnO}_2$  및 유리프릿 첨가에 따른 유전율이다. 유리프릿 첨가량이 0.6 wt%까지는  $\text{MnO}_2$ 의 증가에 따라 유전율이 증가하는 경향을 보이나  $\text{MnO}_2$  함량이 0.6 mol% 이상부터는 유전율이 급격히 감소되는 경향을 나타낸다. 일반적으로 유전율의 경우 밀도가 증가할수록 증가하는 것으로 알려져 있으나  $\text{MnO}_2$  함량이 0.6 mol% 이상부터는 유리프릿과  $\text{MnO}_2$  반응에 의한 저유전율을 가지는 유리상의 증가에 의한 대수 혼합 법칙의 영향이 더 크게 작용함을 확인 할 수 있다.

그림 7은  $0.6(\text{Ca}_{0.7}\text{Sr}_{0.3})(\text{Zr}_{0.97}\text{Ti}_{0.03})\text{O}_3 - 0.4(\text{Ba}_{0.2}\text{Ca}_{0.4}\text{Sr}_{0.4})\text{TiO}_3$  세라믹스를 주성분으로 하고 첨가제  $\text{MnO}_2$  및 유리프릿 첨가에 따른 품질계수를 나타낸 그림이다. 품질계수는 유전체 조성에 의한 영향이 크며 이차상, 결정립 크기, 결함 등에 의해 저하되는 경향을 나타낸다. 실험 결과  $\text{MnO}_2$  및 유리프릿을 동시에 첨가하지 않은 조성과 유리프릿이 0.6 wt% 이상 첨가한 조성에서  $\text{MnO}_2$ 가 증가할수록 우수한 품질 계수를 나타남을 확인 할 수 있었다. 품질계수가 저하되는 원인은  $\text{MnO}_2$  및 유리프릿이 소결중 액상으로 작용하여 입계면을 형성하고 입계면에서의 계면 손실이 증가되어 나타난 결과로 판단된다. 반면에 품질계수가 증가된 원인은 Mn에 의한 원자가 보상에 의한 전자적 결함이 줄어들어 나타난 결과로 판단된다[8].

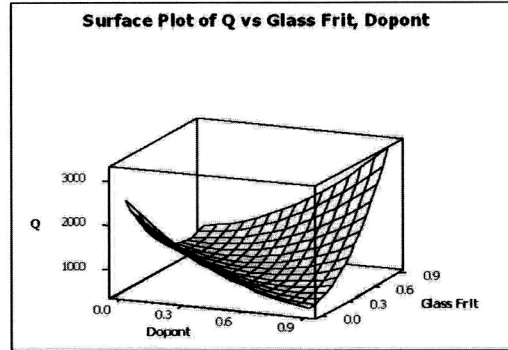


그림 7.  $0.6(\text{Ca}_{0.7}\text{Sr}_{0.3})(\text{Zr}_{0.97}\text{Ti}_{0.03})\text{O}_3 - 0.4(\text{Ba}_{0.2}\text{Ca}_{0.4}\text{Sr}_{0.4})\text{TiO}_3$  세라믹스의  $\text{MnO}_2$  및 유리프릿 첨가에 따른 품질계수.

Fig. 7. The quality factor as a function of content of  $\text{MnO}_2$  and glass frit of  $0.6(\text{Ca}_{0.7}\text{Sr}_{0.3})(\text{Zr}_{0.97}\text{Ti}_{0.03})\text{O}_3 - 0.4(\text{Ba}_{0.2}\text{Ca}_{0.4}\text{Sr}_{0.4})\text{TiO}_3$  ceramics.

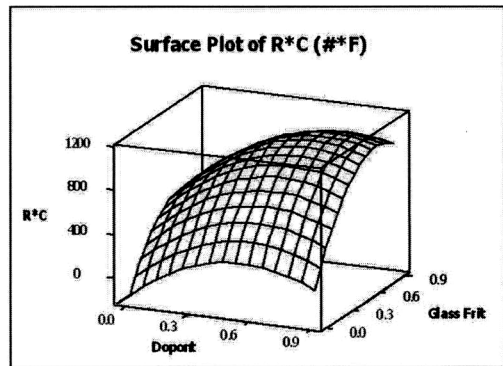


그림 8.  $0.6(\text{Ca}_{0.7}\text{Sr}_{0.3})(\text{Zr}_{0.97}\text{Ti}_{0.03})\text{O}_3 - 0.4(\text{Ba}_{0.2}\text{Ca}_{0.4}\text{Sr}_{0.4})\text{TiO}_3$  세라믹스의  $\text{MnO}_2$  및 유리프릿 첨가에 따른 절연저항.

Fig. 8. The insulation resistance as a function of content of  $\text{MnO}_2$  and glass frit of  $0.6(\text{Ca}_{0.7}\text{Sr}_{0.3})(\text{Zr}_{0.97}\text{Ti}_{0.03})\text{O}_3 - 0.4(\text{Ba}_{0.2}\text{Ca}_{0.4}\text{Sr}_{0.4})\text{TiO}_3$  ceramics.

그림 8은  $0.6(\text{Ca}_{0.7}\text{Sr}_{0.3})(\text{Zr}_{0.97}\text{Ti}_{0.03})\text{O}_3 - 0.4(\text{Ba}_{0.2}\text{Ca}_{0.4}\text{Sr}_{0.4})\text{TiO}_3$  세라믹스를 주성분으로 하고 첨가제  $\text{MnO}_2$  및 유리프릿 첨가에 따른 절연저항 ( $R \cdot C$ ) 값을 나타낸 그림이다. 유리프릿 첨가량이 증가할수록 절연저항이 증가되는 특성을 보이는 반면  $\text{MnO}_2$  를 첨가한 경우 0.6 mol% 근처에서 절연저

항이 가장 크게 향상됨을 볼 수 있다. 이와 같은 현상은 절연저항이 높은 유리프릿의 함량이 증가 될수록 절연저항 특성이 우수한 계면의 증가에 의해 절연저항이 증가되는 것으로 판단되며 이와 같은 결과는 기존의 연구 결과와 유사한 특성을 보인다[8].

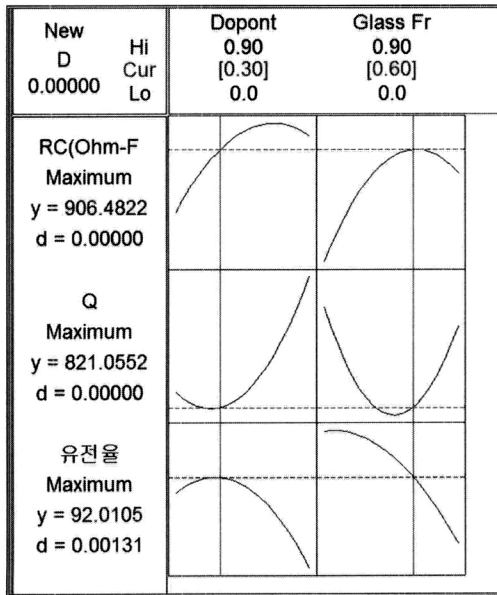


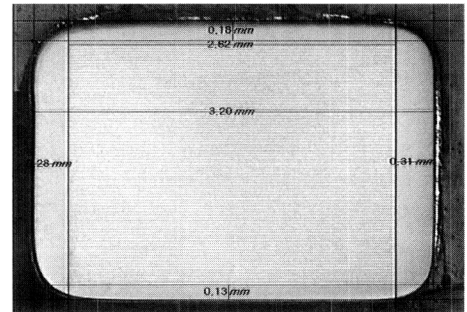
그림 9. 반응표면 분석법을 이용한 반응 최적화 결과.

Fig. 9. The response optimizer using response surface analysis method.

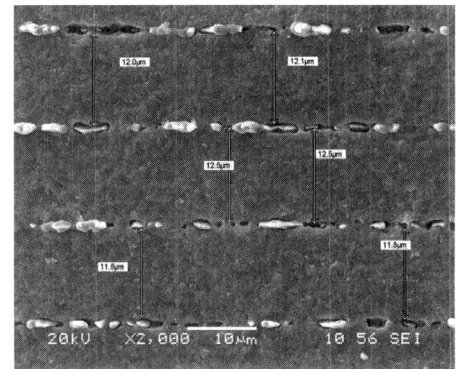
그림 9는 상기 실험 결과를 이용하여 적층 칩 캐패시터에 적합한 원료를 선택하기 위하여 MnO<sub>2</sub> 및 유리프릿 첨가에 따른 절연저항 (R\*C), 품질계수 (Q), 유전율을 변수로 하여 반응표면 분석한 결과이다. 최적화 결과 MnO<sub>2</sub> 0.3 mol%, 유리프릿 0.6 wt 첨가시 절연저항 (R\*C) 906 [ohm-F], 품질계수 821, 유전율 92의 최적의 값을 얻을 수 있었다.

그림 10은 최적반응 분석 결과를 기본으로 하여 0.6(Ca<sub>0.7</sub>Sr<sub>0.3</sub>)(Zr<sub>0.97</sub>Ti<sub>0.03</sub>)O<sub>3</sub> - 0.4(Ba<sub>0.2</sub>Ca<sub>0.4</sub>Sr<sub>0.4</sub>)TiO<sub>3</sub> 세라믹스에 MnO<sub>2</sub> 0.3 mol%, 유리프릿 0.6 wt 첨가한 조성을 이용하여 적층 칩 캐패시터를 제작한 사진이다. 적층 칩 제조 공정은 일반적인 적층 칩 공정으로 내부전극은 Ni, 유전체 두께는 16 μm를 105층 적층하여 4.5×3.2×2.5 mm 크기로 하였으며 용량은 100 nF을 기준으로 하였다. 그림 10(a)는

적층 칩 캐패시터 소결체 단면을 나타낸 것으로 적층 결함이 없음을 확인 할 수 있으며 그림 10(b)는 유전체와 전극의 미세구조로서 전극간 유전체 두께는 11.5 ~ 12.6 μm로 균일하면서 치밀한 미세 구조를 가짐을 볼 수 있다.



(a)



(b)

그림 10. 적층 칩 캐패시터의 미세구조.

(a) 적층 칩 캐패시터 (b) 내부 구조

Fig. 10. Microstructure of MLCC.

(a) MLCC appearance (b) Internal structure

적층 칩 캐패시터의 전기적 특성으로는 용량 98 ~ 102 nF, 품질계수 1200, 절연저항 1,500 ohm-F의 특성을 얻을 수 있었다. 품질계수 및 절연저항이 반응표면 분석법의 결과 보다 우수한 특성을 보인 것은 Ni 내부 전극에 의해 소결성 및 반응에 의한 영향으로 판단된다. 특히, 절연과피전압의 경우 1.3 kV로서 단위 두께당 전압이 107 ~ 115 V/μm의 우수한 전기적 특성을 얻을 수 있었다. 그림 11은 적층 칩 캐패시터의 온도특성으로 SL 특성 (-25 °C영역에서 최소 -1.7 %, 최대 4.5 %, 85 °C영역에서 최대 2.75 % 최소 -6.5 %)을 만족함을 볼 수 있다.

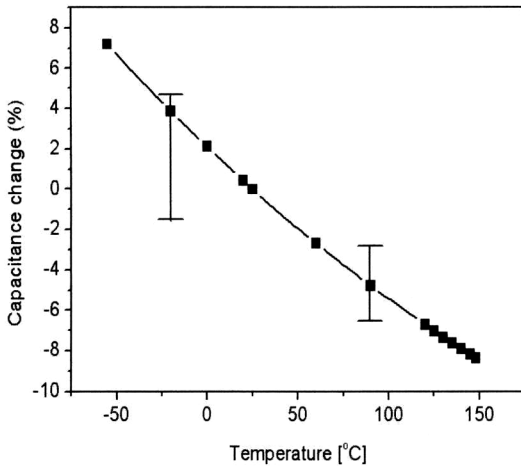


그림 11.  $0.6(\text{Ca}_{0.7}\text{Sr}_{0.3})(\text{Zr}_{0.97}\text{Ti}_{0.03})\text{O}_3 - 0.4(\text{Ba}_{0.2}\text{Ca}_{0.4}\text{Sr}_{0.4})\text{TiO}_3$  세라믹스에  $\text{MnO}_2$  0.3 mol%, 유리프릿 0.6 wt 첨가한 조성의 온도특성.

Fig. 11. Temperature characteristic of  $\text{MnO}_2$  and glass frit of  $0.6(\text{Ca}_{0.7}\text{Sr}_{0.3})(\text{Zr}_{0.97}\text{Ti}_{0.03})\text{O}_3 - 0.4(\text{Ba}_{0.2}\text{Ca}_{0.4}\text{Sr}_{0.4})\text{TiO}_3$  ceramics.

#### 4. 결론

본 실험을 통하여 저소음, 저신호 왜곡 특성을 갖는 SL 특성의 내환원성 유전체 조성을 개발하였다.  $(\text{Ca}_{0.7}\text{Sr}_{0.3})(\text{Zr}_{0.97}\text{Ti}_{0.03})\text{O}_3$ 와  $(\text{Ba}_{0.2}\text{Ca}_{0.4}\text{Sr}_{0.4})\text{TiO}_3$  분말을 혼합하여 각 혼합비에 따른 특성을 비교하여 최적 조성을 선택하였으며, 이를 이용한 적층칩 캐패시터를 제작하였으며 이에 따른 결과는 아래와 같다.

1.  $(\text{Ca}_{0.7}\text{Sr}_{0.3})(\text{Zr}_{0.97}\text{Ti}_{0.03})\text{O}_3$ 와  $(\text{Ba}_{0.2}\text{Ca}_{0.4}\text{Sr}_{0.4})\text{TiO}_3$  분말을 혼합하여 생성된 상들은 완전 고용체가 아닌 각 원소들로 조합된 혼합물인 것으로 나타났다.
2.  $(\text{Ba}_{0.2}\text{Ca}_{0.4}\text{Sr}_{0.4})\text{TiO}_3$  분말의 첨가량에 따라 유전율은 증가하고 품질계수는 감소하였으며, 절연저항 특성도 감소하였다.  $(\text{Ba}_{0.2}\text{Ca}_{0.4}\text{Sr}_{0.4})\text{TiO}_3$  가 40 wt% 첨가된 경우, 유전율, 품질계수, 절연저항 및 SL 온도 특성을 만족하였다.
3. 상기 조성으로 유리프릿 및  $\text{MnO}_2$  첨가량에 따라 유전율, 품질계수 및 절연 저항 특성을 변화시킬 수 있었으며, 최적화 결과  $\text{MnO}_2$  0.3 mol%, 유리프릿 0.6 wt% 일 경우, 절연저항  $906 \Omega \cdot \text{F}$ , 품질계수 821, 및 유전율 92인 유전체 분말을 합성하였다.
4. 결정된 조성을 이용하여 내부전극을 Ni로 한 유

전체 두께  $16 \mu\text{m}$ 를 105층 적층하여  $4.5 \times 3.2 \times 2.5 \text{ mm}$  크기의 용량 98~102 nF, 품질계수 1,200, 절연저항  $1,500 \Omega \cdot \text{F}$ 인 적층 칩 캐패시터를 제작하였다. 이는 단위두께당 전압이 107~115 V/ $\mu\text{m}$ 이며, 온도특성 SL 특성을 만족하였다.

#### 참고 문헌

- [1] H. Kishi, Y. Mizuno, and H. Chazono, "Base-metal electrode-multilayer ceramic capacitors: Past, present and future perspectives", *Jpn. J. Appl. Phys.*, Vol. 42, No. 1, p. 1, 2003.
- [2] N. Inoue, K. Kawasaki, H. Sano, and T. Morimoto, "Relationship between dielectric properties and microphonics of multilayer ceramic capacitors", *Japanese Journal of Applied Physics*, Vol. 45, No. 9B, p. 7365, 2006.
- [3] M. Laps, R. Grace, and B. Slola, "Capacitors for Reduced Microphones and Sound Emission", 2007, *Electronic Components, Assemblies & Materials Association(ECA), Arlington, Va, CARTS 2007 Symposium Proceedings*, 2007.
- [4] Yoon J. R., Lee S. W., and Lee H. Y., "Effect of the dielectric properties for  $(\text{Ca,Sr})(\text{ZrTi})\text{O}_3$  MLCC with Ni electrode", *International Conference on Electrical Engineering 2002, Proceedings* : Vol. III, p. 1109, 2002.
- [5] 윤중락, 정태석, 최근묵, 이석원, "반응표면분석법에 의한 적층 칩 배리스터의 전기적 특성", *전기전자재료학회논문지*, 20권, 6호, p. 496, 2007.
- [6] 윤중락, 이석원, 이현용, "Glass frit 및  $\text{TiO}_2$  첨가에 따른 LTCC용 마이크로파 유전체의 유전 특성", *전기전자재료학회논문지*, 17권, 9호, p. 942, 2004.
- [7] *Electronic Industries Association, Specification, #RS198.*
- [8] 문환, 김민기, 전현표, 안재평, 윤중락, 정태석, "첨가물의 형태가 MLCC X7R 조성의 유전 특성 및 미세구조에 미치는 영향", *한국세라믹학회*, 40권, 7호, p. 644, 2003.