

논문 21-6-4

Glass-Al₂O₃ 복합소재를 원료로 한 LTCC 다층회로 기판의 제조

Fabrication of LTCC Multi-layer Circuit Board made of Glass-Al₂O₃ Composites

곽 훈¹, 전형도¹, 김 환¹, 이원재¹, 신병철¹, 김일수^{1,a}

(Hun Kwak¹, Hyung-Do Jeon¹, Hwan Kim¹, Won-Jae Lee¹, Byoung-Chul Shin¹, and Il-Soo Kim^{1,a})

Abstract

Multi-layer circuit card for semiconductor inspection was fabricated by LTCC technology. After a proper impedance design without electrical interference, ceramic tapes with the composition of CaO-Al₂O₃-SiO₂-B₂O₃ glass and Al₂O₃ were prepared. The electrode with silver paste printed on the tape. Printed ceramic sheets were then laminated and sintered. Densities and dielectric properties were measured. The microstructure, fracture surface of the region of via and matching state of substrate-electrode were observed. The durability of plated outside electrode were examined by hardness and scratch test.

Key Words : LTCC, Multi-layer circuit board, Glass/Al₂O₃ composites

1. 서론

오늘날 전자제품의 고기능화, 경박단소화 경향은 전자부품의 고집적화와 경량화를 필연적으로 요구한다. 이에 요구되는 새로운 기술은 다양한 복합모듈의 개발, SoC(System on Chip) 기술과 SiC(System in Chip) 기술로 요약된다. 세부적으로는 전자부품의 표면실장화(SMD: Surface Mounting Device)와 MCM(Multi-Chip Module)화가 진행되고 있는데, 이를 위해서는 다층 공정(MLP: Multi-Layer Process)과 전극과의 동시소성이 가능한 LTCC(Low Temperature Co-fired Ceramics)기술이 필수적이다[1-4].

고주파대역에서 안정하고 도전특성과 안정성이 우수한 전극재료는 은이 무난하며, 용점이 960 °C 인 은 전극이 손상되지 않고, 기판이 치밀화 되려면 소성온도가 900 °C를 넘지 않는 세라믹스의 개발이 요구된다. 여기에 사용되는 세라믹 조성은 유리+세라믹 Filler 계열[5-7]과 결정질 세라믹스만의

조성[8-10]으로 연구가 진행되고 있다.

한편 전자산업의 핵심소재인 반도체 생산공정 중에 꼭 필요한 것이 불량품선별 테스트이다. 실리콘 웨이퍼 위에 회로를 형성한 후 노출된 전극패드 불량유무를 1차 검사하고, 2차 검사는 웨이퍼를 디바이스의 크기로 자른 다음 다양한 형태로 packaging 한다.

반도체업계는 package의 제작비용절감과 초소형화에 많은 노력을 기울이고 있다. 그중 하나가 package를 전자제품에 실장될 반도체와 동일한 크기로 만드는 WLCSP(Wafer Level Chip Scale Package)기술이다. 이 기술은 반도체 전체 공정 중에 불량품 테스트를 한번만 하여 제품화하는 기술이다. 반도체를 검사하는 기판은 그간 PCB (Printed Circuit Board)가 많이 사용되어 왔는데, 좁은 via pitch 간격을 소화하기 어렵고, via 사이에 균열이 발생하는 등의 문제점이 있다. 결국 PCB로는 반도체회로의 복잡, 소형화추세를 따르기에 어렵고, 소형화, 고용량화를 위한 새로운 소재로 만든 기판의 출현이 요구된다. 본 연구에서는 위의 문제점을 해결하기 위해 LTCC기술을 이용하여 다층회로기판을 제작해 보았다.

LTCC의 원료로는 안정성과 범용성이 입증된 CaO-Al₂O₃-SiO₂-B₂O₃ 계 유리와 Al₂O₃를 혼합한 복합소재를 사용하였다[11]. 테이프캐스팅공정으로

1. 동의대학교 나노공학과

(부산시 부산진구 엄광로 995)

a. Corresponding Author : iskim@deu.ac.kr

접수일자 : 2007. 12. 26

1차 심사 : 2008. 3. 17

심사완료 : 2008. 5. 20

세라믹 테이프를 만들고, 은 페이스트로 전극을 인쇄하여 적층하고 소성하였다. Impedance simulation 설계를 거쳐 100 μm 이하의 선폭으로 패턴을 인쇄하였다. 소성된 세라믹 시트의 밀도와 유전특성을 측정하였으며, 전자현미경으로 미세구조를 관찰하여 치밀한 정도를 살폈다. 비디오 현미경으로 세라믹 층과 층을 잇는 Via 부위의 파단면을 관찰하였고, 전자현미경으로 기관-전극의 매칭여부를 관찰하고, EDS로 분석하였다. 적층기관의 바깥 면에 외부전극을 만들고 내구성을 높이기 위해 니켈과 금으로 무전해 도금하였다. 경도와 접착강도, 굽음 테스트로 내구성을 측정하였다.

2. 실험

2.1 세라믹 테이프의 제조

그림 1에 LTCC의 공정을 요약하였다.

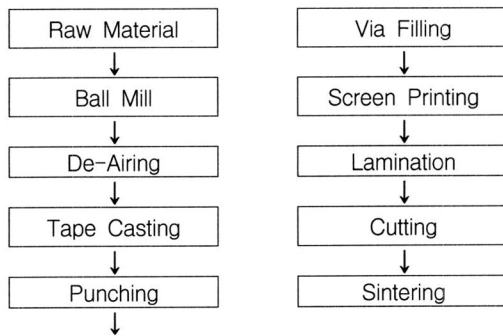


그림 1. LTCC 공정 흐름도.

Fig. 1. Flow chart of LTCC process.

LTCC의 원료로는 CaO-Al₂O₃-SiO₂-B₂O₃ 계 유리와 Al₂O₃를 2:1로 혼합한 복합소재를 사용하였다. 원료에 대한 XRD(PANalytical X'Pert PRO MPD) data는 그림 2에, EDX 분석결과는 표 1에 나타내었다. 결정상으로는 Al₂O₃만 나타나고 있으며, XRD의 base line과 EDX결과를 살펴볼 때 유리의 조성은 기본적으로 CaO-Al₂O₃-SiO₂-B₂O₃ 계이며, Na₂O와 MgO가 미량 포함되어 있음을 알 수 있다.

세라믹 슬러리는 기초실험을 거쳐 표 2의 비율로 하였다. 원료분말, 용매, 분산제를 함께 넣어 24시간 1차 볼 밀링한 후, Binder와 Plasticizer를 추가로 넣고 24시간 더 분쇄, 혼합하였다. 슬러리를 테이프캐스팅 장비(Hansung System STC-14A)에 넣고 Sheet를 제조하였다. Sheet는 성형 후 바로

함께 연결되어 있는 열판을 이용하여 40 °C로 건조하였다.

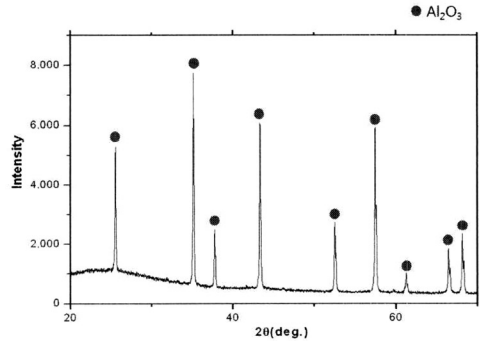


그림 2. 세라믹 시트를 만드는데 사용된 원료분말의 X-선 회절분석.

Fig. 2. XRD pattern of used powder for production of ceramic sheet.

표 1. 세라믹 시트를 만드는데 사용된 원료분말의 EDX 분석.

Table 1. EDX analysis of used powder for production of ceramic sheet.

Element	Wt %	At %
O	41.96	58.69
Na	2.05	1.99
Mg	1.24	1.14
Al	15.22	12.62
Si	25.68	20.46
Ca	7.18	4.01
Ba	6.68	1.09

표 2. 세라믹 시트를 만드는데 사용된 슬러리 조성.

Table 2. Compositions of slurry for production of ceramic sheet.

Al ₂ O ₃ +Glass	Powder	100
Toluene/Etanol (32/68)	Solvent	80
KD1	Dispersant	0.5
B98	Binder	10
DBP	plasticizer	6
Oleic Acid	plasticizer	0.5

2.2 LTCC 기판의 Impedance 설계

LTCC 기판의 내부 패턴이 복잡해지면, 위아래 층간의 전기적 간섭이 생기므로 사전 Impedance 설계는 중요하다. 시뮬레이션프로그램(CST Microwave Studio)으로 그라운드와 선폭, 선 간격 등을 조정하여 제품의 사양에 맞게 설계하였다. 그라운드의 형상은 전면 그라운드가 이상적이나, 다층기판의 경우는 그라운드와 세라믹 시트간의 접착성이 문제가 될 수 있으므로 Mesh Ground 방식을 사용하였다. 최종 설계조건은 그림 3, 표 3과 같다.

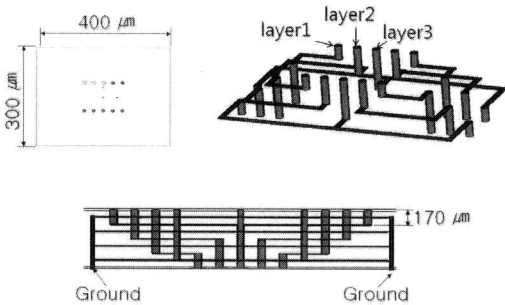


그림 3. 임피던스 디자인 시뮬레이션에 사용된 모식도.

Fig. 3. Schematics for simulation of impedance design.

표 3. Impedance 설계에 사용된 조건.

Table 3. The condition which is used in impedance design.

Pattern Layer	3 layer (각 Layer 170 μm)
Pattern 선폭	70 μm
Pattern 두께	10 μm
Via size	150 μm
Via Hole Size	300 μm
기판 재료 유전율(ϵ_r)	7.5
전극 재료	Ag
Ground Type	Mesh 구조
Impedance 해석 주파수	18 GHz

2.3 Via 펀칭, 전극인쇄, 적층

Via 와 Guide hole은 Punching machine(UHT)으로 뚫었다. Guide hole은 직경 3 mm, Via hole

은 직경 150 μm로 펀칭하였다. 은 페이스트로 Via hole을 채우고, 내부전극 역시 은으로 스크린 프린팅(Micro Tec MT-320TV)하였다. 스크린은 400 mesh, Stainless 제품을 사용하였으며, 인쇄 후 건조기에서 60 °C로 5 분간 건조하였다.

전극이 인쇄된 테이프를 140×140 mm 로 제작된 틀에 고정하여 60 °C에서 3 ton의 하중으로 층당 3 분씩 적층하고, 적층을 마친 후 20 ton의 하중으로 20 분간 가압하였다. 세라믹 테이프의 최종 적층 수는 34 층, 내부에는 총 13 층의 은 전극 패턴이 내장되었다.

2.4 소결, 상분석, 미세구조, 밀도, 유전특성 측정

소성은 경제적인 이유로 빠른 것이 좋으나, 유기용매와 유리상이 포함되어 있으므로 조심스럽게 행해야 한다. TG/DTA로 기초실험을 거친 후, 그림 4와 같이 소성스케줄을 확정하였다. 소성온도는 825~900 °C까지 25 °C간격으로 정하였다. 100 °C까지는 분당 5 °C로 승온하여, 내부의 잔존용매를 날려 보냈으며, 300 °C까지는 분당 1 °C, 500 °C까지는 분당 2 °C로 승온하여 유기물을 Burn-out 하였다. 이후 소결온도까지는 분당 5 °C로 승온하고, 최고온도에서 30분간 유지하였다.

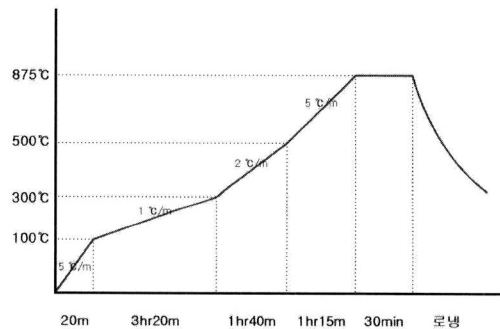


그림 4. 은 전극과 동시소성한 세라믹스의 소성 스케줄.

Fig. 4. Heating schedule for cofired ceramics with Ag-electrodes.

소성을 마친 기판은 XRD로 상분석하였고, 밀도는 밀도측정장치(Micrometrics Accpvc 1330)를 이용하였다. 유전상수와 유전손실은 펠렛형태의 시편으로 Impedance analyser(HP4991A, Agilent, USA)를 이용, 5회 이상 측정하여 평균값을 취하였다.

2.5 외부전극제작, 제품 검사

소성 전, 외부전극을 외부전극용 페이스트를 사용하여 스크린 프린팅기법으로 만들었다. 외부에 위치한 전극은 기계적 자극에 의해 손상될 위험이 크므로, 전극의 내구성을 높이기 위해 도금공정을 이후 추가하였다. 니켈의 두께를 달리하여 도금하고, 그 위에 금도금을 하였다. 전극의 내구성을 알기 위하여 비커스경도기(MITUTOYO MVK-H100)로 경도를 측정하고, 테이프와 핀셋을 이용하여 접착력을 확인하였다.

세라믹 기판위의 회로와 적층한 기판의 회로를 연결하는 Via 부위 등이 양호하게 연결되어 있는지를 살펴보기 위하여 파단면을 비디오 현미경으로 관찰하였다. 기판과 전극의 매칭여부는 층의 단면을 전자현미경(FEI Quanta 200FEG)으로 관찰하고, EDS로 분석하였다.

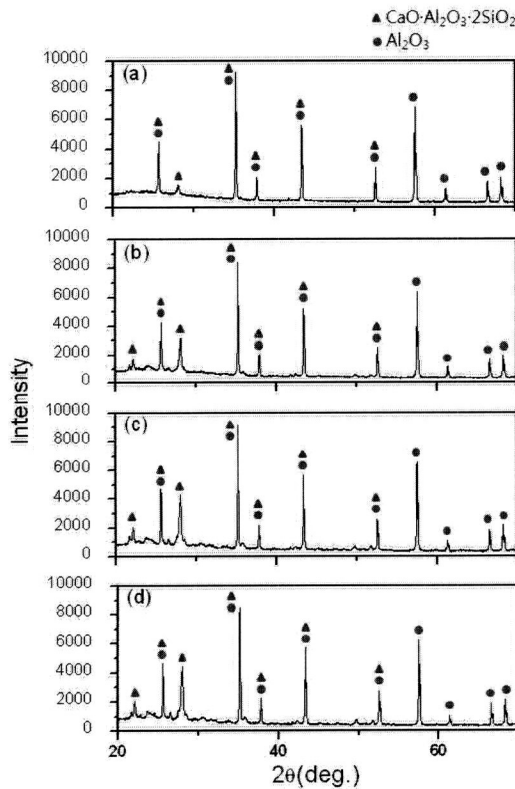


그림 5. 각 온도에서 30분 소결한 세라믹 시트의 X-선 회절분석.

Fig. 5. XRD patterns of ceramic sheets sintered for 30 minutes at different temperatures (a) 825 °C (b) 850 °C (c) 875 °C (d) 900 °C.

3. 결과 및 고찰

소성한 세라믹 기판의 XRD 분석은 그림 5와 같다. 분말을 분석한 그림 2와 비교하여 $\text{CaAl}_2\text{Si}_2\text{O}_8$ (anorthite)상이 추가로 검출되었다. $\text{CaAl}_2\text{Si}_2\text{O}_8$ 는 자연상으로 비중 2.76인 장석계열의 광물이다. 이 결정상은 소결 중 원료내의 반응에 의하여 생성되었을 것이다[13]. 소성온도가 높을수록 base line의 높이와 Al_2O_3 의 피크가 낮아지면서 $\text{CaAl}_2\text{Si}_2\text{O}_8$ 의 피크가 높아지는 것으로 보아, $\text{CaAl}_2\text{Si}_2\text{O}_8$ 생성반응에는 유리상과 Al_2O_3 가 함께 참여함을 알 수 있다.

소성한 기판의 두께는 140 μm 였다. 그림 6은 소성한 기판의 SEM사진이다. 유리상 매트릭스에 결

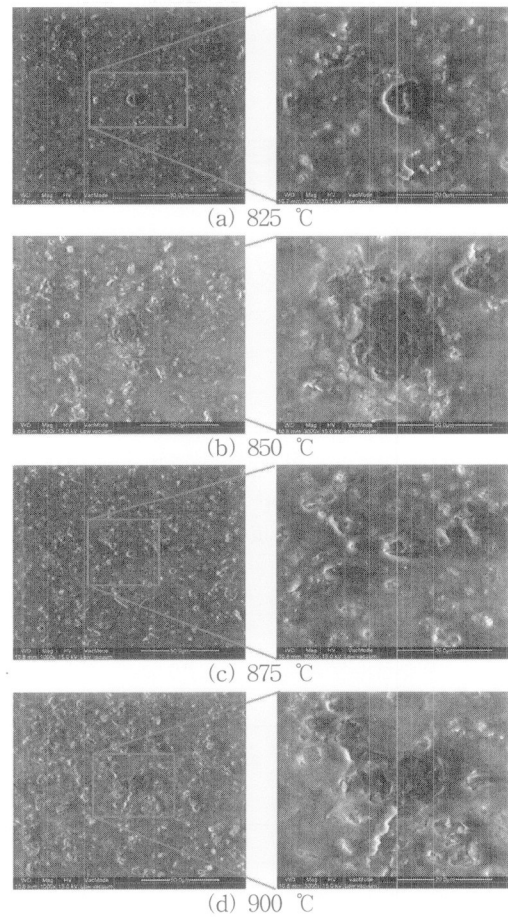


그림 6. 각 온도에서 30분 소결한 세라믹 시트의 미세구조.

Fig. 6. SEM micrographs of ceramic sheets sintered for 30 minutes at different temperatures (a) 825 °C (b) 850 °C (c) 875 °C (d) 900 °C.

정상이 골고루 분포하고 있는 형상이며, 유전특성에 영향을 미치는[14] 기공은 모든 온도에서 결정상 주위에 분포하는 것으로 나타났다. 밀도는 2.83~2.85 사이였으며, 소성온도가 높을수록 조금씩 높게 측정되었으나 별 차이를 보이지는 않았다. 복합소재 원료분말의 참비중이 3.02였고 소성에 따라 상변화가 발생하므로, 소결체의 이론밀도는 알 수가 없다. 2차상의 밀도가 2.76이고 소성온도가 증가할수록 양이 많아지므로, 밀도값으로 소결의 치밀성 여부를 판별하기는 적절하지 않다. 수축률은 13 % 안팎이었다.

유리-세라믹 복합체의 소결은 액상소결이론으로 설명된다. 알루미늄이나 입자사이에 존재하는 액상은 입자의 재배열을 돕고, 성형체와 유리상의 재분배 과정에서 생성된 기공을 배출하여 소결을 촉진한다. 결국 복합체의 치밀화는 유리상의 점성유동에 의하여 이루어진다고 볼 수 있다[15-17]. 소성 중 유리상과 결정상 사이의 반응에 의하여 생기는 2차상은 유리상의 점성유동성을 떨어뜨릴 수 있는데, 재분배과정에서 고립된 기공을 액상이 채우기 전에 2차상이 형성되는 경우는 기공을 남기는 악영향을 미친다고 알려져 있다[18]. 그러나 본 실험의 경우 온도가 높을수록 2차상인 $CaAl_2Si_2O_8$ 의 생성이 많아지는데도 미세구조상 큰 차이를 보이지는 않았다.

그림 7은 100 MHz의 주파수를 가한 상태에서 소성온도에 따른 유전상수와 유전손실값의 변화를 나타낸 것이다. 유전상수는 소성온도에 따라 편차를 보이고 있지 않으나, 유전손실은 소성온도가 높을수록 값이 낮게 나타났다. 유전특성은 기공, 밀도, 2차상, 과대입자에 의해 영향을 받는다[5,14,19]. 기공이 있으면 Microwave scattering이 발생하여 손실이 증가하며, 유리상으로 이루어진 유전체가 고주파에 노출될 경우는 제 2상에 의한 계면과 이온이동에 의해 유전손실이 영향을 받는다. 또 Ba^{+2} 같은 무거운 이온은 유전손실을 감소시키는 것으로 알려져 있다[20]. 소성온도의 증가에 따라 유전손실이 증가하는 것은 이런 다양한 요인이 복합적으로 작용한 것이며, $CaAl_2Si_2O_8$ 2차상의 증가가 주원인인 것으로 판단된다[21].

기판의 위아래 전극패턴을 연결해 주는 Via내의 은 전극이 잘 연결되어 있는지를 확인하기 위하여 기판을 파단하고 그 파단면을 비디오 현미경으로 관찰하였다(그림 8). Via의 filling이 잘못될 경우 공극이 잘 메워지지 않거나 아래쪽으로 불룩한 Cap이 생길 수 있다[20]. 본 연구에서 제조된 기판

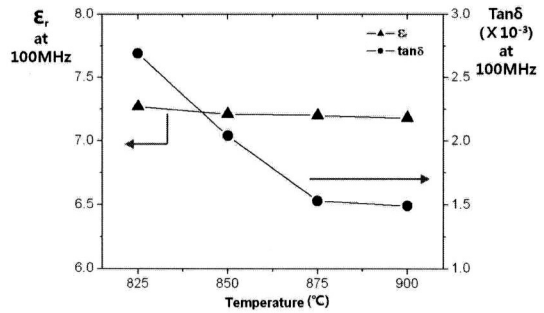


그림 7. 소성온도에 따른 세라믹스의 유전상수와 유전손실.

Fig. 7. Dielectric constants and loss tangents of ceramics sintered at different temperatures.

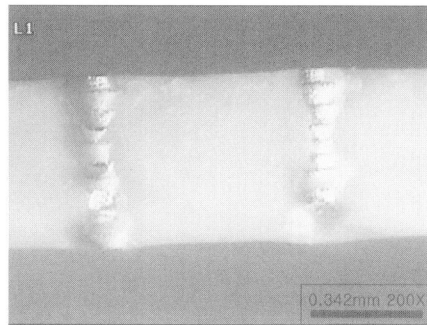


그림 8. 은전극으로 채워진 via 부위의 파단면 비디오 현미경 이미지.

Fig. 8. Video microscope images of fracture surface in the region of via, filled with Ag-electrode.

의 Via hole은 은 전극으로 잘 메워졌음을 알 수 있다. 통전테스트결과도 별 문제가 없었다.

적층과 소성공정 중에 발생한 중요한 결함은 세라믹 층과 층, 전극사이가 벌어지는 탈층(Delamination)이다. 탈층의 주원인은 세라믹기판과 전극사이에 남겨진 공극이 잔존하거나 두 소재 사이의 수축이 맞지 않는 것이다[22]. 초기실험과정에서 관찰된 이런 종류의 결함을 그림 9(a)에 보였다. 그림 9(b)는 이번 연구에서 제조된 기판의 단면 사진이며, 층사이의 공극이 없었다. 전극-세라믹스 계면에서의 상호반응을 확인하기 위하여 Line scan을 해본 결과, 계면에서의 반응이 없었고, 전극이 주위기판으로 확산되지 않았으며, 계면 접착성도 양호함을 확인할 수 있었다.

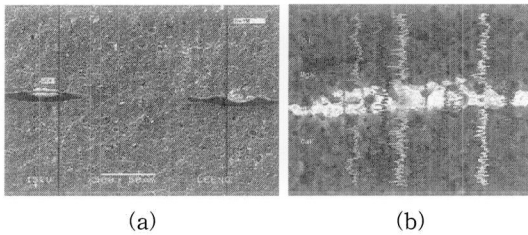


그림 9. (a) 공극을 보이는 분리된 세라믹 시트
(b) 잘 적층된 세라믹 시트의 단면과 라인스캔 이미지.

Fig. 9. (a) Delaminated ceramic sheet with voids
(b) Crosssectional structure and line scan image of good laminated ceramic sheet.

기판의 외부는 마모, 충격 등 다양한 기계적 스트레스를 받는다. 은은 경도가 낮으므로 외부에 드러난 은 전극은 벗겨질 위험이 크다. 본 연구에서는 내부 전극방식과 같이 스크린 프린팅기법으로 은 전극을 인쇄하고, 그 위에 은보다 전도특성은 나쁘지만 기계적 특성이 좋은 니켈과 금도금을 하여 이를 보완하고자 하였다.

그림 10은 동시소성 후의 외부전극의 사진이다. EDS 분석결과 페이스트에서는 볼 수 없었던 결정화된 은 패턴이 관찰되었다. 전극의 결정화는 전기 전도도를 향상시키는 것으로 알려져 있다. 기판과 외부전극의 계면 또한 안정적이었다. 여기에 니켈을 무전해방식으로 4 μm 두께로 입히고 그 위에 금을 0.3 μm 두께로 추가 도금하였다. 그림 11(a)는 도금부위를 비커스경도계로 찍은 사진이다. 경도값은 59.7 Hv였다. 니켈도금층의 두께를 5.5 μm 로 증가시켰더니(그림 11(b)), 경도는 73.8 Hv로 증가하였다. 도금부위를 핀셋으로 강하게 긁어 접착성을 검토한 결과 굽히지 않았으며, 3M 스카치테이프를 이용한 테스트에서도 박리현상을 보이지 않았다.

4. 결 론

PCB로 만들어지던 반도체 검사용 기판을 LTCC 기술을 적용한 다층회로기판으로 제작하였다. 전기적 간섭이 없는 적절한 임피던스를 설계하고, (CaO-Al₂O₃-SiO₂-B₂O₃유리+Al₂O₃) 복합소재분말로 세라믹 테이프를 제조하고, 은 전극을 인쇄하여 적층하고 소성하였다. 밀도와 유전특성을 측정하였으며, 미세구조와 Via 부위의 파단면과 기판-전극의

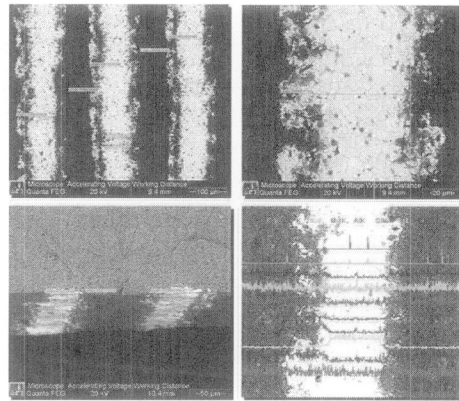


그림 10. 875 °C에서 30분간 동시 소성한 외부전극의 SEM-EDS 분석.

Fig. 10. SEM-EDS Analysis of co-fired outside electrodes at 875 °C for 30 min.

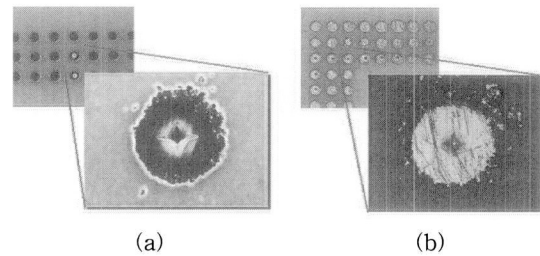


그림 11. 니켈 층 두께를 달리한 도금후 비커스경도 테스트를 거친 외부전극 이미지 (a) 약 4 μm (b) 약 5.5 μm .

Fig. 11. Images of plated outside electrode after vickers hardness test with different Ni-thickness (a) about 4 μm (b) about 5.5 μm .

매칭여부를 관찰하고, 외부전극을 만들어 도금한 후 경도와 접착성으로 내구성을 측정하였다.

소결조건은 850 °C에서 30분으로도 충분하였으며, 추가로 CaAl₂Si₂O₈상이 검출되었다. 소성된 세라믹스의 비중은 2.84 내외, 수축률은 13 % 내외, 유전상수는 100 MHz에서 7.2안팎으로 일정했고, 유전손실(tan δ)은 1.4~2.7 $\times 10^{-3}$ 의 값을 보였으며 소성온도가 높을수록 값이 낮았다. 외부전극의 내구성을 향상시키기 위하여 니켈로 무전해도금하고 그 위에 금으로 추가 도금한 결과, 기계적 마모에도 손상되지 않는 외부전극을 입힐 수 있었다. 34

개의 세라믹층과 13층의 전극으로 이루어진 LTCC 다층회로기판을 성공적으로 제조하였다.

감사의 글

이 논문은 2006학년도 동의대학교 교내연구비 (2006AA208)의 도움을 받아 연구되었습니다. 이에 감사드립니다.

참고 문헌

- [1] D. Amey and P. Barnwell, "Ceramic Technology for Integrated Packaging for Wireless", IEEE Integrated Circuits Symposium, p. 63, 1999.
- [2] C. Q. Scramton and J. C. Lawson, "LTCC Technology: Where We are and Where We're Going", IEEE Symposium on technologies for wireless applications, p. 193, 1999.
- [3] 강남기, 이우성, 김준철, 박종철, "수동소자 내장형 LTCC 개발동향", 세라미스트, 8권, 3호, p. 12, 2005.
- [4] 신호순, 여동훈, 김효태, 김종희, "차세대정보통신과 세라믹스", 세라믹스, 1월호, p. 71, 2007.
- [5] O. Dernovsek, A. Naeini, G. Preu, W. Wersing, M. Eberstein, and W. A. Shiller, "LTCC glass-ceramic composites for microwave application", J. Eur. Ceram. Soc., Vol. 21, p. 1693, 2001.
- [6] 윤중락, 이성원, 이현용, "Glass frit 및 TiO₂ 첨가에 따른 LTCC용 마이크로파 유전체의 유전특성", 전기전자재료학회논문지, 17권, 9호, p. 942, 2004.
- [7] 김관수, 윤상욱, 심상홍, 박종국, "저온소결 세라믹스용 SiO₂-B₂O₃-R(CaO, BaO, ZnO, Bi₂O₃) 분규산업계 세라믹/유리 복합체의 특성", 전기전자재료학회논문지, 20권, 1호, p. 19, 2007.
- [8] Y. J. Choi, J. H. Park, J. H. Park, S. Nahm, and J. G. Park, "Middle- and high permittivity dielectric compositions for low-temperature co-fired ceramics", J. Eur. Ceram. Soc., Vol. 27, p. 2017, 2007.
- [9] J. J. Bian, D. W. Kim, and K. S. Hong, "Glass-free LTCC microwave dielectric ceramics", Mat. Res. Bull., Vol. 40, No. 12, p. 2120, 2005.
- [10] Q. L. Zhang, H. Yang, J. L. Zou, and H. P. Wang, "Sintering and microwave dielectric properties of LTCC-zinc titanate multilayers", Materials Letters, Vol. 59, p. 880, 2005.
- [11] 남명화, 김효태, 황준철, 남중희, 여동훈, 김종희, 남산, "BaSn(BO₃)₂ 세라믹스의 저온소결 및 유전특성", 한국세라믹학회지, 43권, 2호, p. 92, 2006.
- [12] 송순모, "LTCC 및 동시소성 MLCC용 저온소성 glass", 세라미스트, 8권, 3호, p. 44, 2005.
- [13] K. Watanabe, "Coalescence and crystallization in powder high cordierite glass", J. Am. Ceram. Soc., Vol. 85, No. 4, p. 102, 1985.
- [14] C. C. Cheng, T. E. Hsieh, and I. N. Lin, "Microwave dielectric properties of glass-ceramic composites for low temperature co-firable ceramics", J. Eur. Ceram. Soc., Vol. 23, p. 2553, 2003.
- [15] K. G. Ewsuk, L. W. Harrison, and F. J. Walezak, "Sintering glass-filled ceramic composites: Effect of glass properties", Vol. 1[B], p. 969, Ed. by G. L. Messing e.a., American Ceramic Society, Westerville, OH, 1988.
- [16] K. G. Ewsuk "Ceramic-filled glass composite sintering", Vol. 5, p. 279, Ed. by K. M. Nair e.a., American Ceramic Society, Westerville, OH, 1990.
- [17] M. Valant, D. Suvorov, R. C. Puller, K. Sarma, and N. M. Alford, "A mechanism for low temperature sintering", J. Eur. Cer. Soc., Vol. 26, p. 2777, 2006.
- [18] M. Valant and D. Suvorov, "Microstructural phenomena in low firing ceramics", Materials Chemistry and Physics, Vol. 79, p. 104, 2003.
- [19] P. Liu, H. Ogawa, E. S. Kim, and A. Kan, "Microwave dielectric properties of low-temperature sintered Ca[(Li_{1/3}Nb_{2/3})/Ti]O_{3-δ} ceramics", J. Eur. Cer. Soc., Vol. 24, p. 1761, 2004.
- [20] P. W. McMillan, "Glass Ceramics", p. 209, Academic Press, NY, 1979.

- [21] E. S. Kim, B. S. Chun, J. D. Kim, and K. H. Yoon, "Low-temperature sintering and microwave dielectric properties of $[\text{Ca}_{0.6}(\text{Li}_{0.5}\text{Nb}_{0.5})_{0.4}]_{0.45}\text{Zn}_{0.55}\text{TiO}_3$ ceramics", Mater. Sci. Eng. B, Vol. 99, No. 1, p. 246. 2003.
- [22] Y. Imanaka, "Multilayered Low Temperature Cofired Ceramics(LTCC) Technology", Springer Inc., NY, 2005.