

논문 21-5-8

고압용 X7R 적층 칩 캐패시터의 Er_2O_3 및 유리프릿 첨가에 따른 전기적 특성

The Electrical Properties of High Voltage Multilayer Chip Capacitor with X7R by addition of Er_2O_3 and Glass Frit

윤중락^{1,a}, 김민기¹, 정태석¹, 우병철¹, 이석원²

(Jung Rag Yoon^{1,a}, Min Kee Kim¹, Tae Seog Chung¹, Byoung Chul Woo¹, and Seog Won Lee²)

Abstract

To manufacture the MLCC with X7R for high voltage stability, $\text{BaTiO}_3\text{-MgO-MnO}_2\text{-Y}_2\text{O}_3$ with $(\text{Ba}_{0.4}\text{Ca}_{0.6})\text{SiO}_3$ glass frit was formulated. Based on this composition, the addition of Er_2O_3 showed that TCC(Temperature Coefficient Capacitance) at 85 °C was improved from 5 % to ~0 %, but the dielectric constant and IR (Insulation Resistance) were decreased. The glass frit improved the dielectric constant and IR, so the appropriate contents of Er_2O_3 and glass frit were 0.6 mol% and 1 wt%, respectively. It showed that the dielectric constant and RC constant were 2,550 and 2,000 (ΩF), respectively in the sintering condition at 1250 °C in PO_2 10^{-7} Mpa. The MLCC with 3.2×1.6 (mm) size and 1 μF was also suited for X7R with the above composition.

Key Words : MLCC, X7R, Dielectric constant, Insulation resistance, Core-shell, TCC(Temperature coefficient capacitance)

1. 서론

최근 휴대용 전화기나 노트북과 같은 휴대용 전자기기의 수요 증가와 함께 부품의 소형화, 고성능화, 저 소모 전력 부품의 요구가 증가되고 있다. 캐패시터의 경우 소형이면서 고용량을 얻기 위해 적층형 구조를 하고 있으며 세라믹 유전체, 내부 전극, 외부 전극으로 구성된다. 고용량 적층 칩 캐패시터를 얻기 위해서는 높은 유전율을 가지는 유전체를 적용하거나 또는 유전체 두께를 얇게 하거나 내부 적층수를 증가시켜야 한다. 특히, 최근에는 고용량의 경우 BME MLCC (Base Metal Electrode MLCC)의 지속적인 신뢰성 향상에 따라 내부 전극

으로 Pd과 Ag-Pd와 같은 고가의 귀금속 대신 Ni과 Cu등과 같은 저가의 비금속을 적용함으로써 가격 경쟁력이 우수한 적층 칩 세라믹 캐패시터를 생산하고 있다[1-3]. 또한, BME MLCC를 고압용 세라믹 캐패시터로 적용하려는 노력이 증가되고 있으며 응용 분야로는 DC-DC 인버터, 대형 LCD 용 냉음극형광램프(CCFL), SMPS(Switch Mode Power Supply), 고출력 플라즈마 장비등이 있다.

현재는 리드가 있는 디스크형 세라믹 캐패시터, 필름 캐패시터가 대부분 사용되고 있으나 캐패시터의 소형화, 표면실장 및 캐패시터의 전기적 특성을 고려하여 고압용 적층 칩 캐패시터를 적용하는 경우가 증가하고 있다. 특히, 고압용 적층 칩 캐패시터의 경제성을 확보하기 위해 Ni을 내부전극으로 사용하는데, Ni는 대기중에서 소성시 NiO로 산화되어 부피가 팽창하므로, MLCC 제조시 Delamination등의 불량을 일으켜 적용이 어렵다. 따라서 낮은 산소 분압인 환원 분위기에서 소결하여야 하므로 유전체 세라믹이 내 환원성을 가져야

1. 삼화콘덴서공업(주) 연구소
(경기도 용인시 남동 북리 124)
2. 호서대학교 정보 제어 공학과
a. Corresponding Author : yoonjunrag@yahoo.co.kr
접수일자 : 2008. 2. 22
1차 심사 : 2008. 4. 22
심사완료 : 2008. 4. 25

한다. 일반적으로 X7R 온도 특성을 가지는 고용량, 고압용 MLCC 제작을 위하여 기본 재료로서 BaTiO₃가 상용화되어 있으며 EIA (Electronic Industries Association)에서는 대표적인 적층 칩 캐패시터의 규격으로 온도 특성에 따라 Y5V, X7R, NP0등으로 구분하고 있다. X7R 온도 특성은, 25 °C에서의 유전율을 기준으로 할 때, -55 °C에서 125 °C의 온도범위에서 정전용량 변화율이 ±15 % 이하인 특성을 가지는 것으로 정의된다[4]. 기존의 연구에서는 BaTiO₃를 주조성으로 하여 MgO, Y₂O₃, MnO₂, 희토류(Dy₂O₃, Ho₂O₃, Er₂O₃, Sm₂O₃), 저온 소결소재(V₂O₅, SiO₂, CaSiO₃)를 첨가하여 유전 특성을 향상시켰다는 보고는 있으나 고압용 원료로 적용시 인가전압에 따른 전기적 특성 및 내전압 특성에 대한 연구는 부족한 실정이다[2]. 따라서 본 논문에서는 X7R 특성을 만족하면서도 고전압 특성에 맞는 전기적 특성을 얻기 위하여 BaTiO₃ - MgO - MnO₂ - Y₂O₃를 주성분으로 하고 소결 조제로서 (Ba_{0.4}Ca_{0.6})SiO₃ 유리 프릿을 첨가하고 온도특성 및 내전압 특성을 향상시키기 위하여 Er₂O₃를 첨가하여 소결온도 및 첨가량에 따른 유전 특성 및 절연 저항 특성을 검토하였다. 또한 상기 조성을 이용하여 고압용 MLCC를 제작하여 고압 적층 칩 세라믹 캐패시터로서의 가능성을 확인하였다.

2. 실험 방법

본 실험에서 사용한 분말은 용매열법(Hydrothermal method)로 제조된 BaTiO₃ (Sakai, BT-04B)를 사용하였으며 첨가제로는 MgO, MnO₂, Y₂O₃ 첨가하였고 내전압 특성 및 온도 특성 향상을 위하여 유리 프릿으로 (Ba_{0.4}Ca_{0.6})SiO₃를 0 ~ 1.5 wt%, 희토류로 Er₂O₃ 0 ~ 0.9 mol% 첨가하였다. 유리프릿은 BaCO₃, CaCO₃, SiO₂를 건식 혼합한 후 1500 °C에서 2시간 용융한 후 급속 냉각시킨 후 불 밀을 이용하여 분쇄하였다. 조성에 따라 순수물과 지르코니아 불을 넣고 비드밀을 이용하여 24시간 혼합, 분쇄하였다. 최종 분말은 유리 프릿이 점성 유동을 할 수 있는 온도인 800 °C에서 2시간 열처리한 후 비드밀을 이용하여 재 분쇄한 후 건조하였으며 이때 분말의 입도는 D₅₀을 0.4 ~ 0.5 μm로 조절하였다. 그린시트 제작을 위한 슬러리는 세라믹 원료, 분산제 및 용매(톨루엔/에탄올)을 적정비로 배합한 후 바스켓 밀을 이용하여 8시간 혼합, 분산하였다. 혼합, 분산된 슬러리에 PVB

(Sekisui, BM-SZ), DOP (DC chemical)를 적정 배합비로 첨가한 후 4시간 혼합하여 슬러리를 제작하였으며, 닥터블레이드 방식을 적용하여 실리콘 코팅한 PET 필름위에 25 μm의 그린시트를 성형하였다. 그린시트위에 평균입경 D₅₀ 0.4 μm인 Ni 금속분말과 공제로서 0.1 μm BaTiO₃를 적용하여 만든 페이스트를 스크린 프린트법을 적용하여 내부전극을 형성하였다. 조성에 따른 전기적 특성을 위한 시료는 내부전극이 없는 세라믹 적층 칩 공정을 적용하여 10 × 10 × 2.0 mm인 시료를 준비하였으며 고압용 적층 칩 캐패시터 제작은 적층 칩 캐패시터 제조공정을 적용하여 적층, 압착, 절단하여 3.2×1.6×1.6 mm인 적층 칩을 제작하였다. 적층 칩을 260 °C에서 48시간 바인더 탈지 후 H₂-N₂-H₂O를 이용하여 Po₂ = 10⁻¹¹ MPa 분압 하에서 1250, 1280 °C에서 2시간 소성하였다. 적층 칩 캐패시터의 신뢰성 향상을 위하여 재산화 열처리 900 °C, Po₂ = 10⁻⁷ MPa 분위기에서 2시간 행하였다. 소성 칩을 내부 전극이 도출되도록 연마 후 Cu 전극을 이용하여 외부전극을 형성하여 800 °C에서 10분간 환원분위기에서 소성하였다. 외부전극을 형성 한 후 제품의 납땀성 향상을 위하여 바렐을 이용한 전해도금으로 Ni 2 ~ 5 μm, Sn 3 ~ 5 μm 두께로 도금하였다. 유전율과 손실은 1 kHz, 1 V_{rms} 조건으로 LCR 측정기 (HP4278A, HP, USA)를 이용하여 캐패시턴스 값을 측정 한 후 유전율을 계산하였다. 절연저항 저항 측정은 100 V, 60초 인가한 후 고저항 측정기 (HP4339B, HP, USA)를 이용하여 측정하였으며 R(절연저항)×C(캐패시턴스)으로 나타내었다. 온도 특성은 -55 °C ~ 125 °C, 1 kHz, 1 V_{rms} 조건에서 온도특성 측정기(4220A, S&A Inc., USA)를 이용하여 측정하였다.

3. 결과 및 고찰

그림 1(a)는 유리 프릿을 0.5 wt%로 고정된 후 1280 °C에서 소성한 시편의 Er₂O₃ 첨가량에 따른 XRD 결과로서 0.3 mol%에서는 Er이온이 원자 환경이 유사한 Ba, Ti위치에 치환되어 이차상이 보이지 않았다. 반면 0.6 mol%이상부터는 Er₂O₃와 TiO₂와의 반응에 의해 Er₂Ti₂O₇로 예상되는 이차상이 나타남을 볼 수 있다. (b)는 Er₂O₃ 첨가량에 따른 45.6도 영역에 있는 (002) 피크의 변화를 나타낸 그림으로서 첨가량이 증가함에 따라 (-)측으로 이동함을 볼 수 있다.

이와 같은 결과는 $(Ba_{1-2x}R_{2x})(Ti_{1-x}Mg_x)O_3$ ($x = 0 \sim 0.15$, $R=La, Sm, Dy, Ho, Er$)계에서 중간 크기의 이온반경을 가지는 Dy, Ho, Er이온의 경우 이온크기에 따라 x 가 작은 영역에서 격자상수가 감소되고 x 가 큰 영역에서 격자상수가 증가하여 (002) 피크가 이동한다는 기존의 보고한 유사한 결과이다[3,5,6].

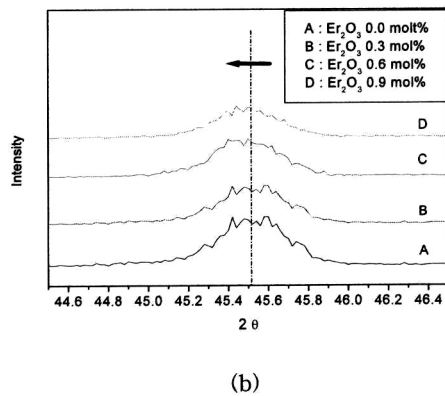
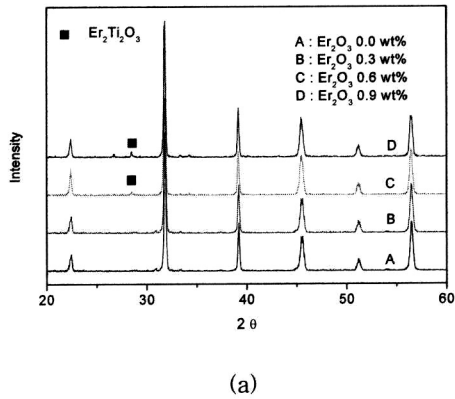


그림 1. Er_2O_3 첨가량에 따른 XRD 결과.
(a) 측정 범위 : 20 ~ 60
(b) 측정 범위 : 44.5 ~ 46.5

Fig. 1. XRD results as a function of content of Er_2O_3 .
(a) Test range : 20 ~ 60
(b) Test range : 44.5 ~ 46.5

그림 2는 유리프릿을 0.5 wt% 첨가한 후 Er_2O_3 첨가량 및 소결온도에 따른 유전율의 변화로서 소결온도에 따라 유전율이 증가하는 경향을 나타낸다. 1280 °C 소결 온도에서 Er_2O_3 첨가량이 0.6 mol%

까지는 유전율이 증가하는 경향을 보이는 반면 0.9 mol% 첨가시 유전율이 감소되었다. 유전율이 감소되는 원인은 그림 3과 같이 X7R 특성의 적층 칩 세라믹 캐패시터에서 나타나는 코어 셸 (core-shell) 에서 코어는 고유전율을 가지는 순수한 $BaTiO_3$ 로 구성되어 있지만 셸은 첨가제의 확산에 의해 생성된 층으로 낮은 유전율을 가지는 셸 영역이 증가하여 나타난 결과로 판단된다[5].

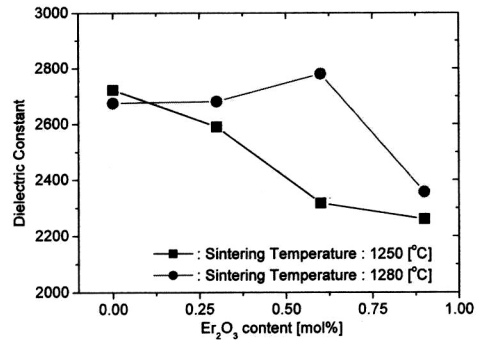


그림 2. Er_2O_3 첨가 및 소결온도에 따른 유전율.
Fig. 2. Dielectric constant as a function of content of Er_2O_3 and sintering temperature.

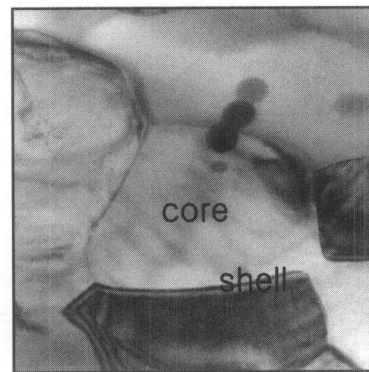


그림 3. X7R 온도특성을 가지는 적층 칩 캐패시터의 일반적인 TEM 미세 구조.
Fig. 3. A typical TEM micrograph of the core-shell grains in MLCCs(X7R).

그림 4는 유리프릿을 0.5 wt% 첨가한 후 Er_2O_3 첨가량 및 소결온도에 따른 유전손실의 변화량이다. 소결온도가 1280 °C에서는 소결온도에 무관하게 0.5 %이하의 우수한 유전 손실을 나타내고 있

으며 일반적으로 고압용 적층 칩 캐패시터에서는 유전손실이 1.5 %이하이면 충분하다. 1250 °C에서 첨가량이 증가함에 따라 유전 손실이 증가하는 것은 그림 2에서 나타난 유전율의 변화와 같이 소결성 저하에 의한 것으로 판단된다.

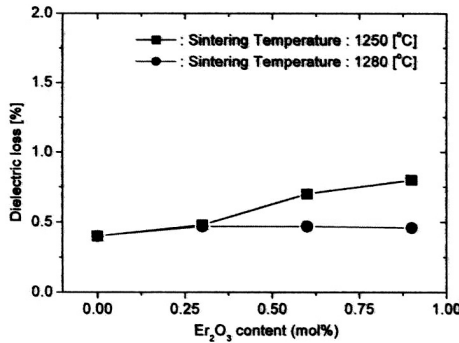
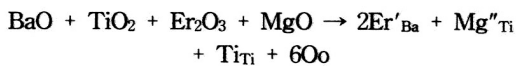


그림 4. Er₂O₃ 첨가 및 소결온도에 따른 유전 손실.
Fig. 4. Dielectric loss as a function of content of Er₂O₃ and sintering temperature.

그림 5는 유리프릿을 0.5 wt% 첨가한 후 Er₂O₃ 첨가량 및 소결온도에 따른 절연저항의 변화로서 소결온도 및 첨가량에 따른 영향을 크게 나타내지 않음을 확인 할 수 있다. 일반적으로 고신뢰성의 고압용 적층 칩 캐패시터 제작을 위해서는 R(절연저항)×C(정전용량)의 값이 1000 [ohm-F]이상은 되어야 한다. R×C 값을 증가시키기 위해서는 유리프릿 첨가에 의해 입계면의 저항을 높이거나 MgO와 Er₂O₃의 적절한 첨가에 의해 소결중에 발생하는 산소 빈자리를 최소화하는 방법 등이 있다[7]. 본 논문에서는 Mg나 Er₂O₃의 첨가시 다음과 같은 반응식에 의해 원자가 보상이 이루어지는 것으로 판단된다.



Er이온이 Ba을 치환하여 Er'_{Ba}가 되어 도너로서 작용하고 Ti를 치환하는 Mg''_{Ti}가 억셉터로 작용하여 원자 가 보상이 이루어진다.

그림 6은 유리프릿을 0.5 wt% 첨가한 후 1280 °C의 소결온도에서 Er₂O₃ 첨가량에 따른 온도특성 그림이다. 일반적으로 유전체 층의 박막화에 따라 (-)온도 영역의 온도 특성은 증가하고 (+) 영역의 온도 특성은 감소하는 현상이 나타난다. 따라서 유

전체 조성 선정시 85 °C 부근 영역(A 영역)과 125 °C 부근 영역(B 영역)에서의 온도 변화율을 중요시 한다. A 영역에서는 온도에 따른 용량 변화율이 - 2 %이하가 B 영역에서는 8 %이상일 때가 고안정 온도특성을 가지는 X7R 적층 칩 캐패시터

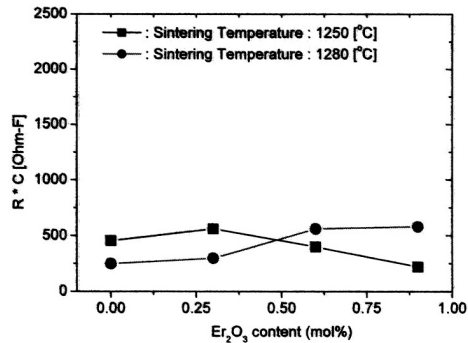


그림 5. Er₂O₃ 첨가 및 소결온도에 따른 R×C 값.
Fig. 5. R×C value as a function of content of Er₂O₃ and sintering temperature.

설계시 중요한 요소가 된다[7]. 본 논문에서는 Er₂O₃의 증가에 따라 A 영역에서의 용량에 따른 용량 변화율이 (+)로 이동함을 볼 수 있으며 이와 같은 현상은 그림 2에서의와 같은 온도 안정성을 가지는 셀 확산층 증가에 의한 것으로 판단된다.

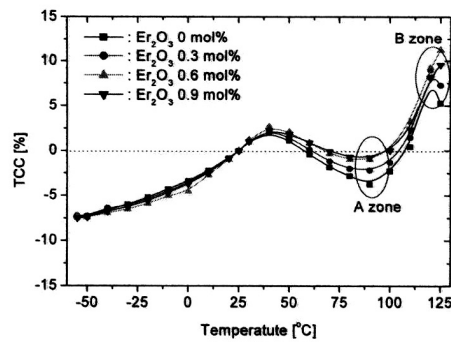


그림 6. Er₂O₃ 첨가에 따른 온도 특성(소결온도 : 1280 °C).

Fig. 6. Temperature change of capacitance as a function of content of Er₂O₃(sintering temperature : 1280 °C).

Er₂O₃ 첨가량에 따른 실험 결과 X7R 특성을 가지는 고압, 고용량 적층 칩 캐패시터를 제작하기 위한 조성으로 유전율, 유전손실, 온도 안정성은 만족한 수준이었으나 절연저항 특성인 R×C 값이 낮은 수준이었다. 따라서 본 논문에서는 절연저항 개선을 위하여 입계의 절연저항을 높이기 위하여 유리 프릿을 첨가하여 이에 따른 유전특성을 검토하였다.

그림 7은 Er₂O₃을 0.6 mol% 첨가한 후 유리프릿 첨가량 및 소결온도에 따른 유전율이다. 소결온도가 높을수록 유전율은 증가하지만 저유전율을 가지는 유리 프릿의 함량이 증가 할수록 소결온도에 따른 영향이 작아짐을 볼 수 있다. 또한 저유전율을 가지는 유리프릿의 함량이 증가 할수록 유전율이 감소하며 일반적인 유전율 대수 혼합 법칙에 의한 결과로 판단된다.

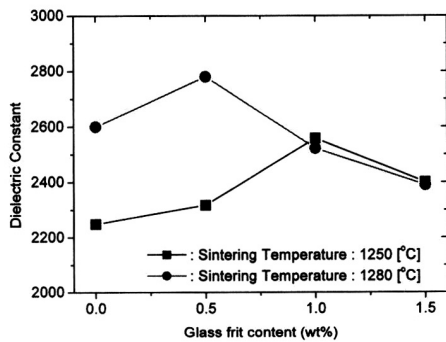


그림 7. 유리프릿 첨가 및 소결온도에 따른 유전율.
Fig. 7. Dielectric constant as a function of content of glass frit and sintering temperature.

그림 8은 Er₂O₃을 0.6 mol% 첨가한 후 유리프릿 첨가량 및 소결온도에 따른 유전 손실로서 1%이하의 우수한 특성을 나타내고 있다. 저손실 유전특성을 가지는 유전체의 경우 유리프릿과 같은 이차상에 의해 유전 손실이 증가하지만 고유전율을 가지는 유전체에서 소량의 유리프릿은 유전손실에 악영향을 미치지 않음을 확인 할 수 있으며 소결 조제로서의 역할을 하고 있음을 확인 할 수 있다.

그림 9는 Er₂O₃을 0.6 mol% 첨가한 후 유리프릿 첨가량 및 소결온도에 따른 R×C 값이다. 유리프릿 1.0 wt%, 소결온도 1250 °C에서 R×C 값이

2000 [ohm-F]으로 우수한 특성을 나타내고 있으며 유리프릿의 첨가에 의해 절연 특성이 향상됨을 확인할 수 있었다. 유리프릿 첨가량에 따른 절연저항 증가는 고저항을 가지는 유리질이 결정립 주위에 절연층을 형성하므로 나타난 결과로서 균일한 절연층 형성을 위하여 적절한 소결온도가 요구됨을 확인할 수 있다.

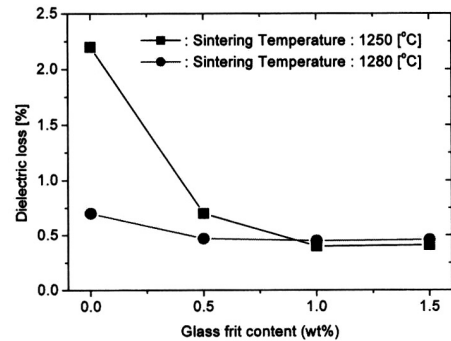


그림 8. 유리프릿 첨가 및 소결온도에 따른 유전 손실.

Fig. 8. Dielectric loss as a function of content of glass frit and sintering temperature.

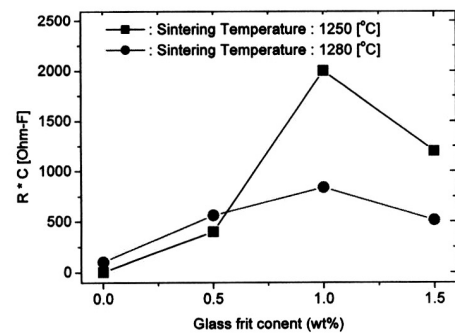


그림 9. 유리프릿 첨가 및 소결온도에 따른 R×C 값.
Fig. 9. R×C value as a function of content of glass frit and sintering temperature.

그림 10은 Er₂O₃을 0.6 mol% 첨가한 후 1280 °C 소결온도에서의 유리프릿 첨가량에 따른 온도특성이다. 온도특성은 A, B 영역 모두에서 유리프릿의

첨가량이 증가함에 따라 (-) 쪽으로 감소함을 볼 수 있으며 이와같은 특성은 그림 6에서 설명한 바와 같이 유전체 박막화시 온도 특성에는 좋지 않은 특성을 나타내므로 적절량을 첨가하여야 함을 볼 수 있다. 유리프릿 함량이 1.0 wt%까지는 A 영역에서는 온도에 따른 용량 변화율이 -2 %이상이고 B 영역에서는 7 %이상을 나타내고 있어 고안정 온도특성을 가지는 X7R 적층 칩 캐패시터의 제작이 가능한 특성을 가짐을 볼 수 있다.

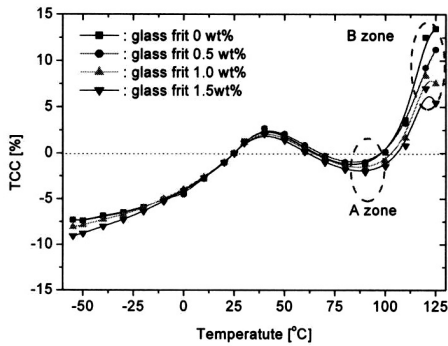


그림 10. 유리프릿 첨가에 따른 온도 특성(소결온도 : 1280 °C).

Fig. 10. Temperature change of capacitance as a function of content of glass frit (sintering temperature : 1280 °C).

본 논문의 실험 결과 고용량, 고압 적층 칩 캐패시터 제작하기 위해서 유리프릿 함량 1.0 wt%, Er₂O₃을 0.6 mol%조성을 선정하여 그린시트 두께를 8 μm로 성형한 후 정전용량 1 uF, 칩 크기 3.2×1.6×1.6 mm로 설계하여 일반적인 적층 칩 공정으로 제작하였다. 그림 11은 1250 °C에서 소성한 적층 칩 캐패시터의 단면 사진으로 그레인의 크기가 0.5 μm이하로 균일한 분포를 보이고 있으며 소결에 의한 입성장이 거의 없음을 확인 할 수 있다. 일반적으로 고압용 적층 칩 캐패시터에서 고신뢰성을 얻기 위해서는 그레인의 크기가 균일하고 이차상이 적은 경우가 우수한 결과를 얻을 수 있다[7].

표 1은 적층 칩 캐패시터 전기적 특성을 나타낸 결과로서 정전 용량은 1.08 uF, 유전손실 1.4 %로 규격을 만족하는 수준이며 절연저항 및 절연파괴 전압은 1.06 GΩ, 670 V로 단위 두께당 절연파괴

전압이 103 V/μm로 고압용 적층 칩 캐패시터 원료로서의 적용 가능성을 확인 하였다.

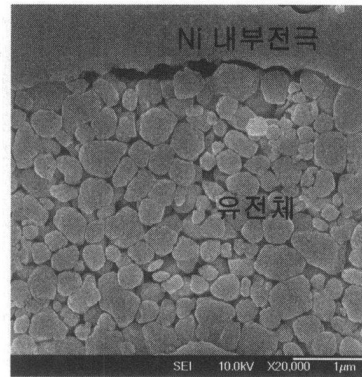


그림 11. 1250 °C 소성한 적층 칩 캐패시터의 미세구조.

Fig. 11. Microstructure of MLCC sintered at 1250 °C.

표 1. 적층 칩 캐패시터의 전기적 특성.

Table 1. Electric properties of MLCC.

용량[uF]	손실[%]	IR[GΩ]	BDV[Volt]
1.08	1.4	1.06	670

그림 12는 적층 칩 캐패시터의 온도변화에 따른 용량 변화율 특성으로 저온영역인 -55 ~ 25 °C에서는 -4.33 %, 고온 영역인 25 ~ 125 °C에서 -12.3 %로 모두 X7R 특성을 만족하였다.

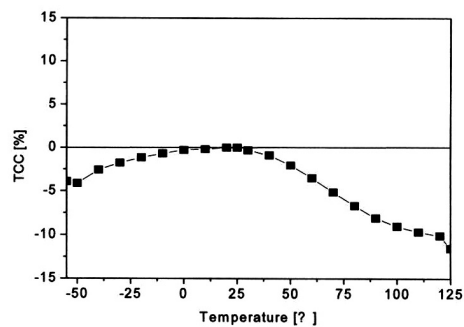


그림 12. MLCC 온도변화에 따른 용량 특성.

Fig. 12. Capacitance characteristic of MLCC as a function of temperature change.

4. 결 론

고압용 적층 칩 캐패시터 제작을 원료 실험 결과 Er_2O_3 을 0.6 mol% 첨가한 후 유리프릿 1.0 wt 첨가시 유전율 2500이상, 유전손실 0.5 %이하, 절연저항 ($R \times C$) 1000이상의 값을 얻을 수 있었으며 희토류인 Er_2O_3 을 첨가시 유전율 및 절연저항이 감소하는 경향을 보이나 85 °C 영역에서 온도특성을 향상시키는 것을 확인하였다. 상기 조성을 적용하여 적층 칩 캐패시터를 제작하여 1 μF 의 정전용량을 얻었으며 단위 두께당 절연파괴 전압이 103 $\text{V}/\mu\text{m}$ 로 고압용 적층 칩 캐패시터 원료로서의 적용가능성을 확인 하였다.

참고 문헌

- [1] H. Kishi, N. Kohzu, J. Sugino, H. Ohsato, Y. Iguchi, and T. Okuda, "The effect of rare-earth (La, Sm, Dy, Ho and Er) and Mg on the microstructure in BaTiO_3 ", J. Eur. Ceram. Soc., Vol. 19, p. 1043, 1999.
- [2] 이석원, 윤중락, "X7R 적층칩 세라믹 캐패시터 조성의 희토류첨가에 따른 유전특성", 전기전자재료학회논문지, 16권, 12호, p. 1080, 2003.
- [3] H. Chazono and H. Kishi, "DC electrical degradation of the BT based materials for multilayer ceramic capacitor with Ni internal electrode: Impedance analysis and micro-structure", Jpn. J. Appl. Phys., Vol. 40, p. 5624, 2001.
- [4] Electronic Industries Association, Specification, #RS198.
- [5] 문 환, 김민기, 전현표, 안재평, 윤중락, 정태석, "첨가물의 형태가 MLCC X7R 조성의 유전특성 및 미세구조에 미치는 영향", 한국세라믹학회논문지, 40권, 7호, p. 644, 2003.
- [6] 윤중락, 우병철, 이현용, 이석원, "고용량 적층 세라믹 캐패시터에서 설계 및 제조공정에 따른 전기적 특성 평가", 전기전자재료학회논문지, 20권, 2호, p. 118, 2007.
- [7] T. Tsurumi, H. Adachi, H. kakemoto, S. Wada, Y. Mizuno, H. Chazono, and H. Kishi, "Dielectric properties of BaTiO_3 -based ceramics under high electric field", Jpn. J. Appl. Phys., Vol. 41, Part 1, No. 11B, p. 6929, 2002.