

논문 21-4-3

50 nm 급 낸드플래시 메모리에서의 Program/Erase 스피드 측정을 통한 트랩 생성 분석

Trap Generation Analysis by Program/Erase Speed Measurements in 50 nm Nand Flash Memory

김병택^{1,a}, 김용석¹, 허성회¹, 유장민¹, 노용한²

(Byoung Taek Kim^{1,a}, Yong Seok Kim¹, Sung Hoi Hur¹, Jang Min Yoo¹, and Yonghan Roh²)

Abstract

A novel characterization method was investigated to estimate the trap generation during the program/erase cycles in nand flash memory cell. Utilizing Fowler-Nordheim tunneling current, floating gate potential and oxide electric field, we established a quantitative model which allows the knowledge of threshold voltage (V_{th}) as a function of either program or erase operation time. Based on our model, the derived results proved that interface trap density (Nit) term is only included in the program operation equation, while both Nit and oxide trap density (Not) term are included in the erase operation equation. The effectiveness of our model was tested using 50 nm nand flash memory cell with floating gate type. Nit and Not were extracted through the analysis of Program/Erase speed with respect to the endurance cycle. Trap generation and cycle numbers showed the power dependency. Finally, with the measurement of the experiment concerning the variation of cell V_{th} with respect to program/erase cycles, we obtained the novel quantitative model which shows similar results of relationship between experimental values and extracted ones.

Key Words : Nit, Not, Trap generation, Nand flash memory, Endurance

1. 서론

플래시메모리의 신뢰성, 즉, Endurance/data retention 특성을 결정짓는 가장 중요한 요인 중의 하나가 트랩 생성으로 인한 게이트 산화막 열화이다. 때문에 계면 트랩 밀도(Nit), 산화막 트랩 밀도(Not)를 측정하기 위한 여러 방법들이 연구되어 왔다. MOSFET의 경우 Quasi-static 방법, Conductance 방법, High frequency capacitance 방법, Charge pumping current 방법, Subthreshold

current 방법, DC-IV 방법 등이 그것이다[1]. 그러나, 위의 평가 방법들은 C.C.S.(동일 전류 인가)나 C.V.S(동일 전압 인가)의 조건을 바탕으로 이루어진 것으로 동적인 스트레스가 가해지는 플래시메모리에 직접 적용하기에는 어려움이 있다. Program/Erase cycle(P/E cycle)이 연속적으로 진행되는 Endurance 테스트의 경우, 플로팅 게이트 셀에 가해지는 스트레스의 방향 역시 계속 바뀐다. 게다가 동일 동작의 경우에도 동작 시간에 따라 플로팅 게이트에 저장되는 전하량이 변화하며, 이로 인해 산화막의 전기장(oxide field) 역시 변한다. 게다가, 스트링으로 여러 셀이 연결되어 있는 실제 셀 구조에서의 트랩 생성을 분석한 연구는 많지 않다. 이전에 Oxide field의 관점에서 Erase셀에서의 문턱전압 열화에 대한 연구가 진행된 바 있다[2]. 그러나, 이 논문에서는 program 동작이 Hot electron 주입을 통해 이루어졌고, CHE(Channel Hot Electron

1. 삼성전자 반도체총괄 메모리사업부 Flash PA팀 (경기도 용인시 기흥구 농서동 산24)
2. 성균관대학교 정보통신공학부
a. Corresponding Author : kyobongq.kim@samsung.com
접수일자 : 2008. 2. 4
1차 심사 : 2008. 2. 25
심사완료 : 2008. 3. 20

스트레스가 FN(Fowler-Nordheim) 터널링 스트레스에 비해 작다는 점이 감안되어 program 동작 시의 스트레스는 고려되지 않았다. 하지만 program, erase 모두 FN 터널링을 통해 진행되는 낸드플래시 제품에서는 각각의 경우를 모두 고려한 연구가 진행되어야 한다. 그리고, 문턱전압 열화에서 나아가 열화를 야기한 트랩의 성질 및 그 양에 대한 분석이 필요하다.

이 논문에서는 50 nm급의 낸드플래시 메모리를 제작하여 Endurance 테스트를 진행하였다. 동작 시간에 따른 oxide field 변화식을 통해, Program과 Erase 각각의 경우에 따른 동작 시간에 대한 문턱전압 변화식을 유도하였다. 실제 디바이스의 측정 데이터를 이용하여, 문턱전압 식에 포함되어 있는 파라미터들을 추출하였다. 이를 통해 산화막 트랩 및 계면 트랩 양을 추출해 낼 수 있었으며, 실제 Endurance 사이클을 진행하여 측정된 문턱전압과 모델링된 식으로부터 예측된 문턱전압을 비교 및 검증하였다.

2. 실험 및 결과, 고찰

2.1 동작 시간에 따른 문턱전압 변화 모델링

2.1.1 동작 시간에 따른 oxide field 의 변화 전하량 보존 법칙으로부터 다음과 같은 관계가 성립 한다[3].

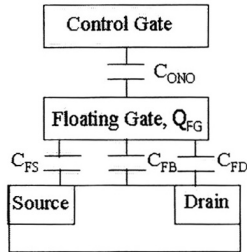


그림 1. 플로팅게이트 트랜지스터 단면 개념도.
Fig. 1. Schematic cross section of the floating gate transistor.

$$Q_{FG} = C_{ONO}(V_{FG} - V_{CG}) + C_{FS}(V_{FG} - V_S) + C_{FD}(V_{FG} - V_D) + C_{FB}(V_{FG} - V_B)$$

여기서 플로팅게이트, 컨트롤게이트, 소스, 드레인, 벌크에서의 전위를 각각 V_{FG} , V_{CG} , V_S , V_D , V_B 라 한다. 낸드 동작의 경우, $V_S = V_B = V_D = 0$ 이므로, V_{FG} 를

다음과 같이 간략히 나타낼 수 있다.

$$V_{FG}(t) = \frac{C_{ONO}}{C_T} V_{CG} + \frac{Q_{FG}(t)}{C_T} \quad (1)$$

여기서 $C_T = C_{ONO} + C_{FS} + C_{FD} + C_{FB}$

$$\text{Coupling ratio } C_{CR} = C_{ONO}/C_T$$

낸드플래시 메모리에서 Program과 Erase 동작은 FN 터널링에 의해 진행되며, 터널 산화막을 통과 하는 전류는 다음과 같다.

$$I_{FN}(t) = S \cdot A \cdot E_{OX}^2(t) \exp\left(-\frac{B}{E_{OX}(t)}\right) = -\frac{dQ_{FG}(t)}{dt} \quad (2)$$

여기서 S ; 산화막 면적, A, B ; FN 파라미터 E_{OX} ; oxide field

또한, Oxide field는 다음과 같이 표현할 수 있다.

$$E_{OX}(t) = \frac{V_{FG}(t) - V_{FB} - \psi_S}{T_{OX}} \quad (3)$$

여기서 V_{FB} ; Flatband 전압, T_{OX} ; 산화막 두께 ψ_S ; 기판에서의 표면 전위

식 (1), (2), (3) 을 이용하면, oxide field를 구할 수 있다[2].

$$E_{OX}(t) = \frac{B}{\ln\left[\frac{C_{CR} A \cdot B \cdot S}{T_{OX} C_{ONO}} t + \exp\left(\frac{B}{E_{OX}(t=0)}\right)\right]} \quad (4)$$

2.1.2 Program 시간에 따른 문턱전압의 변화 프로그램 동작에서의 Oxide field와 Flatband 전압은 다음과 같이 표현된다.

$$E_{OX}(t) = \frac{V_{FG}(t) - V_{FB} - 2\psi_F}{T_{OX}} \quad (5)$$

$$V_{FB} = V_{FB,0} - \int_0^{T_{ox}} \frac{q_{ox}(x)}{\epsilon_{ox}} x dx \quad (6)$$

여기서 ψ_F ; 페르미 전위, ϵ_{ox} ; 산화막 유전율 q_{ox} ; 유효 산화막 트랩 전하 밀도 $V_{FB,0}$; 산화막 내 트랩이 없는 경우의 flatband 전압

V_{FG} 에 대한 식(1)은 다음과 같이 변형될 수 있다.

$$V_{FG}(t) = C_{CR}(V_{CG} + V_{th0,CG} - V_{th,CG}(t)) \quad (7)$$

여기서 $V_{th,CG}$; 컨트롤게이트에서 바라본 문턱전압
 $V_{th0,CG}$; 플로팅게이트에 전하가 없을 경우의 $V_{th,CG}$

이때, $V_{th0,CG}$ 는 다음과 같이 나타낼 수 있다.

$$V_{th0,CG} = \frac{1}{C_{CR}} \times \left(V_{FB0} - \int_0^{T_{ox}} \frac{q_{ox}(x)}{\epsilon_{ox}} x dx - \frac{Q_{it,2\psi_F} + Q_{D,2\psi_F}}{C_{OX}} + 2\psi_F \right) \quad (8)$$

여기서 $Q_{it,2\psi_F}$; 유효 계면 트랩 전하밀도
 $Q_{D,2\psi_F}$; 공핍 전하밀도

식(4), (5), (6), (7), (8)을 이용하면, Program 동작 시간에 따른 셀의 문턱전압을 구할 수 있다.

$$V_{th,CG}(t) = \frac{-K_2}{\ln \left[K_1 t + \exp \left(\frac{K_2}{V_{CG} + V_{N_A}^p + V_{\ni t} - V_{th,CG}(0)} \right) \right]} + V_{CG} + V_{N_A}^p + V_{\ni t} \quad (9)$$

여기서

$$K_1 = \frac{C_{CR} A B S}{T_{OX} C_{ONO}}, \quad K_2 = \frac{B T_{OX}}{C_{CR}}$$

$$V_{N_A}^p = \frac{1}{C_{CR}} \left(-\frac{Q_{D,2\psi_F}}{C_{OX}} \right), \quad V_{\ni t} = \frac{1}{C_{CR}} \left(-\frac{Q_{it,2\psi_F}}{C_{OX}} \right)$$

여기에서 $V_{\ni t}$ 는 계면 트랩 전하량에 의해 결정되는 항이며 $V_{N_A}^p$ 는 기판농도에 의해 좌우되는 값으로 프로그램의 경우에 해당된다.

2.1.3 Erase 동작 시간에 따른 Vth의 변화

Program의 경우와 마찬가지로의 방법을 통해 Erase에 대해서도 셀의 문턱전압 식도 구할 수 있다. Erase의 경우 E_{OX} 와 V_{FB} 는 다음과 같다[4].

$$E_{OX}(t) = \frac{|V_{FG}(t)| - V_{FB} - 0.55 + \psi_F}{T_{OX}} \quad (10)$$

$$V_{FB} = V_{FB,0} - \int_0^{T_{ox}} \frac{q_{ox}(x)}{\epsilon_{ox}} (T_{OX} - x) dx \quad (11)$$

식(4), (7), (8), (10), (11)을 이용하면, 다음의 식을 구할 수 있다.

$$V_{th,CG}(t) = \frac{K_2}{\ln \left[K_1 t + \exp \left(\frac{K_2}{-V_{CG} - V_{N_A}^E - V_{\ni t} - V_{Not} + V_{th,CG}(0)} \right) \right]} + V_{CG} + V_{N_A}^E + V_{\ni t} + V_{Not} \quad (12)$$

$$\text{여기서 } V_{N_A}^E = \frac{1}{C_{CR}} \left(2V_{FB,0} - \frac{Q_{D,2\psi_F}}{C_{OX}} + 0.55 + \psi_F \right)$$

$$V_{Not} = \frac{1}{C_{CR}} \left(-\frac{\int_0^{T_{ox}} q_{ox}(x) dx}{C_{OX}} \right)$$

이때 V_{Not} 는 산화막 트랩 전하량에 의해 결정되는 항이며, $V_{N_A}^E$ 는 기판농도에 좌우되는 값으로 Erase에 해당된다. Program의 경우 트랩 밀도 중 Nit만 문턱전압에 영향을 주고 있는 것에 반해 Erase의 경우에는 Nit와 Not 모두 영향을 주고 있는 것으로 표현된다.

2.2 실험 방법 및 결과, 고찰

실험에 사용된 제품은 50 nm급의 플로팅게이트 타입 낸드플래시메모리이다. 해당 제품은 Self-Aligned Poly(SAP) 방식이 사용되었으며 64개의 Word Line 을 가지고 있다. C-V와 FN 터널링 전류 측정을 통해 FN 파라미터 A, B를 구하였다.

계산된 A, B와 시뮬레이션으로 얻은 coupling ratio를 이용하여 K_1 , K_2 를 구하였다.(Program의 경우, $K_1=4.56 \times 10^{14} s^{-1}$, $K_2=415$ V, Erase의 경우, $K_1=3.76 \times 10^{14} s^{-1}$, $K_2=359$ V, 이때 공정 시뮬레이터로 HySyProS, 디바이스 시뮬레이터로 DESSIS 를 사용하였다.)

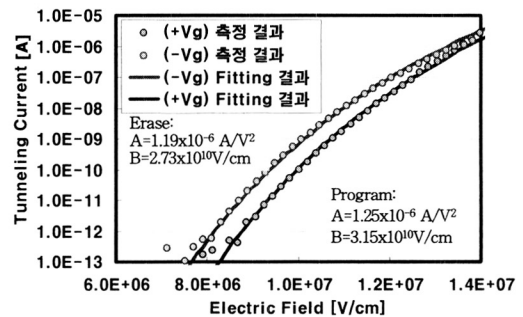
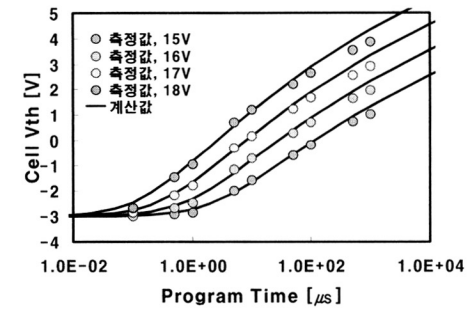
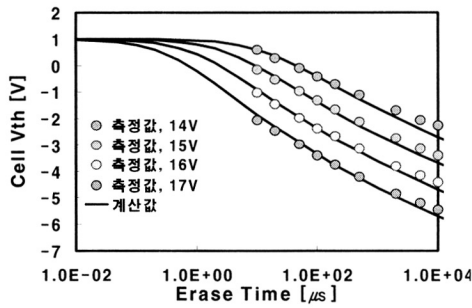


그림 2. 전기장 vs FN 터널링전류.

Fig. 2. Electric field vs FN tunneling current.



(a)



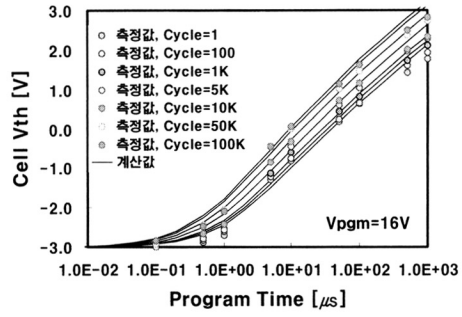
(b)

그림 3. (a) Program 전압별 시간 (b) Erase 전압별 시간에 따른 초기상태 셀의 문턱전압 측정결과와 fitting 곡선.

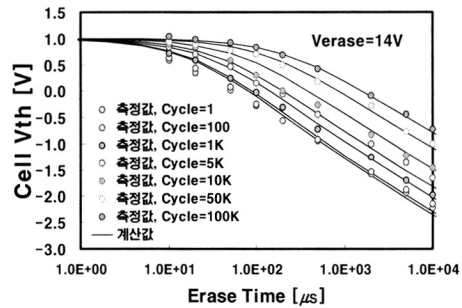
Fig. 3. Operation time vs measured Vth of the cell in the initial state and appropriate fitting curve (a) in the program and (b) in the erase.

그림 3을 통해 식(9), (12)의 $V_{N_A}^P, V_{N_A}^E$ 를 구할 수 있다. 그림 3(a)는 P/E cycle을 진행하지 않은 초기 상태에서, Program 전압별로 Program 시간에 따른 문턱전압 측정 결과와 fitting 곡선을 표시한 그림이다. fitting 곡선은 식(9)를 이용한 것으로, 초기 상태이므로 V_{Nit} 와 V_{Not} 는 모두 0으로 가정하였고 적절한 $V_{N_A}^P$ 값을 도입하여 측정결과에 부합하는 fitting 곡선을 표시할 수 있다. 그림 3(b)와 같이 Erase의 경우에도 측정 결과와 식(12)을 사용하여 $V_{N_A}^E$ 를 추출할 수 있다.

그림 4는 V_{Nit} 와 V_{Not} 를 추출하기 위한 P/E cycle 후의 문턱전압 측정결과이다. 그림 4(a)에서 P/E cycle 별로 program 시간에 따른 문턱전압을 측정하고 식(9)를 fitting하였다. cycle 횟수 별 V_{Nit} 값을 구할 수 있다. 그림 4(b)는 P/E cycle 별 erase 시간에 따른 문턱전압 측정결과와 fitting 곡선이다. cycle 별 V_{Not} 를 구할 수 있다.



(a)



(b)

그림 4. P/E cycle 횟수별 (a) Program 시간과 (b) Erase 시간에 따른 셀 문턱전압 측정 결과와 fitting 곡선.

Fig. 4. Operation time vs measured Vth and appropriate fitting curve according to P/E cycle number (a) in the program and (b) in the erase.

그림 5는 그림 4에서 추출된 Not, Nit 값을 P/E cycle 횟수에 대해 그린 그림이다. 기존의 연구결과대로 cycle 횟수와 트랩 밀도 변화량은 power dependency를 가지고 있음을 확인할 수 있다[5].

마지막으로 그림 6에서 P/E cycle 별로 실제 측정값과 식(9), (12)를 이용하여 예상한 셀의 문턱전압을 비교해보았다. 이제까지의 실험과는 달리 이번에는 문턱전압 측정 전 초기 전압을 고정하지 않음으로써 실제 Endurance 테스트와 동일한 조건에서 이루어지도록 하였다.

측정 결과와 계산 결과가 거의 일치함을 확인할 수 있다. Program의 경우 Not로 인한 FN 터널링 전류 감소로 기인한 플로팅게이트에 포획되는 charge 양의 감소작용과 Not 자체로 인한 문턱전압 증가작용이 서로 상쇄되어 최종 문턱전압에는 영향을 미치지 못한다. 결국 Nit만 문턱전압 증가의 원인으로 작용한다. 이에 반해 Erase의 경우에는 Not,

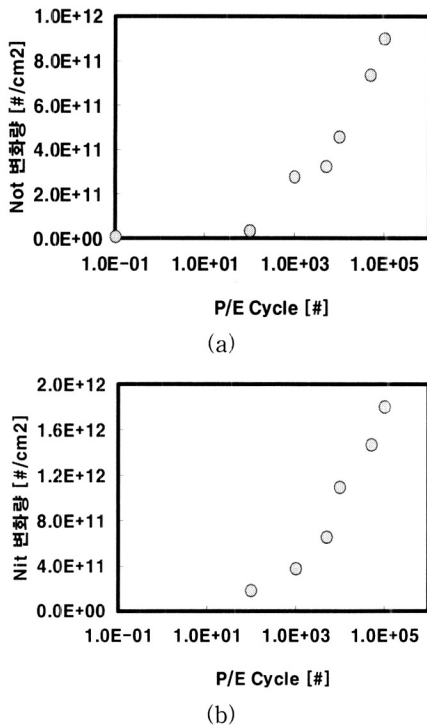


그림 5. P/E cycle vs (a) Not (b) Nit.
 Fig. 5. P/E cycle vs (a) Not and (b) Nit.

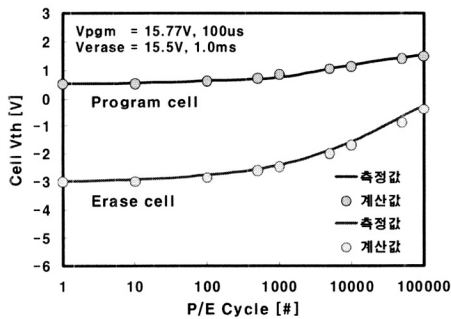


그림 6. P/E cycle vs 문턱전압 측정값과 계산값.
 Fig. 6. The comparison between measured values and calculated values of cell Vth with respect to P/E cycle.

Nit 둘 다 문턱전압 증가에 기여한다[6]. 모델링된 식을 통한 계산값도 이 현상을 잘 보여주고 있다.

3. 결론

플로팅 게이트 셀에서 Nit, Not는 디바이스 신뢰성

을 결정짓는 중요한 파라미터로서 이를 추출해 낼 수 있는 새로운 방법이 제안되었다. FN 터널링 전류 식과 플로팅 게이트 전위 식, oxide field 식을 이용하여 동작 시간에 따른 셀의 문턱전압식을 유도하였다. 이 식의 유효성을 확인하고자 50 nm급 디바이스에 실제 적용해보았다. 모델링 식에 포함된 파라미터들은 초기상태와 P/E cycle이 진행된 상태에서의 Program/Erase 스피드분석을 통해 추출하였다. Cycle 별로 추출된 Nit, Not 변화량과 cycle 횟수와는 기존의 연구결과처럼 power dependency가 있음이 확인되었다. 그리고, Program 셀의 경우에는 Not만이, Erase 셀의 경우에는 Nit, Not 모두 문턱전압 값의 변화에 영향을 주고 있음을 확인할 수 있었다. 최종적으로 실제 P/E cycle을 진행하여 셀의 문턱전압 측정값과 모델링된 식을 통해 계산한 값이 거의 일치함을 확인할 수 있었다.

참고 문헌

- [1] D. K. Schroder, "Semiconductor Material and Device Characterization", Wiley-Interscience, p. 342, 2006.
- [2] N. K. Zous, Y. J. Chen, C. Y. Chin, W. J. Tsai, T. C. Lu, M. S. Chen, W. P. Lu, T. Wang, S. C. Pan, and C. Y. Lu, "An endurance evaluation method for flash EEPROM", IEEE Trans. on Electron Devices, Vol. 51, No. 5, p. 720, 2004.
- [3] P. Pavan, R. Bez, P. Olivo, and E. Zanoni, "Flash memory cells - an overview", in Proceedings of the IEEE, Vol. 85, No. 8, p. 1250, 1997.
- [4] Y. Hokari, "Stress voltage polarity dependence of thermally grown thin gate oxide wearout", IEEE Trans. on Electron Devices, Vol. 35, No. 8, p. 1299, 1988.
- [5] H. Yang, H. J. Kim, S.-I. Park, J. S. Kim, S.-H. Lee, J.-K. Choi, D. H. Hwang, C. S. Kim, M. C. Park, K. H. Lee, Y.-K. Park, J. K. Shin, and J.-T. Kong, "Reliability issues and models of sub-90 nm NAND flash memory cells", Solid-State and Integrated Circuit Technology, p. 161, 2006.
- [6] J.-D. Lee, J.-H. Choi, D. G. Park, and K. N. Kim, "Effects of interface trap generation and annihilation on the data retention characteristics of Flash memory cells", IEEE Trans on Device and Materials Reliability, Vol. 4, No. 1, p. 113, 2004.