

a-Si Gate 구동회로의 Stepwise Gate 신호적용에 대한 연구

A Study on Application of Stepwise Gate Signal for a-Si Gate Driver

명재훈^{1,a}, 광진오¹, 이준신²

(Jae-Hoon Myung^{1,a}, Jin-Oh Kwag¹, and Jun-Sin Yi²)

Abstract

This paper investigated the a-si:H gate driver with the stepwise gate signal. In 1-chip type mobile LCD application the stepwise gate signal for low power consumption can be used by adding simple switching circuit. The power consumption of the a-Si:H gate driver can be decreased by employing the stepwise gate signal in the conventional circuit. In conventional one, the effect of stepwise gate signal can decrease slew rate and increase the fluctuation of gate-off state voltage. In order to increase the slew rate and decrease the gate off state fluctuation, we proposed a new a-Si:H TFT gate driver circuit. The simulation data of the new circuit show that the slew rate and the gate-off state fluctuation are improved, so the circuit can work reliably.

Key Words : a-Si, TFT-LCD, Stepwise, Shift register

1. 서론

TFT-LCD가 저가로 상용화 됨에 따라 적용범위가 mobile application으로 확장 되었다. 제품설계 측면에서 경박단소를 지향하고, 많은 정보전달을 가능하게 하기 위해 고해상도 display로 변경되어 왔다. 이에 gate 구동회로를 glass기판 위에 수산화된 비정질 실리콘 박막 트랜지스터(a-Si:H TFT)로 집적화 하여 면적을 감소시켜 제품설계에 대한 자유도가 증가하였다[1]. Panel에 집적된 gate 구동회로는 픽셀 TFT와 동일구조로, 공정의 단순화, 제작비용의 절감 및 면적을 감소시킬 수 있다[2].

집적된 gate 구동회로에 사용하는 a-Si:H TFT는 온도 및 빛에 의한 누설전류가 크고 다결정 실리콘과 비교하여 전계 효과 이동도(mobility)가 낮고 문턱전압(threshold voltage:Vth)가 높을 뿐만 아니라, 시간 및 온도에 따라서 문턱전압이 증가하

는 단점이 있다[2]. 특히 a-Si:H TFT를 사용한 회로는 저온에서 낮은 이동도와 문턱전압의 이동으로 인한 저온 특성이 충분히 검증이 되어야 한다. 그리고 HHP, PMP, Navigation 등과 같은 mobile application에서는 보다 많은 정보를 수용할 수 있도록 고해상도 display가 적용되고 이는 소비전력의 증가로 이어진다.

본 논문은 mobile display의 소비전력 절감을 위해 mobile 2.0" qVGA급(240x320)해상도 설계 기준으로 1-chip driver IC의 내부전압을 사용하여 panel의 a-Si:H gate 구동회로에 저 소비 전력을 위한 stepwise 신호적용[3]과 개선방향을 모의실험을 통해 검토하였다.

2. 본론

2.1 기존 gate 회로

a-Si:H gate 구동 회로의 동작특성을 검토하기 위하여 등가회로를 그림 1과 같이 나타내었다. 각각의 gate stage는 그림 2와 같이 shift register의 형태로 동일한 하부구조를 가지고 있으며 gate 구동부와 Load 부로 구성되어 있다.

1. 삼성전자(주) AMLCD 총괄 Mobile 사업부
(경기도 용인시 기흥읍)
2. 성균관대학교 정보통신공학부
a. Corresponding Author : jh.myung@samsung.com
접수일자 : 2008. 1. 4
1차 심사 : 2008. 2. 4
심사완료 : 2008. 2. 22

gate 구동회로가 (qVGA급) 320개의 stage로 그림 1과 같이 순차적으로 구성되며 각 stage 내의 회로는 그림 2처럼 a-Si:H TFT의 낮은 이동도를 극복하기 위하여 bootstrap 회로를 적용한[4,5] a-Si:H Gate 구동회로로, 동작에 필요한 CK1, CK2, Start, Vgoff와 출력 단으로 구성이 되어 있다.

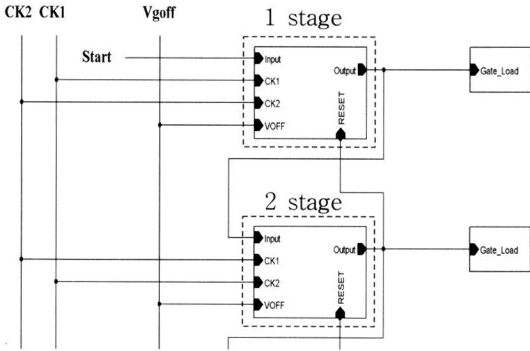


그림 1. a-Si:H Gate 구동회로의 등가모델.
Fig. 1. Equivalent circuit of a-Si:H gate driver circuit.

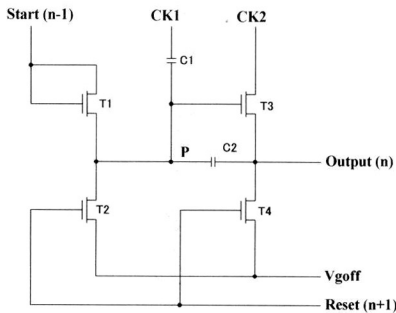


그림 2. 기존 a-Si:H gate 구동 회로 (Type-1).
Fig. 2. The conventional circuit of a-Si:H gate driver (Type-1).

동작에는 그림 3과 같이 Start 신호 입력과 위상이 각각 다른 CK1 신호와 CK2 신호가 사용된다. Start 신호가 Input에 인가되면 C1과 C2에 전하가 T3의 gate에 Input의 Start 신호에서 문턱전압 레벨을 제외한 만큼 충전된다. 동시에 T3가 Turn On 되며 P점이 floating 상태에서 CK2가 인가된다. T3가 turn on이 된 상태에서 C2에 충전된

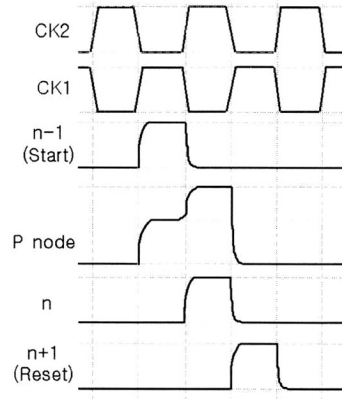


그림 3. a-si:H gate 구동회로의 신호.
Fig. 3. Timing diagram of a-si:H gate driver.

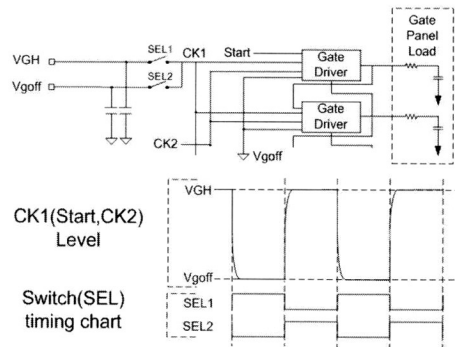


그림 4. Gate 구동 신호 회로 및 timing chart.
Fig. 4. Conventional gate signal circuit structure and timing chart.

전압으로 인하여 더욱 높은 전압으로 bootstrap되어 T3가 turn on된다. 1 Line만큼 출력 후 다음단의 gate 출력신호로 reset이 되고 상기와 같은 방식으로 순차적으로 gate 회로 단에 전달이 된다.

2.2 Stepwise 충전형 gate 회로

a-Si:H gate 회로의 대부분의 power를 소모하는 부분은 AC power로 capacitive load를 충전, 방전시킬 때 발생한다. 일반적으로 그림 4와 같은 개념으로 gate 구동회로에 신호를 전달하나, 본 논문에서는 저소비전력을 위해 그림 5와 같이 gate 출력을 gate on,off 전압의 중간레벨을 활용한 단계별(stepwise) 충전방식 신호를 적용한다[3].

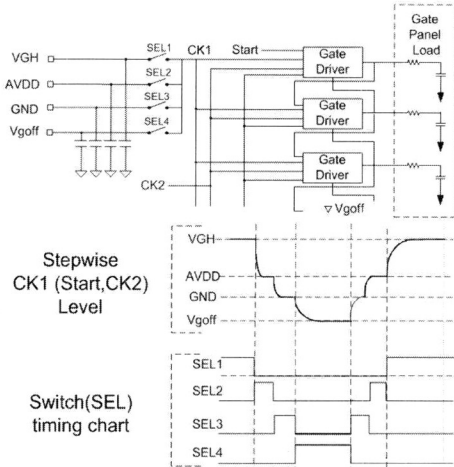


그림 5. Stepwise gate 구동 신호 회로 및 timing chart.

Fig. 5. Stepwise gate circuit structure and timing chart.

그림 5에서 보는 바와 같이 gate 구동 회로와 외부에 단계별 전원 혹은 커패시터로 구성된다. 여기서 전원을 구성하는 커패시터의 크기는 line 수를 고려하여 gate line의 커패시턴스보다 최소 100 배 이상으로 크게 구성해야 하나 1-chip driver IC에 사용하는 내부 전원을 사용해서 구성한다[6].

Gate line이 gate off 신호 영역에서 gate on 신호 영역으로 충전될 때, 각 단계별 전압 변동폭을 외부 전원으로부터 각각 공급받는다.

일반적인 1-chip mobile driver IC는 LCD 구동 전압이 IC 내부에서 생성된다. 외부전원(VDD)에 대하여 IC내부의 R-C공진회로의 clock을 분주하여 내부에 구성된 charge pump 회로를 통해 표 1에 있는 LCD 구동을 위한 전원을 생성시킨다. 내부에서 생성된 전원의 용도는 표 1에 나타나 있으며 단계별 충전방식에 필요한 전압은 회로의 추가적인 구성없이 기존 1-Chip 내부 사용하는 전원을 사용하여 그림 5와 같이 스위칭 회로만을 추가하여 구성이 가능하다.

그러나, gate 신호에 적용할 단계 수를 고려할 때 단계 수가 많으면 소비전력 감소 효율이 좋은 반면, gate on 시간의 지연과 gate신호의 slew rate이 저하된다. 그리고 화질에 영향을 줄 수 있는 전원은 사용에 있어 신중해야 하기 때문에 선택에 제약이 있다. 본 논문에서는 1-chip IC의 power 구성에서 display에 영향을 최소화 할 수

표 1. mobile 1-chip driver IC의 내부 구동전압.

Table 1. Internal power supply of mobile 1-chip driver IC.

Name	Description	Value
VGH	Gate On Voltage	15 V
VGoff	Gate Off Voltage	-10 V
AVDD	Internal Power (VDDx2)	5 V
VDD	Input Power	2.8 V
VCL	Negative Vcom Power	-1.5 V

있는 전원인 VGH, AVDD, GND, VGL 4단계로 나누어 모의실험을 진행한다. 상기 전원을 사용하여 AC에 대한 소비전력을 다음과 같이 나타낼 수 있다[3].

$$P_{conventional} = \frac{1}{2} C(\Delta V)^2 \quad (1)$$

$$P_{stepwise\ gate} = \frac{1}{2} C[(V_1\Delta V)^2 + (V_2\Delta V)^2 + (V_3\Delta V)^2] \quad (2)$$

ΔV 는 VGH-VGoff의 레벨, V1은 VGL-GND레벨, V2는 GND-AVDD레벨, V3는 AVDD-VGH레벨을 각각 나타낸다.

충전은 화소충전을 고려해야 하나 여기서는 화소충전을 고려하지 않고 stepwise 신호 생성부에서 인가된 화소의 gate를 제어하기 위한 on 전압과 off 전압에서 약 95 % 상승하는데 걸리는 시간을 라인 충전 시간으로 간주한다.

각 단계별로 적용할 최소한의 시간은 1-chip IC 내부에서 R-C 공진회로로 발생되는 1clock을 기준으로 적용된다. qVGA급 1-chip IC의 내부 clock인 395 kHz 에서 1 clock 2.5 us로 최소한의 시간으로 적용해 사용한다. 여기서 stepwise 전압이 적용될 gate 구동회로의 신호는 Start, CK1, CK2가 된다.

검토를 위한 TFT model로는 RPI Level 61의 a-Si TFT model을 수정하여 사용하였다. 신뢰성 측면 검토를 위해 상온 TFT model과 저온 TFT model로 구분하고 저온에서의 특성저하 검증을 위해 통상적인 저온구동 제품평가 기준(-20 °C)을 고려하여 -20 °C 기준 상온대비 전계효과 이동도 50 % 감소 및 문턱전압의 이동을 1 V[7]로 설정된 TFT model을 사용하였다.

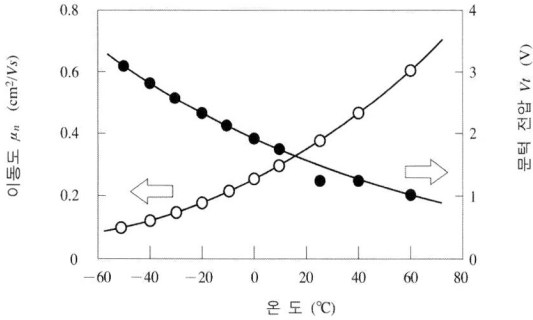


그림 6. a-Si:H TFT의 전계 효과 이동도와 문턱 전압의 온도 의존성[7].

Fig. 6. The temperature dependency of the electron drift mobility and the threshold voltage of the a-Si:H TFT[7].

본 논문은 mobile용 qVGA 1chip-IC 기준으로 stepwise gate신호의 적용여부, a-Si:H TFT model의 온도에 따른 분류 그리고 이후 언급되는 기존회로(Type-1)에서 발생할 수 있는 문제점을 개선하기 위한 개선회로(Type-2)에 대한 분류로 표 2의 조건과 같이 구분하였다.

소비전력 비교를 위해 A 조건과 B 조건을 비교하였다. 그림7은 기존회로(Type-1)에 정상 gate 신호(A 조건,실선)과 stepwise gate 신호(B 조건,점선)를 적용한 것을 나타낸 파형이다. 그리고 하측 부분의 2개 선은 소비전력의 상대적 비교를 나타낸다. 4번째 line 구동신호의 rising시 소비전력을 나타낸 것으로 같은 회로에 gate 신호의 변경만을 고려한 것으로 다른 실험 조건은 동등하다.

예상한 바와 같이 소비전력의 감소가 확인 되었으며 정상신호 인가 대비 stepwise 신호 적용 절감효율은 64 %인 계산치와 유사하게 62.7 % 측정되었다. 측정치와 이론치의 차이는 스위칭 효율과 slew rate의 감소로 인하여 발생 한 것으로 생각된다. 그리고 stepwise gate 신호로 인한 신호의 지

표 2. 모의실험 진행 조건에 따른 표.

Table 2. Chart of simulation condition.

조건	Stepwise 신호 적용여부	a-Si:H TFT model	Gate 회로
A	X	normal temp.	Type-1
B	O	normal temp.	Type-1
C	O	Low temp.	Type-1
D	X	Low temp.	Type-2
E	O	Low temp.	Type-2

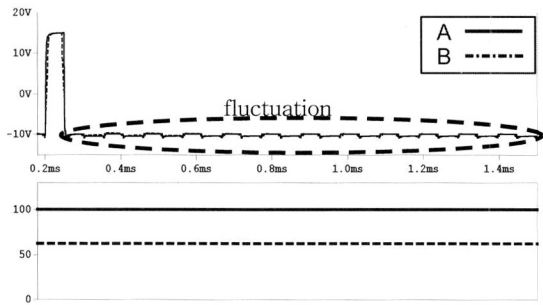


그림 7. 표 2의 A,B 조건의 gate 출력과 소비전력 비교.

Fig. 7. Comparison of gate output and power efficiency between A condition and B condition.

연과 gate 출력 후 gate off level에서 발생하는 fluctuation 역시 확인 되었다.

2.3 Slew rate 및 noise 개선

그림 8은 A,B,C 조건 별 320번째 gate 출력에 대한 파형을 나타내었다. 상기 A,B조건인 상온 동작 TFT의 stepwise gate신호 미적용/적용으로 인한 신호지연의 결과를 보여주며, 특히 C는 저온 TFT model에 stepwise gate 신호를 적용하여 낮은 전계효과 이동도와 문턱전압의 효과가 누적된 320번째 stage의 gate 출력에 신호의 지연이 반영된 결과를 나타낸다. C 조건의 slew rate은 95 % 충전기준으로 1.39 V/us로 측정되었다. stepwise gate 신호적용 효과 외에 저온 구동과 같은 특성 저하조건에서 문턱전압과 전계 효과 이동도에 의한 효과가 누적될 경우, n번째 gate 출력에 대해서 n-1번째의 gate 출력이 start 신호로 사용되기 때문에 출력되는 gate 수가 증가될수록 slew rate가 점차적으로 저하되는 형태로 나타난다. 이는 장기 신뢰성 관점에서 a-Si:H gate 구동회로에서 저온에서의 구동불량을 유발하는 요소로 작용할 수 있다.

표 3. 기존회로의 실험 조건별 slew rate 결과.

Table 3. The simulation result of slew rate in the conventional circuit.

Slew rate	A 조건	B 조건	C 조건
99 % 충전	1.43 V/us	1.11 V/us	0.61 V/us
95 % 충전	4.63 V/us	2.42 V/us	1.39 V/us
90 % 충전	6.78 V/us	2.85 V/us	1.71 V/us

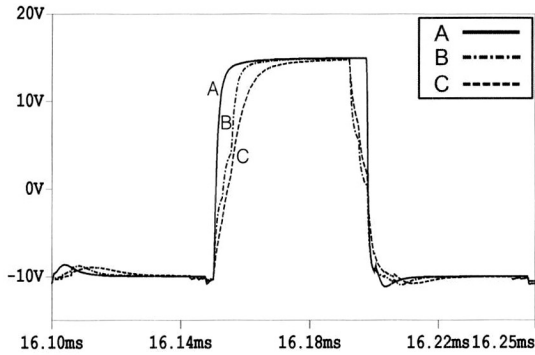


그림 8. 그림 2 회로의 A,B,C 조건에 대한 320번째 gate line의 출력.

Fig. 8. 320th gate output waveforms of A,B,C condition in conventional circuit.

실제 제품적용을 고려할 때 공정편차나 구동마진을 감안할 때 C조건은 장시간 저온구동에서 발생하는 noise나 화면 무너짐이 발생할 것으로 예상된다. 그리고 type-1회로의 gate off 상태에서 V_{p-p} 1.4 V 수준의 fluctuation은 Reset 신호인가로 gate 출력이 off 전압으로 변화된 후 다음 주기까지 P점이 floating 되어있는 동안 CK1, CK2와의 coupling noise로 인하여 발생하게 된다. 이로 인한 display특성 저하(pixel image 변화등)가 발생할 수 있다[9,10].

이러한 신호지연 감소개선 시 고려사항은 C1의 충전에 따른 T3 turn on시 전압 감소로 인한 gate 신호의 출력 level 저하측면과 gate off 상태시 fluctuation 감소 및 bootstrap회로에 영향을 최소화 할 수 있는 방향으로 고려되어야 한다[11].

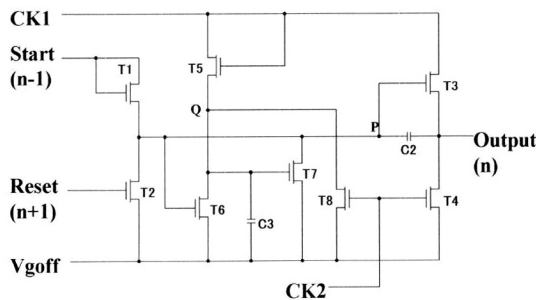


그림 9. Slew rate 증가 및 noise 감소를 위한 제안회로 (Type-2).

Fig. 9. Schematic diagram of the proposed a-Si:H gate driver for increase slew rate and noise reduction (Type-2).

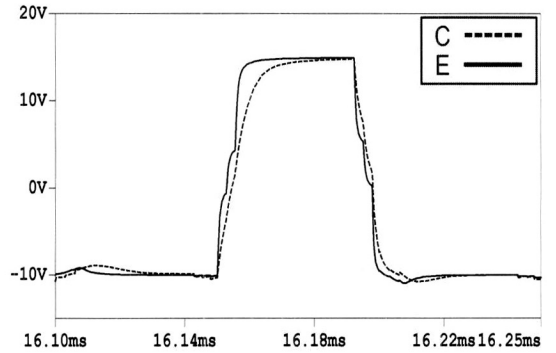


그림 10. 제안 회로의 C,E 조건에 대한 320번째 stage의 gate 출력 파형.

Fig. 10. 320th stage gate output waveforms of C,E condition in the proposed circuit.

상기 사항을 반영하여 그림 9의 회로를 제안하였다. 제안회로(Type-2)에서는 Type-1 회로와 비교하여 C1 커패시터를 삭제하고, n번째 gate line 출력 후, 다음 frame에서의 n번째 출력까지 P node에 발생하는 noise를 T7을 통해 지속적으로 방전시키는 기능을 한다. 이는 bootstrap회로 동작에 영향을 주지 않으며 Q node는 C3에 충전된 전압을 CK2와 동기화된 신호로 방전된다. 상기사항 적용으로 gate driver stage의 gate 출력의 slew rate을 기존회로 대비 개선시키고 P node를 지속적으로 방전시켜 gate off state시 fluctuation을 감소시킨다.

언급된 제안회로의 효과를 비교하기 위해 표 2의 C,E조건으로 검토 결과, slew rate가 개선되어

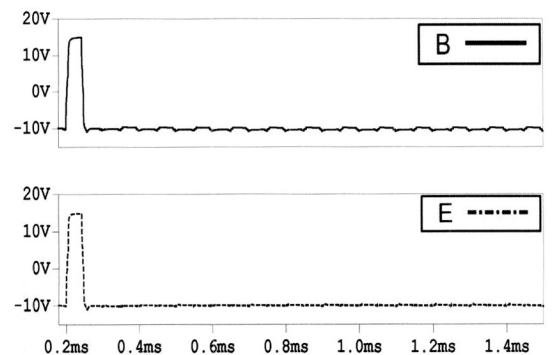


그림 11. 제안회로의 B,E 조건에 대한 noise 비교.

Fig. 11. Comparison of noise between B condition and E condition in the proposed circuit.

표 4. C,E 실험 조건 별 Slew rate 결과.

Table 4. Comparison of slew rate between B condition and E condition.

Slew rate	C 조건	E 조건	개선율
99 % 충전	1.71 V/us	3.25 V/us	47.4 %
95 % 충전	1.39 V/us	2.91 V/us	52.2 %
90 % 충전	0.61 V/us	1.50 V/us	58.8 %

그림 10과 같이 320번째 gate line으로 출력됨을 알 수 있다. slew rate의 개선효과는 95 % 충전 기준으로 C 조건 1.39 V/us 대비 E조건은 2.91 V/us로 52.2 % 개선되었으며 경향성 확인을 위하여 90 %, 99 %의 충전을 역시 표 4와 같이 47.4 %, 58.8 %로 확인되었다.

그리고 gate off-state에서 fluctuation 감소 효과를 비교하기 위한 B,E 조건의 비교 결과는 그림 11과 같이 나타났다. Type-2 회로의 Q node의 지속적인 방전으로 인한 coupling noise는 Vp-p 기준으로 B조건 1.4 V에서 E조건 0.5 V 수준으로 65 % 감소하였다.

소비전력 비교를 위한 D,E조건의 모의실험결과 역시 51 % 감소로 나타났으나, 언급된 A,B조건의 효율과 비교해 볼 때 방전회로의 지속적 동작에 의한 효율감소가 반영된 결과로 생각된다.

상기결과를 바탕으로 mobile application에서 외부전원이나 비교적 간단한 스위칭회로의 추가 등의 조치를 사용하여 다양한 형태의 a-Si:H gate Driver[9-11]에서 저소비 전력이 구현 가능할 것으로 사료된다.

3. 결론

본 연구에서는 2.0"급 qVGA Panel을 설계기반으로 mobile 1-chip driver IC 내부 전압을 활용하여 a-Si:H gate 구동회로 신호인 Start, CK1 그리고 CK2에 stepwise gate 신호를 적용하고 기존회로에서는 62.7 %의 소비전력 절감이 가능하였다.

그러나 stepwise gate 신호적용으로 인한 slew rate의 저하와 기존회로의 coupling noise로 인한 gate off 상태에서 gate output level의 fluctuation

과 같은 특성 저하측면이 있었으며 이를 위해 개선회로를 제안하였다. 개선회로의 안정성 평가를 위해 상온과 저온 TFT model로 구분하여 제안회로에서 저온 TFT model 기준으로 기존회로 대비 52.2 %의 slew rate개선과 65 % 수준의 fluctuation 감소를 확인하였다. 그리고 개선회로의 stepwise gate 신호적용에서 약 51 % 수준의 소비전력 감소를 모의실험을 통해 확인하였고 이의 적용가능성을 검증하였다.

참고 문헌

- [1] J. Jeon, K. S. Choo, W. K. Lee, J. H. Song, and H. G. Kim, "Integrated a-Si Gate Driver Circuit for TFT-LCD Panel", SID'04 DIGEST, p. 10, 2004.
- [2] 김상수, 김현재, 이신두, "디스플레이 공학I", 청범출판사, p. 327, 2005.
- [3] L. "J." Svensson et al., "Driving a capacitive load without dissipating fCV²", in Proc. of the 1994 IEEE Symposium on Low Power Design, p. 1000, 1994.
- [4] F. Maurice, H. Lebrun, N. Szydlo, U. Rossini, and R. Chaudet, in Proceedings of SPIE 3296 (Part of the IS&T/SPIE, Conference on Projection Displays IV), p. 9299, 1998.
- [5] R. G. Stewart, J. Dresner, S. Weisbrod, R. I. Huq, D. Plus, B. Mourey, B. Hepp, and A. Dupont, "Circuit Design for a-silicon AMLCDs with Integrated Drivers", SID'1995 DIGEST, p. 89, 1995.
- [6] Y. C. Sung, B. D. Chio, and O. K. Kwon, "A Low-power Data Driver for TFT-LCDs," SID'00 DIGEST, p. 142, 2000.
- [7] T. Tsukada, "TFT/LCD", Bookshill, p. 68, 2000.
- [8] 윤영준, 한승우, 정철규, 정경훈, 김하숙, 김서윤, 임영진, "Row driver 회로가 집적된 2.2-inch QCIF+ a-Si TFT-LCD", 전기전자재료학회논문지, 18권, 3호, p. 264, 2005.
- [9] J. H. Oh, J. H. Hur, Y. D. Son, K. M. Kim, S. H. Kim, E. H. Kim, J. W. Choi, S. M. Hong, J. O. Kim, B. S. Bae, and J. Jang,

- "2.0 Inch a-Si:H TFT-LCD with Low Noise Integrated Gate Driver", SID'05 Digest, p. 943, 2005.
- [10] W. K. Lee, J.-H. Lee, H.-S. Park, S.-J. Kim, and M.-K. Han, "Amorphous Silicon Gate Driver with Low Power Consumption and Highly Driving Capability for High Resolution Mobile Displays", IDW'06, p. 739, 2006.
- [11] J. H. Koo, J. W. Choi, Y. S. Kim, M. H. Kang, and J. Jang, "Amorphous Silicon Gate Driver with High Stability", IMID/IDMC'06 DIGEST, p. 1271, 2006.