

논문 21-3-4

Display Driver IC용 Amplifier Input Transistor의 Matching 개선

The Improvement of Matching of Amplifier Input Transistor for Display Driver IC

김현철¹, 노용한²

(Hyeon-Cheol Kim¹ and Yonghan Roh²)

Abstract

The voltages for pixel electrodes on LCD panels are supplied with analog voltages from LCD Driver ICs (LDIs). The latest LDI developed for large LCD TV's has suffered from the degradation of analog output characteristics (target voltage: AVO and output voltage deviation: dVO). By the failure analysis, humps in $I_D - V_G$ curves have been observed in high voltage (HV) NMOS devices for input transistors in amplifiers. The hump is investigated to be the main cause of the deviation for the driving current in HV NMOS transistors. It also makes the matching between two input transistors worse and consequently aggravates the analog output characteristics. By simply modifying the active layout of HV NMOS transistors, this hump was removed and the analog characteristics (AVO & dVO) were improved significantly. In the help of the improved analog characteristics, it also became possible to reduce the size of the input transistors less than a half of conventional transistors and significantly improve the integration density of LDIs.

Key Words : LDI, AVO, dVO, Hump, Amplifier input transistor, Matching, Pillar

1. 서론

LCD Panel이 원하는 색상을 정확하게 Display 하기 위해서는 LDI의 Output Channel 출력전압 (V_{out})이 Target값과 일치해야 하고(AVO) 동시에 화소간 균일한 색상을 표현하기 위해서 Output Channel간 출력전압편차(dVO)가 가능한 최소로 되어야 한다. 그런데 어떤 일부 색상(High G/S)을 Display하는 전압조건에서는 LDI 출력단 Amplifier Input Transistor로 사용되는 HV NMOS에 Back Bias가 크게 걸리고 이로 인해서 Hump가 더 심하게 발생되어서 Amplifier Input Transistor간 Matching이 나빠져서 Output Analog Parameter인 AVO와 dVO가 불량해지는 현상이 파악되었다. 이에 본 논문에서는 Active Layout 수정을 통해서

Hump를 근원적으로 완벽하게 개선하였고 이에 따라서 AVO 및 dVO가 상당히 개선되는 결과와 그 효과에 대해서 살펴보도록 하겠다.

2. 실험 및 결과

2.1 LDI 개요 및 AVO, dVO 불량 현상

LDI는 Panel 해상도에 따라 다르지만 약 700여 개의 Output Channel을 가지고 있으며 LCD Panel 내 각각의 화소는 Sub화소인 R,G,B로 구성되어 있고 Sub화소는 10 Bit 제품일 경우 1024개의 색상에 대응하는 1024개 Level의 전압(Gray Scale이라고 함)이 필요하다. 그러므로 AVO 및 dVO는 1024개 각각의 G/S에서 모든 Output Channel의 출력전압(AVO) 및 그 산포(dVO)가 규격을 만족해야 한다. 그런데 High G/S(색상)에서 AVO 및 dVO Margin 부족 현상이 관찰되었는데 그 원인이 출력단 Amplifier Input Transistor로 사용되는 High Voltage (HV) NMOS에서 발생하는 Hump와 직접적인 관련이 있음을 파악하였다.

1. 삼성전자(주) S.LSI 사업부 기술개발실 DDI PA (경기도 용인시 기흥구 농서동 산 24)
2. 성균관대학교 정보통신공학부
a. Corresponding Author : ssosan@samsung.com
접수일자 : 2008. 1. 31
1차 심사 : 2008. 2. 19
심사완료 : 2008. 2. 25

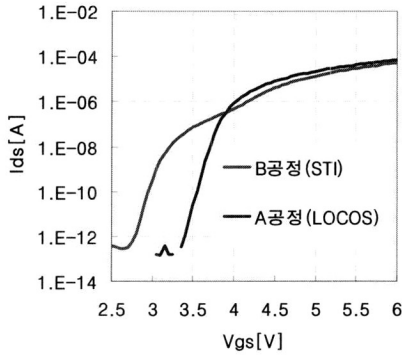


그림 1. HV NMOS Vgs vs Ids.
Fig. 1. HV NMOS Vgs vs Ids.

2.2 Hump 불량 현상 및 원인 고찰

그림 1은 LDI 제품 중 기존의 A공정($V_{DD}=15\text{ V}$)과 최근 개발된 B공정($V_{DD}=16\text{ V}$)의 HV NMOS Vgs vs Ids 그래프이다. A공정과 달리 B공정의 경우 Hump가 보이고 있다. 잘 알려진 바와 같이 Hump는 STI Edge에서 Well Doping 농도가 낮아지기 때문에 생기는 현상이다[1,2]. 그림 1에서 보는 것처럼 B공정은 STI Isolation을 적용하였고 반면 A공정은 LOCOS Isolation을 적용하였다. STI Edge에서는 OED (Oxidation Enhanced Diffusion) [3] 현상에 의해서 Well Doping 농도가 낮아진다. 이로 인해서 Threshold Voltage (V_{th})가 낮은 Parasitic Transistor가 STI Edge에 생겨서 Hump를 유발하고 이 현상은 Inverse Narrow Width Effect (INWE)[4,5]에 의해서 Transistor의 Width가 작아질수록 심하게 나타난다. 이로 인해서 Hump 영역에서는 Current 산포가 불량해진다. 이러한 HV NMOS Hump로 인한 나빠진 산포 특성이 AVO 및 dVO 불량의 원인임을 알아냈는데 이는 그림 2의 LDI 출력단 Amplifier 구조로 잘 설명이 된다.

LCD Panel 액정(Liquid Crystal)의 매우 큰 Load Cap(C_{LC})에 의한 응답속도 Delay를 극복하기 위해서 LDI Output Channel 끝단에 Current 증폭을 위한 그림 2와 같은 차동증폭 Amplifier가 필요하다. 여기서 MN1과 MN2는 Input Transistor이고 HV NMOS로 되어있다. Display하고자 하는 G/S(색상)에 해당하는 Input 전압을 Vgs2 Node에서 받으면 차동증폭 Amplifier 원리에 의해서 Input 전압과 똑같은 전압이 Vout에 전달된다. 그러나 어떤 이유에서든 MN1과 MN2의 Matching 특성이

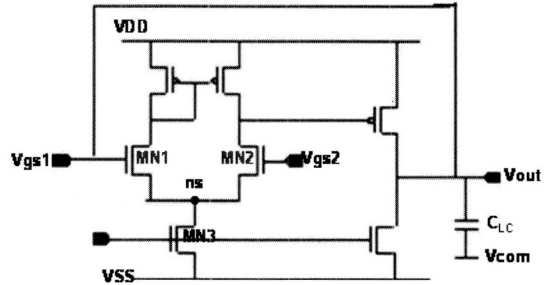


그림 2. LDI 출력단의 간략화한 Amplifier 구조.
Fig. 2. Simplified amplifier of LDI output.

불량하다면 Amplifier가 동작을 멈추는 순간(MN1과 MN2의 전류가 같아지는 순간)의 Vgs1과 Vgs2가 다르게 될 것이다. 이때 그림 2에 나타났듯이 Vout과 Vgs1이 Negative Feedback으로 연결되어 있으므로 $V_{out} = V_{gs1}$ 이다. 즉 Input 전압인 Vgs2와 Vout인 Vgs1이 MN1과 MN2의 Mismatch에 의해서 서로 차이가 생기는 문제가 발생한다. 다시 말하면 Input 전압과 Output 전압간 차이가 생기는 문제가 발생한다. 이때 Input 전압인 Vgs2와 Output 전압인 $V_{out}(=V_{gs1})$ 의 차이가 개념적으로 AVO이다. 그리고 모든 Output Channel에 걸친 $V_{out}(=V_{gs1})$ 의 산포가 개념적으로 dVO라고 할 수 있다.

그러므로 AVO 및 dVO를 줄이기 위해서는 Input Transistor인 HV NMOS(MN1과 MN2)간의 Matching이 좋아야 한다. 그러나 기존 공정과 달리 B공정은 STI Isolation이 적용되어서 HV NMOS의 Hump 때문에 Input Transistor간 Matching 특성이 나빠져서 AVO 및 dVO가 불량해졌다. 특히 Input 전압(Vgs2 Node)이 크게 걸리는 High G/S(색상)에서는 MN2의 Source인 ns-Node 전압이 높아지므로(MN3가 Constant Current Source이므로 일정한 전류를 유지하기 위해서) 이는 MN2 Transistor에 Back Bias가 더 크게 걸리는 효과이므로 Hump가 더욱 심하게 생겨서 High G/S(색상)에서 AVO 및 dVO가 더욱 나빠지는 결과를 가져오는 것으로 파악되었다.

2.3 개선 실험 진행 및 결과

HV NMOS의 Hump불량을 개선하기 위해서 그림 3과 같이 Active에 Pillar를 덧붙여서 STI Edge를 통한 전류흐름을 완전히 차단한 실험을 진행하였다. 그림 3에서 기존의 구조는 Active와 STI

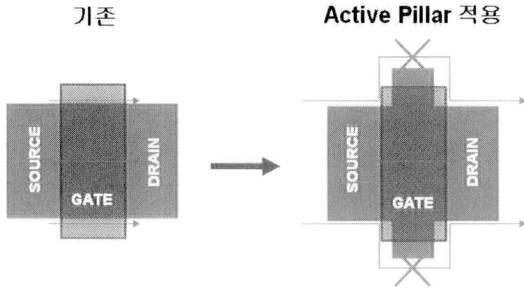


그림 3. Hump 개선을 위한 active layout 변경.
Fig. 3. Active layout modification to suppress the hump.

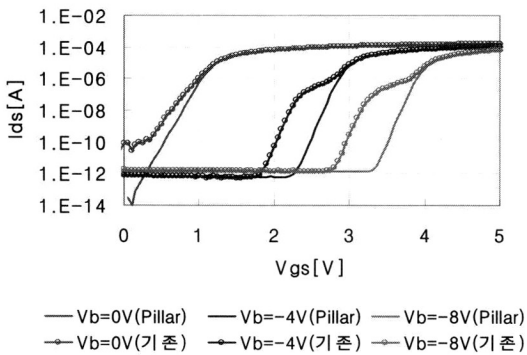


그림 4. Pillar 및 Vb에 따른 HV NMOS Vgs vs Ids.
Fig. 4. HV NMOS Vgs vs Ids according to pillar & back bias.

Edge를 통해서 전류가 흐르는 구조이지만 새로운 구조에서는 Transistor가 형성되는 영역에 Active를 추가하여(추가된 Active를 "Pillar"라고 명명하였음) Active와 STI Edge로의 전류 흐름이 차단되었으므로 Hump가 개선될 것으로 예상하였다.

그 결과 그림 4와 같이 기존 구조에서는 여전히 Hump가 보이는 반면 Pillar를 적용한 새로운 Layout에서는 Back Bias -8 V에서도 Hump가 완벽하게 개선되었다. 기존 구조에서는 Back Bias가 증가할수록 Hump가 더욱 심해지는 일반적인 경향도 잘 보이고 있다. 이는 새롭게 Layout된 Active Pillar에 의해서 예상대로 STI Edge로의 전류 흐름이 완전하게 차단되어서 Active와 STI Edge 경계에서의 Parasitic Transistor가 완전히 차단되었음을 의미한다.

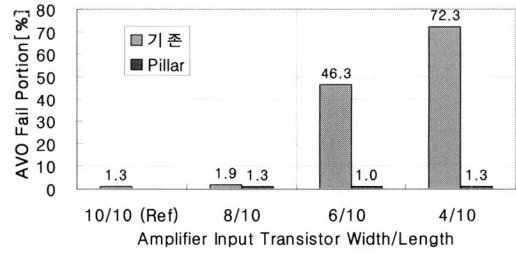


그림 5. Pillar 및 width에 따른 AVO 불량.
Fig. 5. AVO failure according to pillar & width.

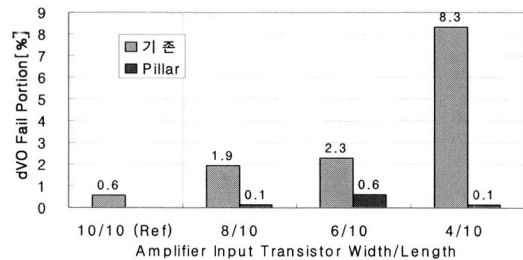


그림 6. Pillar 및 width에 따른 dVO 불량.
Fig. 6. dVO failure according to pillar & width.

2.4 개선 실험 제품 적용 결과

상기 개선 결과를 바탕으로 제품에 그림 5와 그림 6에서 보는 바와 같이 Pillar 유무 및 Input Transistor Width를 Split하여 Electrical Die Sorting (EDS)을 진행하여 AVO 및 dVO 불량을 비교 확인하였다.

그림 5와 그림 6의 EDS 결과에서 보면 Pillar가 있는 경우는 Width가 4 um까지 줄어도 AVO 및 dVO 불량이 거의 없지만 Pillar가 없는 경우는 Width가 줄수록 AVO와 dVO 불량 Portion이 급격하게 증가하는 것을 볼 수 있다. 이것은 Width가 줄수록 STI Edge Transistor의 Portion이 커져서 Hump를 더 크게 발생시켜서 산포가 증가하기 때문이다. 한 가지 더 주목할 점은 아래 표 1에서 보는 것과 같이 AVO 및 dVO 모두 Pillar가 있는 W/L = 4 um/10 um가 현재 Reference인 Pillar없는 W/L = 10 um/10 um보다도 더 좋은 결과를 보이고 있다는 점이다. 일반적으로 Transistor의 크기가 작아지면 Matching이 불량해지기 때문에 이 결과는 상당히 중요하고 의미가 있다.

표 1. Transistor width/length 및 pillar 유무에 따른 AVO & dVO 값.

Table 1. AVO & dVO value according to transistor width/length and pillar.

W/L	AVO [mV]		dVO [mV]	
	기존	Pillar	기존	Pillar
10/10	7.9		15.3	
4/10	18.8	5.0		12.8

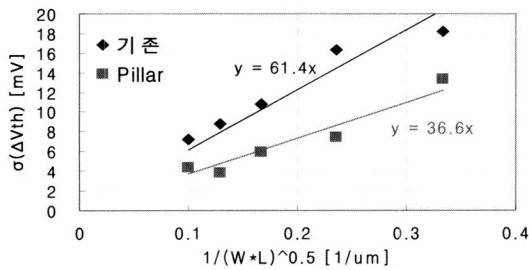


그림 7. RDF 비교 그래프.

Fig. 7. RDF comparison graph.

더불어서 그림 7에서 Matching 특성을 대표하는 Random Dopant Fluctuation (RDF)[6] 특성을 비교한 결과 역시 Pillar를 적용하여 상당히 개선되었다. 이 결과는 더 작은 Size의 Transistor를 사용해도 더 좋은 Matching 특성을 보이는 것이므로 Amplifier Input Transistor Size 감소가 가능하므로 Process Integration 효율을 높일 수 있다는 것을 보여주고 있다.

3. 결론

최근 LDI 제품에서 이전의 제품보다 Analog 특성이 불량해진 문제를 발견하여 원인 분석 결과 STI Isolation 적용에 의해서 HV NMOS에 Hump가 발생되어서 Amplifier Input Transistor간 Mismatch가 커진 것이 원인임을 밝혔다. 이에 Hump를 근본적으로 개선하고자 그림 3과 같이

Active에 Pillar를 덧붙인 Layout을 적용한 결과 Hump가 완벽하게 개선되었고 이에 따라 Analog 특성(AVO 및 dVO)이 획기적으로 개선된 결과를 보였다. Matching이 개선되어서 RDF 특성도 개선되었기 때문에 Amplifier Input Transistor Size 감소가 가능하여 Process Integration 효율도 높아질 것으로 판단된다.

참고 문헌

- [1] W. K. Park, "Effect of capping silicon nitride layer and nitrated gate oxide on hump of transistor", IEEE Electron Device Letters, Vol. 25, No. 8, p. 532, 2004.
- [2] S. K. Park, M. S. Suh, J. Y. Kim, G. H. Yoon, and S. H. Jang, "CMOSFET characteristics induced by moisture diffusion from inter-layer dielectric in 0.23 um DRAM technology with shallow trench isolation", 38th Annu. Int. Reliability Physics Symp., p. 164, 2000.
- [3] S. P. Murarka, "Diffusion and segregation of ion-implanted boron in silicon in dry oxygen ambients", Phys. Rev., Vol. 12, No. 6, p. 2502, 1975.
- [4] P. Sallagoity, M. Ada-Hanifi, M. Paoli, and M. Haond, "Analysis of width edge effect in advanced isolation schemes for deep submicron CMOS technologies", IEEE Trans. Electron Devices, Vol. 43, p. 1900, 1996.
- [5] L. A. Akers, "The inverse-narrow-width effect", IEEE Electron Device Letters, Vol. EDL-7, p. 419, 1986.
- [6] Mizuno, T., Okumtura, J., and Toriumi, A., "Experimental study of threshold voltage fluctuation due to statistical variation of channel dopant number in MOSFET's", IEEE Trans. Electron Devices, Vol. 41, Iss. 11, p. 2216, 1994.