

## 스핀 코팅법으로 증착한 (Bi,La)<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub> 박막의 후속 열공정에 따른 입자 크기 및 결정 방향성 변화

### Thermal Process Effects on Grain Size and Orientation in (Bi,La)<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub> Thin Film Deposited by Spin-on Method

김영민<sup>1</sup>, 김남경<sup>2</sup>, 염승진<sup>2</sup>, 장건익<sup>1</sup>, 류성림<sup>3</sup>, 선호정<sup>4</sup>, 권순용<sup>3,a</sup>  
(Young-Min Kim<sup>1</sup>, Nam-Kyeong Kim<sup>2</sup>, Seung-Jin Yeom<sup>2</sup>, Gun Eik Jang<sup>1</sup>,  
Sung-Lim Ryu<sup>3</sup>, Ho-Jung Sun<sup>4</sup>, and Soon-Yong Kweon<sup>3,a</sup>)

#### Abstract

A 16 Mb 1T1C FeRAM device was integrated with BLT capacitors. But a lot of cells were failed randomly during the measuring the bit-line signal distribution of each cell. The reason was revealed that the grain size and orientation of the BLT thin film were severely non-uniform. And the grain size and orientation were severely affected by the process conditions of post heat treatment, especially nucleation step. The optimized annealing temperature at the nucleation step was 560 °C. The microstructure of the BLT thin film was also varied by the annealing time at the step. The longer process time showed the finer grain size. Therefore, the uniformity of the grain size and orientation could be improved by changing the process conditions of the nucleation step. The FeRAM device without random bit-fail cell was successfully fabricated with the optimized BLT capacitor and the sensing margin in bit-line signal distribution of it was about 340 mV.

**Key Words** : (Bi,La)<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub> thin film, Grain size, Crystallographic orientation, Ferroelectric properties, Spin-on method

#### 1. 서론

강유전체를 활용한 비휘발성 메모리 FeRAM은 빠른 정보처리 속도와 전원 공급이 차단되었을 때도 계속 정보를 유지할 수 있는 비휘발성 특성과 더불어 저전압, 저전력 구동의 장점이 있어서, 차세대 메모리로 많은 주목을 받고 있다[1-4]. 현재 FeRAM용 강유전체 재료로 Pb(Zr,Ti)O<sub>3</sub> (PZT) 및 (Bi,La)<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub> (BLT) 등이 주로 사용되고 있다[1-4]. BLT는

PZT에 비하여 분극 값은 다소 작지만, 소자의 신뢰성 특성이 우수한 것으로 평가되고 있다[2,5]. 또, 후속의 환경 규제가 심화됨에 따라서 납 (Pb)을 함유하고 있는 PZT 대체 물질로도 주목을 받고 있다.

현재 제작되고 있는 FeRAM 소자는 1 Mb 급이 대부분인데, 시장에서의 적용 분야를 확장시키기 위해서는 16 Mb~64 Mb 정도의 좀 더 고밀도 소자의 제작이 강력히 요구되고 있다. 이러한 고밀도 소자를 제작하기 위한 핵심 기술 중의 하나는 강유전체의 분극 값 및 균일도를 높이는 것이다. 특히 BLT의 경우에는 결정 방향에 따른 포화 분극 값의 이방성이 매우 크기 때문에, 박막 증착 공정 중의 입자 크기 및 방향성 조절이 매우 중요하다[2,6]. 따라서 본 연구에서는 스핀 코팅법으로 증착한 BLT 박막에서, 결정 입자의 크기 및 결정 방향성에 후속 열처리 공정 조건이 미치는 영향에 대하여 평가하였다.

1. 충북대학교 신소재공학과  
2. (주)하이닉스반도체 메모리연구소  
3. 충주대학교 신소재공학과 / ReSEM  
(충북 충주시 이류면 검단리 123)  
4. 군산대학교 신소재·나노화학공학부  
a. Corresponding Author : sykweon@cjnu.ac.kr  
접수일자 : 2007. 3. 6  
1차 심사 : 2007. 6. 14  
심사완료 : 2007. 6. 22

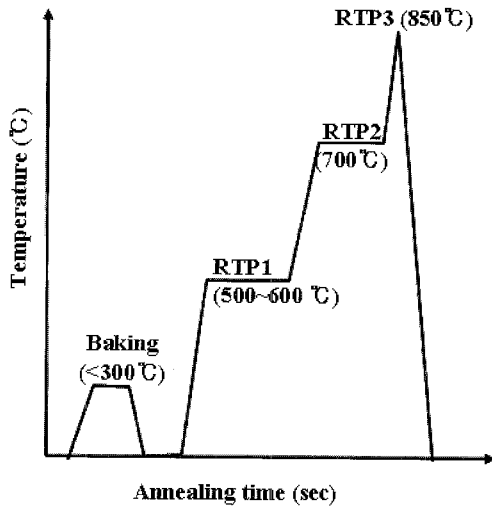


그림 1. BLT 박막 증착 후의 열공정 개략도.  
 Fig. 1. Schematic drawing of the thermal process performed after depositing the BLT thin film.

## 2. 실험

16 Mb 1T1C (1-transistor/1-capacitor) 형의 FeRAM 소자를 0.25  $\mu\text{m}$  디자인 룰을 적용하여 8인치 실리콘웨이퍼 위에 제작하였다[5]. 먼저 TiN/W 플러그 위에 Pt/IrOx/Ir 하부 전극을 형성하고, 그 위에 BLT 박막을 증착하였다. 그림 1은 스펀 코팅법으로 BLT (100 nm) 박막을 코팅한 후에 수행하는 후속 열공정의 개략도이다. 코팅된 BLT 박막은 우선 300  $^\circ\text{C}$  이하의 핫플레이트 (hot-plate) 위에서 베이킹 (baking) 공정을 수행하였다. 그 다음, BLT 박막의 결정화를 위한 핵생성 단계 (RTP1)는 500~600  $^\circ\text{C}$  사이의 온도에서 변화시켰고, 열처리 시간은 30초~360초 사이에서 변화시켰다. 열처리 분위기는 산소를 10 l/min으로 흘려주는 동일한 조건으로 수행하였다. 입자 성장을 위한 RTP2 (700  $^\circ\text{C}$  /120 sec/ $\text{O}_2$ )와 RTP3 (850  $^\circ\text{C}$  /1 sec/ $\text{O}_2$ ) 공정은 모든 실험에서 동일한 조건으로 수행하였다. 이렇게 증착된 BLT 박막의 미세 구조는 주사전자 현미경 (SEM)을 이용하여 관찰하였고, 박막의 결정 방향성은 X-선 회절 분석기 (XRD)를 이용하여 분석하였다.

열처리 된 BLT 박막 위에 상부 전극으로 Pt (200 nm)을 스퍼터링 법으로 증착한 다음, RIE (reactive ion etching) 장비를 이용하여 BLT 커패

시터를 형성하였다. 에칭 공정 후에는 650  $^\circ\text{C}$  /30분/ $\text{O}_2$  조건으로 회복 열처리 (recovery annealing) 공정을 수행하였다. 그 다음, 금속 배선 공정은 Al을 이용하여 2단 (metal-1, metal-2)으로 형성하였다. 금속 배선 공정이 완료된 BLT 커패시터의 강유전 특성은 강유전 특성 평가 장치 (RT6000SI, Radiant Technologies)를 이용하여 측정하였고, TiN/W 플러그의 접촉 저항은 정밀 반도체 특성 분석기 (HP4156A, Hewlett-Packard)를 이용하여 측정하였다. 또 FeRAM 소자의 비트-라인 (bit-line) 전압 분포는 메모리 테스터 (MS3440, MOSAID Systems Inc.)를 이용하여 평가하였다.

## 3. 결과 및 고찰

우선 핵생성 열처리 단계인 RTP1 공정을 600  $^\circ\text{C}$  /120 sec/ $\text{O}_2$  조건으로 수행한 BLT 박막으로 커패시터를 제작하고, 전기적 특성을 금속 배선 공정까지 수행한 후에 평가하였다. 32,000개의 단위 셀 (면적: 0.68  $\mu\text{m}^2$ )이 서로 병렬로 연결되어 있는 어레이 커패시터 (총 커패시터 면적: 21,760  $\mu\text{m}^2$ )에서 측정된 강유전체의 반전 가능한 분극 값 ( $dP=P^*-P^*$ ) 및 균일도 (uniformity)는 3 V 인가전압 (applied voltage) 조건에서 각각 약 16  $\mu\text{C}/\text{cm}^2$  및 2.8 %로 매우 우수한 결과를 보여주었다[7].

이러한 우수한 BLT 커패시터를 이용하여 16 Mb의 FeRAM 소자를 제작하고, 그 소자의 동작 가능성을 평가하기 위하여 임의의 위치에서 2 kb의 셀을 선택한 다음, 비트-라인 전압 신호 (bit-line voltage signal) 분포를 측정하였다. 그림 2는 제작한 FeRAM 소자의 단위 셀들에서 발생하는 비트-라인 전압 신호의 분포를 보여주고 있다. 데이터 "1" 신호와 데이터 "0" 신호가 서로 겹치는 현상이 발생함을 볼 수 있다. 즉 이러한 신호의 역전 현상은 메모리가 작동 불가능함을 의미한다. 데이터 "1"의 신호가 데이터 "0" 신호보다 작은 경우가 발생하는 경우 (그래프의 A 위치)는 불량 셀 (fail cell)을 만들게 된다. 그래프에 삽입된 작은 그림은 이러한 불량 셀들의 위치를 보여주고 있는데, 특별한 규칙성이 없이 무작위 위치에서 발생하고 있음을 알 수 있다. 양호한 셀 (그래프의 B 위치)에서의 데이터 "1" 신호는 데이터 "0" 신호 보다 상당히 큰 값을 보이고 있어 셀 동작에는 문제가 없음을 알 수 있다.

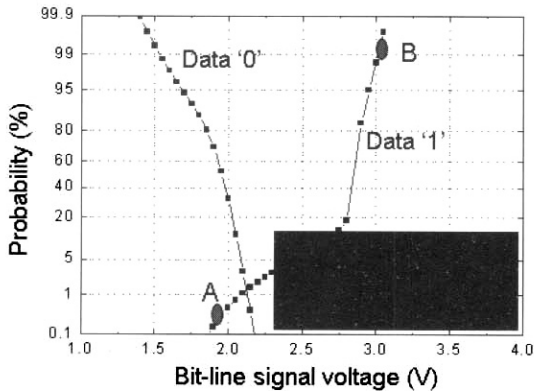


그림 2. FeRAM 소자 제작 후에 측정된 각 단위 커패시터들의 bit-line 전위 분포.

Fig. 2. The bit-line signal voltage distribution of each cell measured in the 2 k-bit BLT capacitors after fabricating the FeRAM device.

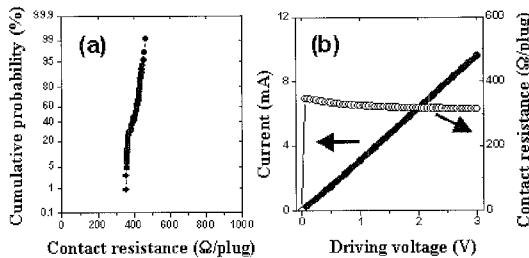


그림 3. (a) 1024개의 플러그/하부전극 접촉 저항을 갖는 체인 패턴에서 측정된 접촉 저항의 누적 분포, (b) 하부전극과 플러그 접촉 특성을 나타내는 전류-전압 곡선.

Fig. 3. (a) Distribution of contact resistance at the 1024-chain pattern and (b) current-voltage relation between bottom electrode and plug after full process integration.

이러한 불량 셀의 첫 번째 발생 원인으로는 먼저 하부 전극과 TiN/W 플러그 사이의 산화에 의한 배선의 접촉 불량을 생각할 수 있다[8]. 따라서 하부전극과 플러그 사이의 접촉 저항의 크기 및 균일도를 평가하였다. 그림 3(a)는 1024개의 접점(contact)이 직렬로 연결되어 있는 패턴에서 측정된 접촉 저항의 누적 분포를 나타내고 있고, 그림 3(b)는 2개의 접점이 직렬로 연결되어 있는 패턴에서 측정된 전류-전압 곡선 및 접촉 저항을 나타내

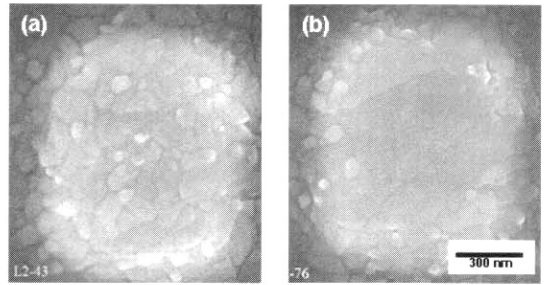


그림 4. 커패시터의 불량 분석을 위한 BLT 박막의 미세 구조 관찰: (a) 양호한 셀, (b) 불량한 셀.

Fig. 4. Microstructure of BLT films observed after de-capping treatment: (a) good cell, (b) fail cell.

고 있다. 하부전극과 플러그 사이에는 옴믹 컨택(Ohmic contact)이 잘 형성되고, 접촉 불량은 전혀 발생하고 있지 않음을 잘 보여주고 있다. 이러한 실험 결과로부터 하부전극과 플러그 사이의 접촉 불량 가능성은 불량 셀의 발생 원인에서 제외되었다.

불량 셀의 발생에 대한 또 다른 원인으로는 BLT 강유전체 박막의 강유전성의 불균일성을 생각할 수 있다[2,6,9]. 따라서 우선 BLT 박막의 미세 구조를 분석하였다. 그림 4는 대표적인 불량 셀(그림 2에서 'A' 셀)과 양호한 셀(그림 2에서 'B' 셀)에서 BLT 박막의 표면 미세 구조를 관찰한 SEM 사진이다. 이러한 미세 구조 관찰을 위하여 BLT 위에 증착된 박막들(금속 배선 및 층간 절연물들)을 다시 제거(de-capping)하는 기술을 적용하였다. 양호한 셀에서의 BLT 박막의 결정 입자가 작고 균일한 분포를 보이고 있는 것과는 대조적으로, 불량한 셀의 BLT 박막에서는 주로 큰 입자들이 관찰되었다. 이러한 큰 입자들은 투과전자현미경 및 X-선 회절 실험 등을 통하여 c-축으로 성장한 입자들로 확인되었다[2,6,9]. 가장 유명한 강유전체인  $Pb(Zr,Ti)O_3$ 에서는 c-축으로 배향되는 경우에서 우수한 강유전특성을 나타내지만, BLT 강유전체에서는 이와 대조적으로 c-축의 경우에는  $\sim 4 \mu C/cm^2$  정도로 매우 작은 분극 값을 나타내고, a-축의 경우에는  $\sim 50 \mu C/cm^2$  정도로 매우 큰 분극 값을 나타낸다. 따라서 c-축으로 배향된 큰 입자들이 존재하는 셀은 잔류 분극 값이 매우 작아지기 때문에 비트-라인 전압 신호가 매우 약해지고, 이러한 현상에 의하여 불량 셀이 발생할 수 있음을 보여주고 있다.

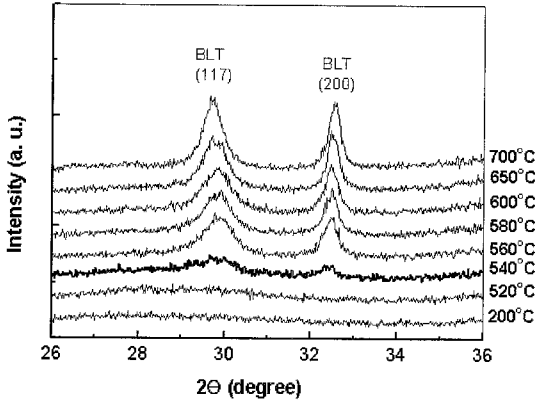


그림 5. 후속 열처리 전 상태에서 분석한 BLT 박막의 고온 XRD 회절 도형.

Fig. 5. High temperature XRD spectrum of the as-deposited BLT thin film.

셀에 따라서 입자들의 크기가 불규칙하게 형성되는 원인은 BLT 박막의 후속 열처리 과정에서 결정화를 위한 핵생성이 위치에 따라서 불균일하게 형성되기 때문일 가능성이 높다[2,6,9]. 따라서 BLT 박막의 결정핵 생성의 균일성을 향상시키기 위한 실험을 수행하였다. 먼저, 그림 5는 핵생성 온도를 확인하기 위하여 열처리 전의 BLT 박막으로 분석한 고온 XRD 실험 결과를 보여주고 있다. 그림에서 볼 수 있듯이, BLT 박막은 540 °C부터 결정화가 일어나기 시작함을 알 수 있다.

따라서 BLT 박막 코팅 후에 수행하는 후속 열공정 중에서 결정 핵생성과 연관성이 높은 RTP1 공정의 조건을 변화시켜 미세 구조의 균일성을 확보하고자 하였다. 우선 RTP1 열처리 온도를 500 °C~600 °C 사이에서 변화시켰고, 각 온도에서 열처리 시간은 120초로 동일한 조건으로 진행하였다. 그림 6은 RTP1 온도가 BLT 박막의 미세 구조에 미치는 영향을 보여주는 주사전자현미경 사진이다. BLT 박막의 입자 구조는 RTP1 열공정의 온도에 매우 민감하게 변화하는 것을 볼 수 있다. RTP1 온도가 560 °C에서 가장 미세하고 균일한 입자 분포를 나타내고, 온도가 560 °C보다 더 높거나 낮은 경우에는 입자 크기가 커지고 불균질한 분포를 보임을 알 수 있었다. 그림 7은 이러한 BLT 박막들의 결정 방향성을 XRD를 이용하여 분석한 결과를 보여주고 있다. 예상했던 것과 같이, 큰 입자들이 많은 박막들에서는 (006) 회절선이 매우 강하게 나타나고 (c-축 배향성이 강함), 560 °C에서 c-축 배향성이 가장 낮게 나타남을 볼 수 있다. 그림 8은

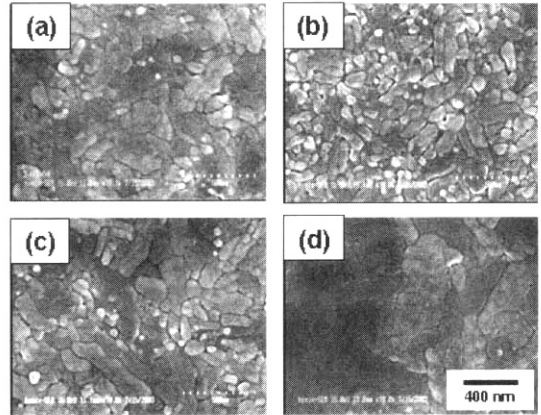


그림 6. RTP1 온도가 BLT 박막의 미세 구조에 미치는 영향: (a) 540 °C, (b) 560 °C, (c) 580 °C, (d) 600 °C.

Fig. 6. RTP1 temperature effects on the microstructure of BLT thin film: (a) 540 °C, (b) 560 °C, (c) 580 °C, (d) 600 °C.

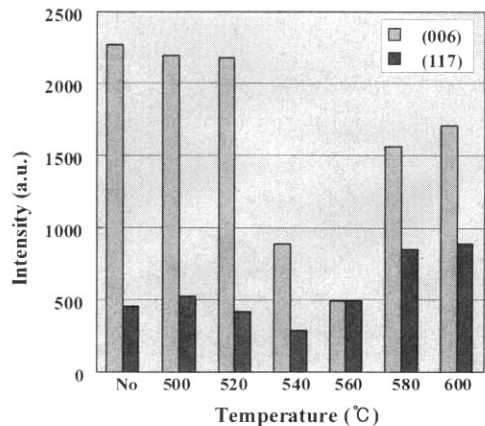


그림 7. RTP1 온도가 BLT 박막의 결정 방향성에 미치는 영향.

Fig. 7. RTP1 temperature effects on the crystallographic orientation of BLT thin film in XRD analysis.

RTP1의 온도가 560 °C로 일정한 경우에서, RTP1 시간이 미세구조에 미치는 영향을 보여주고 있다. RTP1 시간이 길어질수록 BLT 박막의 입자 크기는 작고 균일한 분포를 보임을 알 수 있다. 즉, RTP1 단계에서의 열처리 시간이 길어질수록 BLT 박막 내에 균일하게 결정핵을 생성시키는데 유리함을 알 수 있다.

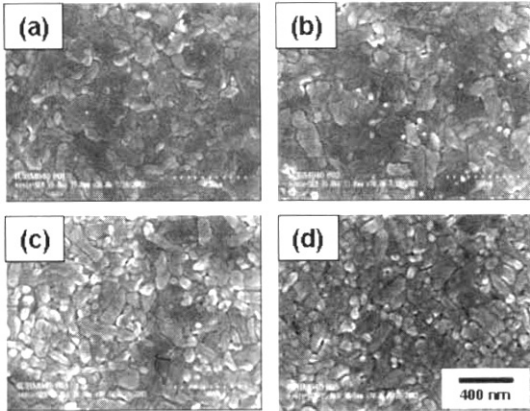


그림 8. RTP1 시간이 BLT 박막의 미세 구조에 미치는 영향: (a) 30초, (b) 60초, (c) 120초, (d) 360초.

Fig. 8. RTP1 time effects on the microstructure of BLT thin film: (a) 30 sec, (b) 60 sec, (c) 120 sec, (d) 360 sec.

그림 5 ~ 그림 8의 실험 결과들을 종합해 보면, 결정화가 시작되는 온도(540 °C)보다 약간 높은 온도인 560 °C가 핵 생성 위치를 극대화 할 수 있는 온도임을 알 수 있다. 즉, 본 연구에서 최적의 핵생성 온도 조건은 560 °C임을 알 수 있었다. 또, 560 °C 핵생성 온도에서의 열처리 시간은 길수록 균일한 입자 크기의 BLT 박막을 형성시키는데 유리함을 확인할 수 있었다. 이상의 실험으로 최적화된 BLT 박막을 이용하여 제작한 FeRAM 소자에서의 데이터 "1" 신호와 데이터 "0" 신호는 서로 겹치는 현상이 발생하지 않았으며, 각 데이터 사이의 센싱 마진은 약 340 mV 정도로 양호한 값을 확보할 수 있었다.

#### 4. 결론

BLT 강유전체 박막을 적용하여 16 Mb 1T1C형 FeRAM 소자를 제작하였다. 제작한 소자의 비트-라인 전압의 분포를 평가하였는데, 불량 셀들이 다량 관찰되었고, 발생 위치는 매우 불규칙적이었다. 분석 결과 불량 셀들의 발생 원인은 BLT 박막의 결정 방향 및 입자 크기의 불규칙성에서 기인함을 알 수 있었다. 따라서 BLT 박막의 코팅 후에 수행하는 후속 열처리 공정 중에서 핵생성 열처리 조

건을 변화시켜 BLT 박막의 미세구조를 최적화시켰다. 핵생성 열처리 공정에서 최적의 열처리 온도는 560 °C임을 알 수 있었고, 열처리 시간은 길수록 유리함을 확인할 수 있었다. 본 실험으로 최적화된 BLT 박막으로 제작된 FeRAM 소자에서는 불량 셀이 관찰되지 않았고, 센싱 마진은 340 mV 정도의 양호한 값을 나타내었다.

#### 감사의 글

본 연구는 산업자원부의 지역혁신센터사업 (RIC) 의 지원에 의해 수행되었습니다.

#### 참고 문헌

- [1] 김경태, 김동표, 김창일, 김태형, 강동희, 심일훈, "FRAM 응용을 위한 건조온도에 따른 BLT 박막의 강유전 특성", 전기전자재료학회 논문지, 16권, 4호, p. 265, 2003.
- [2] N. K. Kim, S. J. Yeom, S. Y. Kweon, E. S. Choi, H. J. Sun, J. S. Roh, H. C. Sohn, D. W. Lee, H. S. Kim, B. H. Choi, J. W. Kim, K. J. Choi, N. J. Seong, and S. G. Yoon, "(Bi,La)<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub> thin films grown from nanocrystalline perovskite nuclei for ferroelectric memory devices", Appl. Phys. Lett., Vol. 85, p. 4118, 2004.
- [3] 김현호, 이원중, "반응성 스퍼터링 법으로 형성시킨 PZT 커패시터의 P-E 이력곡선의 이동현상 및 피로특성 연구", 전기전자재료학회논문지, 18권, 11호, p. 983, 2005.
- [4] K. N. Kim and S. Y. Lee, "Integration of lead zirconium titanate thin films for high density ferroelectric random access memory", J. Appl. Phys., Vol. 100, p. 051604, 2006.
- [5] K. W. Cho, N. K. Kim, S. H. Oh, E. S. Choi, H. J. Sun, S. J. Yeom, K. N. Lee, S. S. Lee, S. K. Hong, S. K. Choi, T. W. Hong, I. H. Kim, J. I. Lee, S. C. Ur, Y. G. Lee, S. L. Ryu, and S. Y. Kweon, "Ferroelectric properties of lead-free (Bi,La)<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub> thin film deposited on MTP cell structure for high density FeRAM device", Mater. Sci. Forum, Vol. 486-487, p. 285, 2005.

- [6] N. K. Kim, S. J. Yeom, S. Y. Kweon, E. S. Choi, H. J. Sun, H. C. Sohn, and J. S. Roh, "Crystallographic orientation dependent ferroelectric characteristics of  $(\text{Bi}_{3.3}\text{La}_{0.8})\text{Ti}_3\text{O}_{12}$  (BLT) Capacitors", *Integr. Ferroelectr.*, Vol. 70, p. 89, 2005.
- [7] Y. M. Kim, G. E. Jang, N. K. Kim, S. J. Yeom, and S. Y. Kweon, "Grain size and orientation control in lead-free  $(\text{Bi,L a})_4\text{Ti}_3\text{O}_{12}$  thin film deposited by spin-on method for high density FeRAM device", *Mater. Sci. Forum*, Vol. 544-545, p. 577, 2007.
- [8] S. Y. Kweon, N. K. Kim, E. S. Choi, S. J. Yeom, J. S. Roh, and Y. J. Park, "Ohmic contact properties of tungsten plug and ferroelectric properties of  $(\text{Bi,L a})_4\text{Ti}_3\text{O}_{12}$  thin film in stacked capacitor structure", *Jpn. J. Appl. Phys.*, Vol. 41, p. 7327, 2002.
- [9] S. J. Yeom, W. S. Yang, N. K. Kim, S. Y. Kweon, E. S. Choi, and J. S. Roh, "Thickness effects on physical and ferroelectric properties of  $(\text{Bi}_{3.35}\text{La}_{0.85})\text{Ti}_3\text{O}_{12}$  (BLT) films with c-axis preferred and random orientations", *Jpn. J. Appl. Phys.*, Vol. 42, p. L182, 2003.