

나노급 CMOSFET을 위한 Boron Cluster(B18H22)가 이온 주입된(SOI 및 Bulk)기판에 Ni-V합금을 이용한 Ni-silicide의 열안정성 개선

Improving the Thermal Stability of Ni-silicide using Ni-V on Boron Cluster Implanted Source/drain for Nano-scale CMOSFETs

(이세광¹, 이원재¹, 장잉잉¹, 종 준¹, 정순연¹, 이가원¹, 왕진석¹, 이희덕^{1,a})
(Shi-Guang Li¹, Won-Jae Lee¹, Ying-Ying Zhang¹, Zhong-Zhun¹, Soon-Yen Jung¹, Ga-Won Lee¹, Jin-Suk Wang¹, and Hi-Deok Lee^{1,a})

Abstract

In this paper, the formation and thermal stability characteristics of Ni silicide using Ni-V alloy on Boron cluster (B₁₈H₂₂) implanted bulk and SOI substrate were examined in comparison with pure Ni for nano-scale CMOSFET. The Ni silicide using Ni-V alloy on B₁₈H₂₂ implanted SOI substrate after high temperature post-silicidation annealing showed the lower sheet resistance, no agglomeration interface image and lower surface roughness than that using pure Ni. The thermal stability of Ni silicide was improved by using Ni-V alloy on B₁₈H₂₂ implanted SOI substrate.

Key Words : SOI, Bulk, Boron cluster (B₁₈H₂₂), Implanted, Silicide, Nano-scale CMOSFETs

1. 서 론

반도체 소자의 집적기술은 지속적으로 발전하여 최근에는 게이트 길이가 나노크기를 갖는 소자로 발전하였다. 하지만 게이트 선폭이 작아지면서 소스-드레인 간의 간격이 가까워져 SCE (Short Channel Effect)가 증가하게 되는데[1], 이를 억제하기 위해서는 접합깊이를 낮춘 Shallow junction이 매우 필요하다. 또한 소자의 소스/드레인, 게이트의 면저항을 낮추어 성능을 개선시키기 위해서 실리사이드도 반드시 필요하다. 그런데 Shallow junction에 실리사이드가 형성되면 누설전류가 급격히 증가하게 되고, 누설 전류를 낮추기 위해 실리사이드 두께를 낮추면 Gate poly 및 Source/Drain의 면 저항이 증가하여 소자의 성능이 감소

하게 된다. 현재 Silicide 물질로는 CoSi₂가 가장 널리 사용되고 있지만, Co-Silicide는 Si 소모율이 커서 Nano-scale CMOS를 위한 ultra shallow junction에는 적합하지 못한 단점을 갖고 있다. Shallow junction을 형성하기 위해 낮은 에너지의 이온주입 기술이 발전하여 왔으나 PMOS인 경우에는 원자무게가 가벼운 Boron이 주로 사용되므로 Shallow junction의 형성이 한계에 다다르고 있다고 할 수 있다. 따라서 최근에는 분자량을 증가시킨 B₁₈H₂₂ 등과 같은 Boron cluster을 이용하여 접합 깊이를 낮추는 방법이 보고되고 있다[2,3]. 그러나 B₁₈H₂₂가 적용된 기판에 대한 NiSi 연구는 별로 보고되지 않고 있으며 최근에는 Boron의 경우에 비해 실리사이드 형성 후의 열 안정성이 취약하다는 것이 보고되었다[4].

본 논문에서는 Boron Cluster (B₁₈H₂₂) implanted 된 SOI 와 Bulk 기판 위에서 니켈 실리사이드 (NiSi)의 열 안정성 개선을 위하여 Ni-V(5 %)을 제안하였으며, 순수 Ni를 증착한 것과 비교 분석하였다.

1. 충남대학교 공과대학 전자공학과
(대전 유성구 궁동)
a. Corresponding Author : hlee@cnu.ac.kr
접수일자 : 2007. 3. 9
1차 심사 : 2007. 5. 4
심사완료 : 2007. 5. 23

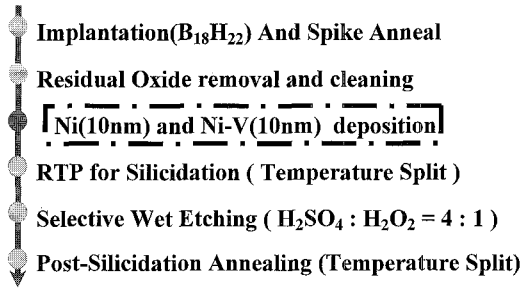


그림 1. 실험 공정순서.

Fig. 1. Process flow for experiment.

2. 실험

2.1 시편제작

본 실험을 위하여 Bulk와 Si-film 두께 50 nm 를 갖는 SOI 기판에 $B_{18}H_{22}$ 을 10 KeV의 이온에 너지 및 $3 \times 10^{15} \text{ cm}^{-2}$ 의 도즈로 이온 주입하였고 공정 순서는 그림 1과 같다. Ni-V을 증착하기 전에 1 % HF 희석용액에서 30초간 자연 산화막을 식각 하였다. Ion beam sputter를 이용해 기본 압력 (Base pressure) 5×10^{-7} Torr, 동작 압력 (working pressure) 1.9×10^{-4} Torr에서 순수 Ni 과 Ni-V(5 %)를 각각 10 nm 증착 하였다. 다음에 Ni-Silicide 형성을 위해 급속 열처리(RTP : Rapid Thermal Process)를 기본 진공도 3×10^{-2} Torr에서 400 ~700 °C, 30초간 실시하였으며, Silicide 형성 후 반응하지 않은 급속은 $H_2SO_4 : H_2O_2$ (4:1) 용액에서 선택적으로 식각 하였다. 열 안정성 (Thermal Stability) 분석 실험을 위하여 고순도 질소 (N_2 , 99.99 %) 분위기에서 고온 열처리 (Furnace Anneal) 를 600~700 °C 에서 30 분간 열처리하였다.

급속 박막과 니켈 실리사이드의 두께 및 계면 특성을 확인하기 위해 FE-SEM (Field Emission Scanning Electron Microscopy, 한국 기초 과학지원 연구원 전주 분소, 모델명 S-4700)을 이용하여 급속 열처리 후의 두께와 계면특성분석도 관찰하였다. 니켈-실리사이드의 상변이 (phase shift)를 확인하기 위하여 XRD (X-ray Diffraction)를 이용하여 분석하였으며 표면의 거칠기를 확인하기 위해 AFM (Atomic Force Microscope)을 이용하여 분석하였다.

3. 결과 및 검토

그림 2는 Boron Cluster($B_{18}H_{22}$)가 이온 주입된 SOI와 Bulk 기판위에 형성된 실리사이드의 면저항

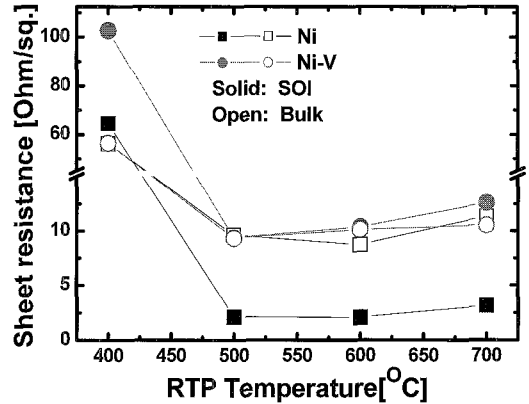


그림 2. 후속 공정 열처리 전의 면저항 특성.

Fig. 2. Sheet resistance before post-silicidation annealing.

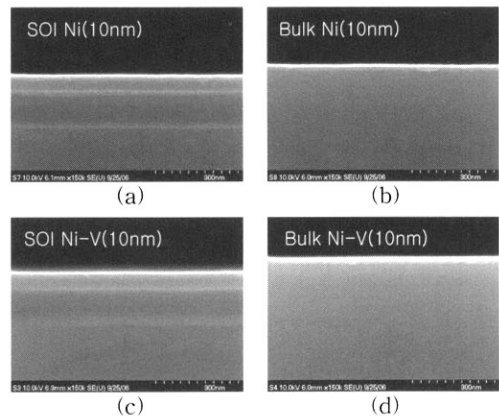


그림 3. 500 °C, 30초의 고온 열처리 전의 Ni-Silicide 단면 FE-SEM 사진.

Fig. 3. Cross-sectional FE-SEM of Ni Silicide before post-silicidation annealing at 500 °C for 30 sec.

특성을 나타내고 있다. 그림 2에서 보면 모든 경우에 500 °C에서 가장 안정된 면저항 값을 나타내고 있으며 SOI에서 Ni을 증착한 경우에서 가장 낮은 면저항 특성을 나타내고 있다.

면저항은 실리사이드의 두께와 밀접한 관계가 있기 때문에 형성된 두께를 정확히 확인하기 위해 500 °C, 30 초에서 실리사이드를 형성 한 후 FE-SEM 으로 단면 특성을 그림 3과 같이 확인 하였다. 면저항은 그림 2와 같이 다소 달랐지만 전체적으로 낮고 안정한 실리사이드가 형성되었음을 확인 하였다.

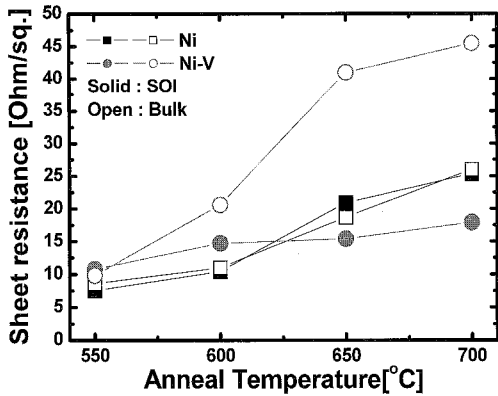


그림 4. 고온 후속 열처리 후 면저항 특성.
Fig. 4. Sheet resistance after post-silicidation annealing.

그림 4는 500 °C에서 실리사이드를 형성한 후 열안정성 평가 및 분석을 위해 550, 600, 650, 700 °C에서 30 분간 고온열처리를 한 경우의 면저항 특성을 나타내고 있다. Bulk 기판 위에 Ni-V을 증착한 경우에는 고온열처리 후에 면저항이 급격히 증가하였지만 SOI 기판 위에서는 반대로 Ni-V을 증착한 것이 제일 좋은 면 저항을 나타내고 있으며, Ni을 증착한 경우에는 SOI와 Bulk 기판이 모두 비슷한 면 저항을 특성을 나타내고 있다. 그리고 전체적으로는 온도 증가에 따라 면저항이 증가함을 보여 주고 있다.

고온 열처리 후의 단면 특성을 분석해 보면, 그림 5와 같이 순수 Ni를 증착한 SOI와 Bulk 기판 위에서는 모두 Agglomeration 현상이 나타난 것을 확인 하였다. 따라서 Ni 만을 적용한 경우에는 열안정성을 만족할 수 없음을 알 수 있다. 반면에 Ni-V(5 %)를 적용한 SOI 기판에서는 열화 및 단절 현상이 일어나지 않으나 Bulk 기판에서는 Agglomeration 현상이 나타난 것을 확인 하였다. 따라서 Ni-V을 증착한 SOI 기판에서만 열안정성이 향상되었음을 확인 할 수 있었다.

그림 6은 SOI 기판에서의 열안정성 개선 효과를 분석하기 위해 Ni-V과 Ni 각각의 경우에 대해 XRD를 이용하여 상변이를 분석하였다. Ni을 증착한 경우에는 고온열처리 후 비저항이 큰 다이 실리사이드 Peak(NiSi₂)가 나타났지만 Ni-V을 사용한 경우에는 모노 실리사이드(NiSi) Peak만 존재할 뿐 다이(di)-실리사이드 peak가 나타나지 않을 것을 확인하였다.

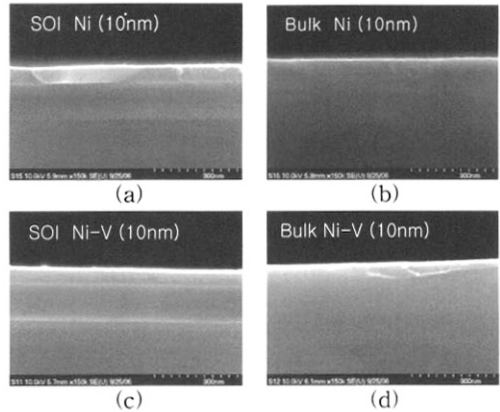


그림 5. 650 °C, 30분의 고온 열처리 후 Ni-Silicide의 단면 FE-SEM 사진.
Fig. 5. Cross-sectional FE-SEM of Ni Silicide after post-silicidation annealing at 650 °C for 30 min.

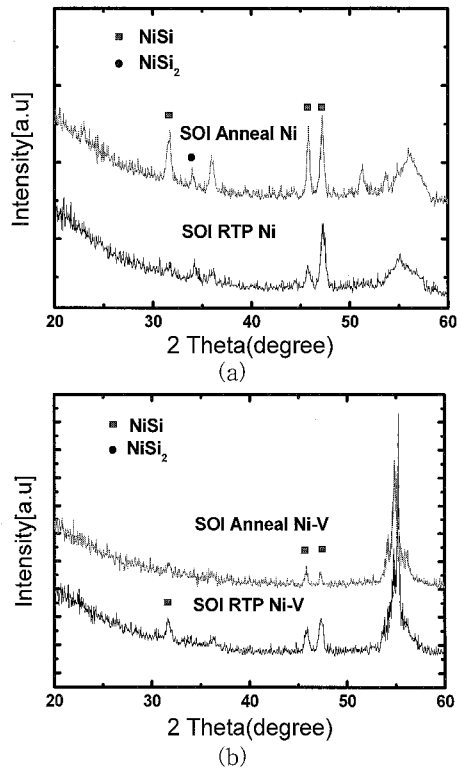


그림 6. 고열처리(650 °C, 30분) 후 XRD 상변이 분석 (a) 순수 Ni, (b) Ni-V.
Fig. 6. Comparison of XRD peak of NiSi after post-silicidation annealing at 650 °C for 30 min. (a) pure Ni, and (b) Ni-V.

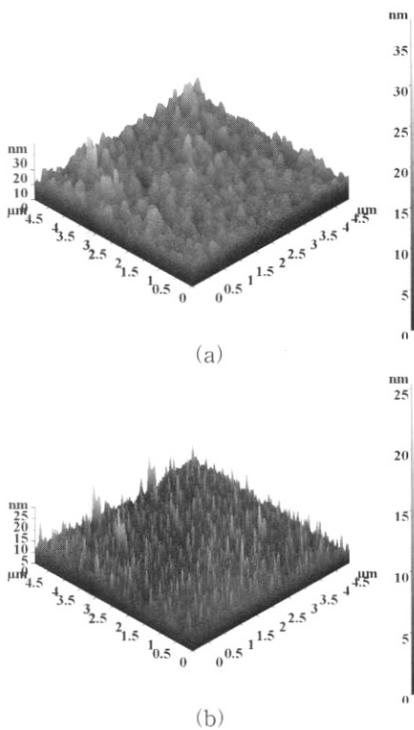


그림 7. 고온 열처리 (650 °C, 30분) 후 표면 거칠기 AFM 분석. (a) Pure Ni (거칠기:2.2 nm), (b) Ni-V(거칠기:1.5 nm).

Fig. 7. AFM surface roughness of Ni silicide after post-silicidation annealing at 650 °C for 30 min (a) Pure Ni (roughness: 2.2 nm) and (b) Ni-V(roughness:1.5 nm).

650 °C에서 고온 열처리 후 AFM 분석 결과를 보면 그림 7과 같이 Ni 구조의 경우 평균 roughness는 2.2 nm 이고, Ni-V 구조인 경우에는 1.5 nm 로 Pure Ni 보다 표면 거칠기가 줄음을 알 수 있었다.

따라서 Boron Cluster가 (B₁₈H₂₂)이온 주입된 SOI 기판 경우에 Ni-V을 적용했을 때 순수 Ni을 증착한 것에 비하여 열 안정성 특성을 개선시킬 수 있었다.

4. 결론

본 논문에서는 Boron Cluster (B₁₈H₂₂ 10 KeV, 3e15/cm²)가 이온 주입된 SOI 와 Bulk 기판에 Ni-V(5 %)를 적용하였으며, 순수 Ni을 증착한 경

우와 열 안정성을 비교 분석하였다. 분석 결과 SOI 기판위에 Ni-V을 증착한 것이 순수 Ni을 증착한 것에 비해 낮은 면 저항을 보여준 반면 Bulk 기판 위에 Ni-V을 증착한 것은 제일 높은 면저항을 보여줌으로써 Bulk에서와 SOI 기판 위에서의 열안정성 특성이 다르게 나타남을 보여주었다. 후속 열처리 후 단면특성 분석 결과 순수 Ni을 사용한 경우에는 SOI와 Bulk 기판에서 모두 Agglomeration 현상이 나타났으며, Ni-V을 증착한 Bulk 기판 위에서도 Agglomeration 현상이 발생했음을 파악하였다. 하지만 Ni-V을 증착한 SOI 기판인 경우에는 650 °C, 30 분의 고온 열처리 후에도 낮은 면저항 특성, 응집 현상과 단결현상이 없는 단면 특성과 낮은 표면 거칠기를 보여주었으며 XRD의 상변이 확인결과 Ni-V 합금구조에 의한 Silicide의 결합이 비저항이 낮은 mono-silicide로 형성됨을 알 수 있었다. 그러므로 순수 Ni을 증착한 것에 비하여 열 안정성이 개선됨을 확인할 수 있었다. 따라서 향후 Ultra shallow junction을 적용한 SOI PMOSFET에서는 Ni-V이 필요하다고 할 수 있다.

감사의 글

본 논문은 한국과학재단 목적기초연구(과제: R01-2003-000-11659-0)의 지원 하에 이루어졌음.

참고 문헌

- [1] C. Y. Lu and J. M. Sung, "Reverse short-channel effects on threshold voltage in submicrometer silicide devices", *Electron Device Lett.*, IEEE, Vol. 10, p. 446, 1989.
- [2] H. I. Iwai, T. Ohguro, and S. I. Ohmi, "NiSi silicide technology for scaled CMOS", *Microelectron. Eng.*, Vol. 60, p. 157, 2000.
- [3] T. H. Yang, G. Luo, and E. Y. Chang, "Study of nickel silicide contact on Si/Si_{1-x}Ge_x", *IEEE Electron Device Letters*, Vol. 4, No. 9, p. 544, 2003.
- [4] W. J. Lee, S. Y. Oh, Y. J. Kim, Y. Y. Zhang, Z. Zhong, S. Y. Jung, H. H. Ji, K. J. Hwang, Y. C. Kim, H. T. Cho, W. A. Knoll, J. S. Wang, and H. D. Lee, "Formation and Thermal Stability Characteristics of Ni Silicide on Boron Cluster (B₁₈H₂₂) Implanted Source/Drain", *International Workshop on Junction Technology 2006*, p. 184, 2006.