

## 0.13 $\mu\text{m}$ Cu/Low-k 공정 Setup과 수율 향상에 관한 연구

### A Study on 0.13 $\mu\text{m}$ Cu/Low-k Process Setup and Yield Improvement

이현기<sup>1</sup>, 장의구<sup>1,a</sup>

(Hyun-Ki Lee<sup>1</sup> and Eui-Goo Chang<sup>1,a</sup>)

#### Abstract

In this study, the inter-metal dielectric material of FSG was changed by low-k material in 0.13  $\mu\text{m}$  foundry-compatible technology (FCT) device process based on fluorinated silicate glass (FSG). Black diamond (BD) was used as a low-k material with a dielectric constant of 2.95 for optimization and yield-improvement of the low-k based device process. For yield-improvement in low-k based device process, some problems such as photoresist (PR) poisoning, damage of low-k in etch/ash/cleaning process, and chemical mechanical planarization (CMP) delamination must be solved. The PR poisoning was not observed in BD based device. The pressure in CMP process decreased to 2.8 psi to remove the CMP delamination for Cu-CMP and USG-CMP. H<sub>2</sub>O ashing process was selected instead of O<sub>2</sub> ashing process due to the lowest condition of low-k damage. NE14 cleaning after ashing process for the removal of organic residues in vias and trenches was employed for wet process instead of dilute HF (DHF) process. The similar-state of SRAM yield was obtained in Cu/low-k process compared with the conventional 0.13  $\mu\text{m}$  FCT device by the optimization of these process conditions.

**Key Words :** Low-k, Black diamond, Ash, Cleaning, Yield, Chemical mechanical planarization(CMP)

#### 1. 서론

반도체 chip이 고집적, 고밀도화에 따라 소자의 크기가 축소되고 그에 따라 BEOL(back-end-of-line)의 기생 저항(R)과 용량(C)이 급격히 증가하게 되어 0.13  $\mu\text{m}$ 이하의 소자에서는 기존의 Al( $\sim 2.66 \mu\Omega\text{-cm}$ )과 SiO<sub>2</sub>(k=4.0) 대신 Cu( $\sim 1.67 \mu\Omega\text{-cm}$ )과 low-k(k<3.0)로 대체가 요구된다[1]. 그러나, Cu와 low-k를 적용할 경우 low-k의 밀도가 낮고 기계적으로 약하기 때문에 발생하는 문제점은, (1) 공정 중에 발생하는 암모니아기(NH<sub>x</sub>)와 PR(photoresist)가 반응하여 patterning이 되지 않는

PR poisoning 현상, (2) CMP(chemical mechanical planarization) 할 때 다른 물질과 결합력(adhesion)이 좋지 않아 발생하는 delamination, (3) slurry 입자에 의해 발생하는 다수의 scratch, (4) 공정이 진행되면서 발생하는 low-k 손상(damage)에 따른 k값 증가 등이 있다. 이러한 문제점 때문에 Cu/low-k 공정은 쉽지 않아서 수율을 높이는데 많은 어려움을 겪고 있다. 0.13  $\mu\text{m}$  기술은 일반적으로 Cu 공정에 층간절연물질(inter-metal dielectric; IMD)을 FSG(fluorinated silicate glass; k=3.4~3.7)로 사용하고 있다. FSG는 밀도와 기계적 강도(H  $\sim 5\text{GPa}$ )가 뛰어나 위에서 언급된 문제점이 거의 발생되지 않는 것으로 알려져 있다.

본 연구에서는 0.13  $\mu\text{m}$  FCT(foundry-compatible technology) 소자 공정에서 층간절연물질을 FSG 대신 low-k(k=2.95)를 사용하여 low-k 적용시 발생할 수 있는 문제점을 해결하기 위해 공정을 setup하였고 수율 향상을 위한 방법을 강구하였다.

1. 중앙대학교 전자전기공학부  
(서울시 동작구 흑석동 221)

a. Corresponding Author : changeg@cau.ac.kr

접수일자 : 2007. 3. 5

1차 심사 : 2007. 3. 15

심사완료 : 2007. 3. 21

## 2. 실험 방법

그림 1은 중간절연물질을 FSG와 low-k로 사용하는 소자의 구조를 보여주고 있다. Cu/Low-k 소자의 제작을 위해 모든 공정을 0.13  $\mu\text{m}$  FCT 소자의 mask를 이용하였다. 본 연구에서는 중간절연물질을 FSG 대신 low-k로 대체하여 그림 1(b)와 같은 구조로 실험을 하였다. 두 소자 모두 dual damascene 방식을 채택하고 있다. 그림 1(a)의 FSG 기반 소자에서 사용하는 USG(undoped silicate glass)는  $\text{SiH}_4$ 를 source gas로 하는 silicon이 많은 silicon-rich oxide(SRO)이고 FSG막 내에 존재하는 F가 확산되어  $\text{SiN}(k=7.4)$  표면 층에 모여서 결합력이 떨어지는 것을 막아주며 수분( $\text{H}_2\text{O}$ )에 취약한 FSG를 보호하는 역할을 한다. 그림 1(b)의 low-k 기반 소자에서 사용하는 USG(undoped silicate glass)는 TEOS (tetraethylorthosilicate;  $\text{Si}(\text{OC}_2\text{H}_5)_4$ )를 source gas로 하고 0.13  $\mu\text{m}$  FCT 소자의 CMP 공정을 low-k에 직접 적용할 경우 발생하는 물자국(watermark)과 slurry 입자에 의한 scratch를 방지할 수 있다. 또한, 증착할 때  $\text{N}_2$  또는  $\text{N}_2\text{O}$ 를 사용하지 않기 때문에 암모니아기가 막내에 포함될 가능성이 적어 PR poisoning 측면에서도 이점이 있다. 여기서 사용하는 low-k 및 etch stop layer(ESL)는 Applied Material사의 Black diamond(BD;  $k=2.95$ )와  $\text{SiCN}(k=5.2)$ 이다. Low-k 소자에서 BD와  $\text{SiCN}$ 의 결합력과 BD와 USG의 결합력을 향상시키기 위해 He 플라즈마처리를 하였다. Low-k 기반 소자 구조의 유효유전상수( $k_{\text{eff}}=3.1$ )는 FSG 기반소자의 유효유전상수( $k_{\text{eff}}=3.8$ )보다 작으므로 기생 커패시턴스가 20 % 작다. 이는 소자의 성능이 20 % 향상됨을 의미한다. 두 소자 모두 먼저 patterning하고 trench를 나중에 하여 dual damascene을 형성하였고 금속확산방지막의 step coverage를 향상시키고 저항을 줄이기 위해 TaN를 증착한 후 스퍼터링하는 punch-through 공정을 이용하였다. 표 1은 low-k 기반 소자 제작을 위한 주요 공정의 차이점을 비교한 것이다. Lithography, PR, via fill 물질은 FSG 기반 소자와 동일하고 BD의 손상을 줄이기 위해 ash 공정은  $\text{O}_2$ 대신  $\text{H}_2\text{O}$ 를 사용하였고 wet 공정은 inorganic cleaning인 diluted HF(DHF, 100:1) 대신에 organic cleaning인 NE14를 사용하였다. 또한, low-k의 기계적 강도와 결합력이 좋지 않기 때문에 발생하는 delamination으로 인한 수율 감소를 없애기 위해 기존의 Cu CMP 압력 및 oxide CMP 압력을 4.3 psi, 5.7 psi에서 2.8 psi, 2.8 psi로 줄였다.

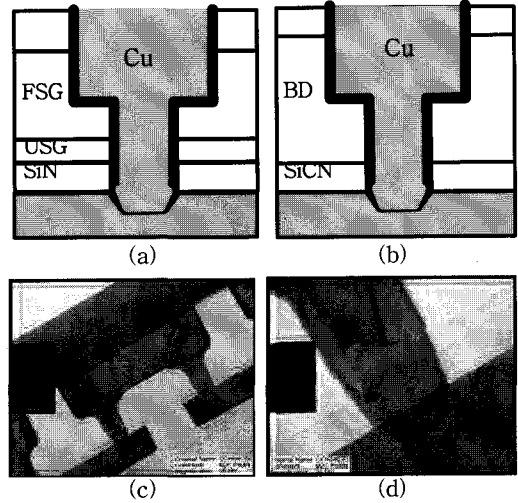


그림 1. (a) FSG 기반 소자와 (b) low-k 기반 소자 및 (c) FSG 기반 소자의 dual damascene TEM 사진과 (d) 확대 사진.

Fig. 1. (a) FSG based device, (b) low-k based device, (c) TEM images of FSG based device(dual damascene) and (d) enlarged photograph.

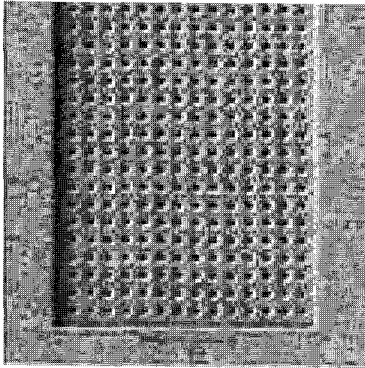
표 1. FSG 기반 소자와 low-k 기반 소자의 주요 공정.

Table 1. Process of FSG based device and low-k based device.

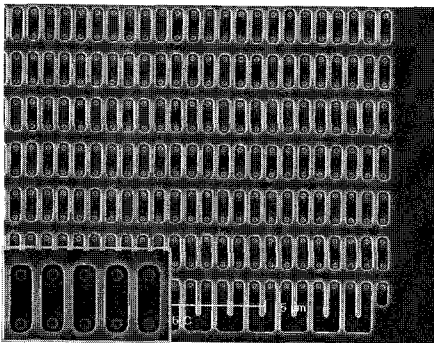
	FSG 기반 소자	Low-k 기반 소자
PR and Via Fill material	FSG 기반 소자와 동일	
Ash	$\text{O}_2$	$\text{H}_2\text{O}$
Wet clean	DHF cleaning (inorganic)	NE14 cleaning (organic)
CMP down pressure	Cu CMP : 4.3 psi Oxide CMP : 5.7 psi	Cu CMP : 2.8 psi Oxide CMP : 2.8 psi

## 3. 결과 및 고찰

향상된 소자의 성능과 수율은 위에서 언급한 PR poisoning, etch/ash/cleaning 동안에 발생하는 BD의 손상, CMP delamination 등의 문제점을 해



(a)



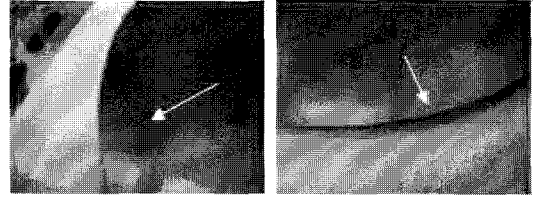
(b)

그림 2. Trench patterning후의 SEM 사진 (a) pad, (b) 52 K-via-chain.

Fig. 2. SEM photograph, after trench patterning (a) pad, (b) 52 k-via-chain.

결해야 가능하다. Capping층으로 사용하는 TEOS 기반의 USG는 line-to-line의 기생 커패시턴스를 다소 증가시키지만 많은 문제점을 해결해주는 중요한 층으로서의 역할을 한다. 이 층은 low-k인 BD가 질소함유 화학물질에 오염이 되지 않게 보호를 하여 via나 trench patterning후 pad와 via-chain의 어느 부분에서도 PR poisoning을 발견할 수 없었으며(그림 2), capping층으로 사용하는 TEOS 기반의 USG는 low-k(H ~1.2GPa) 보다 훨씬 단단하기(H ~9GPa) 때문에 CMP공정에서 발생하는 scratch를 막아 줄 수 있었고 BD를 직접 CMP를하므로써 발생하는 line-to-line leakage 증가를 억제시킬 수 있었다.

Low-k기반의 소자에 CMP 공정에서 발생할 수 있는 delamination의 억제를 위해 플라즈마 처리



(a)

(b)

그림 3. (a) CMP를 한 광학 사진과 (b) USG를 한 광학사진.

Fig. 3. Optical photographs (a) after CMP process and (b) after USG deposition.

효과를 살펴보기 위해 패턴이 되어 있지 않은 USG/BD/SiCN/Si구조를 갖는 웨이퍼로 CMP 압력을 1.5~5.7 psi까지 변화시켜가며 1분 동안 CMP를 하였다. BD위에 USG를 증착하기 전에 He 또는 CO<sub>2</sub> 플라즈마 처리한 것과 플라즈마 처리하지 않은 것 모두 웨이퍼 가장자리에 delamination이 발생하였고 그 정도는 플라즈마처리를 하지 않은 경우에 훨씬 심각하였다(그림 3(a)). 플라즈마처리를 한 웨이퍼도 delamination이 발생하였지만 delamination을 훨씬 감소시킬 수 있었고 CMP 압력이 증가하여도 delamination 영역이 많이 확장되지 않았다(그림 3(b)).

Delamination이 발생하지 않았다고 하더라도 금속 층이 적층될 때 마다 BD에 계속 영향을 주기 때문에 CMP 압력을 적절히 조절할 필요성이 있다. 문헌에 알려진 low-k를 CMP할 때 일반적으로 사용하는 2.5~3.5 psi 영역 중에 본 실험에서는 CMP에서 Cu 및 USG의 제거율(removal rate)을 고려하여 두 경우 모두 압력을 2.8 psi로 설정하였고 이때 패턴 웨이퍼에서 delamination 및 micro-crack은 관찰할 수 없었다[2]. Cu와 USG의 제거율은 그림 4에 나타내었다. Cu 제거율과 USG 제거율은 모두 압력에 대해 선형적인 관계식을 갖고 있으며 Cu의 경우 기존 4.3 psi에서 제거율이 1100 nm/min이었으나 2.8 psi로 줄였을 때 780 nm/min으로 완만히 감소하였으나, USG의 경우 5.7 psi에서 제거율이 65 nm/min이었으나 2.8 psi로 줄였을 때 30 nm/min으로 2배 이상 줄어들었다. 따라서 USG의 경우 2.8 psi에서의 제거율을 증가시키기 위해 CMP 조건을 조절할 필요가 있다.

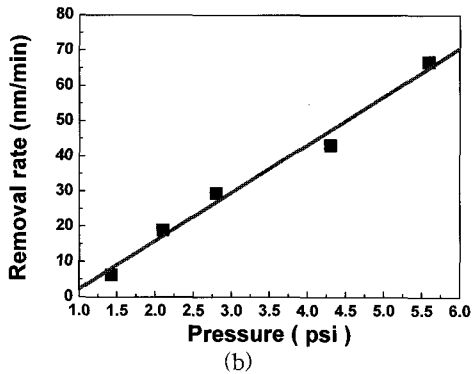
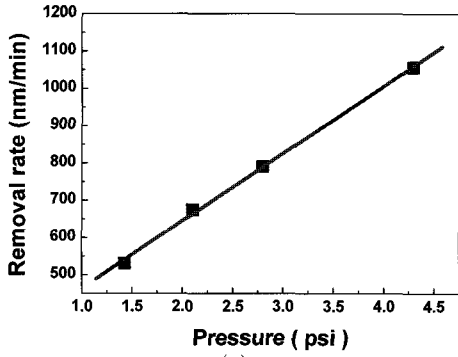
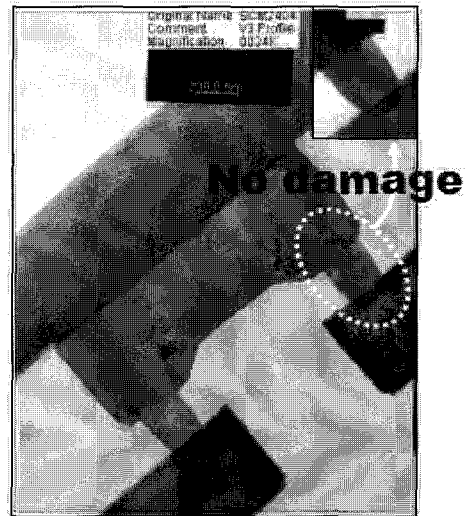


그림 4. 제거율 (a) Cu CMP 및 (b) USG CMP.  
 Fig. 4. Removal rate of (a) Cu CMP and (b) USG CMP.

그림 5는 Cu가 열린 상태에서 Cu 표면 및 층간 절연물질을 cleaning하는 공정을 진행한 것에 대한 TEM 사진이다. 0.13  $\mu\text{m}$  기술에서 사용하고 있는 inorganic cleaning인 DHF(100:1)를 적용할 경우 그림 5(a)와 같이 DHF에 의해 DB가 심하게 손상을 받은 것을 TEM 결과로 확인할 수 있었다. 그러나, NE14라는 organic cleaning을 적용할 경우 BD가 전혀 손상을 입지 않고 via profile이 깨끗하였다. 이 결과로부터 NE14 cleaning이 소자의 electro-migration(EM)과 stress migration(SM) 면에서도 유리할 것으로 예상된다. 패턴이 없는 웨이퍼로 위 두 가지 cleaning을 비교해보면 NE14의 경우에는 40 Å이 etch가 되었지만 DHF의 경우는 BD가 100 Å이나 etch가 되어 2.5배나 손상을 받았다. 따라서, low-k 소자의 경우에는 DHF를 좀더 회색시켜 low-k 영향을 주지 않으면서 cleaning을 효과적으로 할 수 있는 조건을 찾아야 하고 현재로서는 NE14 cleaning을 채택하는 것이 바람직하다고 사료된다.



(a)



(b)

그림 5. (a) inorganic cleaning인 DHF(100:1)를 채택한 경우와 (b) organic cleaning인 NE14를 채택한 경우의 TEM 사진.

Fig. 5. TEM photograph of (a) inorganic cleaning of DHF(100:1) and (b) organic cleaning of NE14.

Wet cleaning은 NE14로 선택하였으나 BD는 ashing 공정에 의해 물질의 특성 중 유전상수(k) 값이 증가하게 된다. 그 이유는 BD가 Si, O, C, H

표 2. O<sub>2</sub>, CO+O<sub>2</sub>, H<sub>2</sub>O ashing 및 wet cleaning 공정 진행에 따른 막의 두께 및 굴절률.

Table 2. Thin film thickness and refractive index by O<sub>2</sub>, CO+O<sub>2</sub>, H<sub>2</sub>O ashing and wet cleaning process.

Ashing gas	O <sub>2</sub>		CO+O <sub>2</sub>		H <sub>2</sub> O	
	ΔTHK (Å)	ΔRI (Å)	ΔTHK (Å)	ΔRI (Å)	ΔTHK (Å)	ΔRI (Å)
Ash	50.5	0.011	105.7	0.019	35.4	0.009
Ash+ Wet	112.7	0.008	150.5	0.020	74.9	0.008

성분으로 구성되어 있는데, 막내에 포함하고 있는 CH<sub>x</sub>가 많을수록 유전상수가 낮은 정도가 결정되는데 ashing 공정에 사용하는 O<sub>2</sub>에 의해 BD에 있는 carbon기가 떨어지고 그 자리에 oxygen에 의해 치환되어 k=4인 SiO<sub>2</sub>형태의 막이 되거나 유전상수를 증가시키는 주요한 원인 중의 하나인 OH기를 포함함으로써 low-k로서의 역할을 하지 못하게 된다. 그래서 BD에 손상을 주지 않는 최적의 ash조건을 찾기 위해 기존의 O<sub>2</sub> 조건과 함께 CO와 O<sub>2</sub>를 섞어서 실험한 조건과 H<sub>2</sub>O gas를 이용한 결과를 표 2에 나타내었다.

그림 6에서 단순히 두께 및 굴절률뿐만 아니라 FTIR(Fourier transform infrared spectroscopy)을 통해 막내에 있는 원소의 결합이 ash 및 wet 공정 후 어떻게 변하는지 살펴보았다. 그림 6(a)와 6(b)에서 O<sub>2</sub> 및 CO+O<sub>2</sub> gas를 이용한 ashing 공정에서는 기존에 있는 결합 이외에 2340 cm<sup>-1</sup>에서 C=C로 추정되는 peak이 관찰되고 O<sub>2</sub>에 CO를 함께 주입한 조건에서는 wet cleaning후에도 이 peak이 여전히 남아 있었다(그림 6(b)). 이는 CO+O<sub>2</sub> gas에서 CO에서 분해된 활성화된 carbon이 low-k 내로 침투하여 C≡C 결합이 표면만이 아니라 내부 깊숙하게 존재한다고 생각할 수 있다. 그러나, H<sub>2</sub>O gas를 이용한 ash후 새로운 peak도 관찰되지 않았고 wet후에도 peak의 변화는 보이지 않았다(그림 6(c)).

이러한 결과는 SIMS(secondary ion mass spectroscopy)를 이용하여 carbon과 oxygen의 깊이

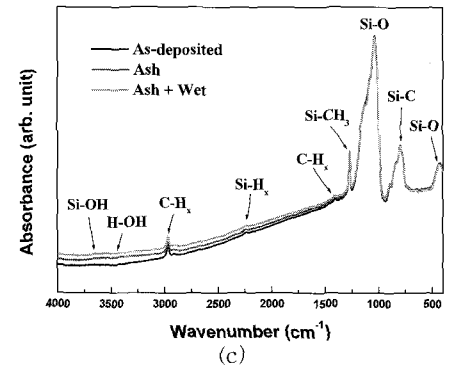
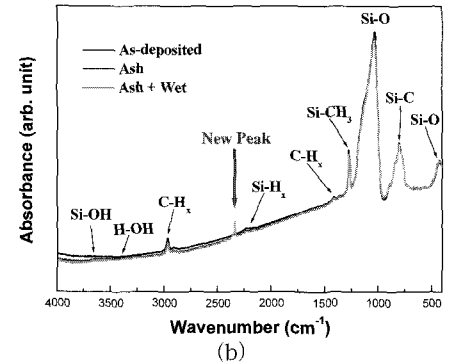
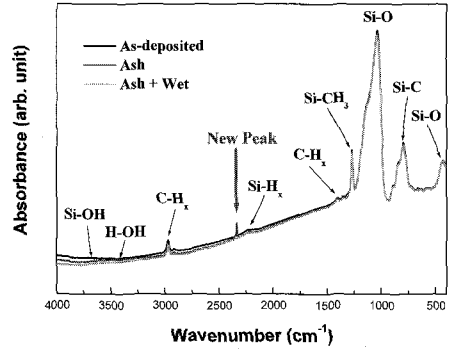
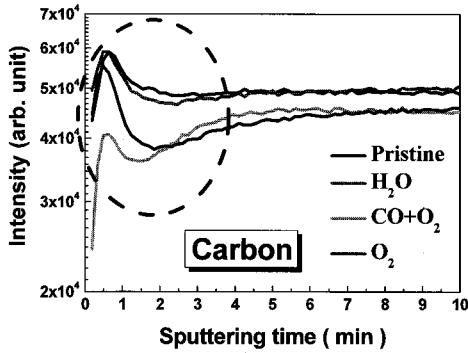


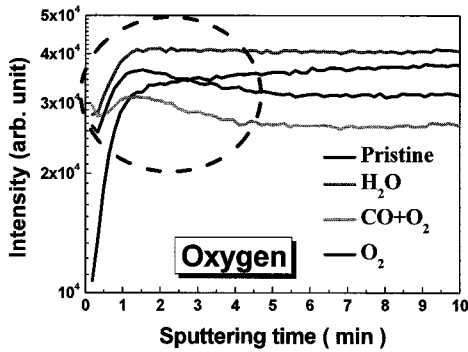
그림 6. 증착된 BD의 ash 공정 후와 NE14 cleaning 공정을 진행한 후의 FTIR 스펙트럼; (a) O<sub>2</sub> ash, (b) CO+O<sub>2</sub> ash, (c) H<sub>2</sub>O ash 공정 후와 wet 공정 후의 FTIR 스펙트럼.

Fig. 6. FTIR spectrum of deposition BD after ash process and NE14 cleaning process; (a) O<sub>2</sub> ash, (b) CO+O<sub>2</sub> ash and (c) after H<sub>2</sub>O ash process and wet process.

방향의 함량 변화로부터 확인할 수 있었다. O<sub>2</sub>, CO+O<sub>2</sub>, H<sub>2</sub>O gas를 이용한 ash 공정 모두 표면에



(a)



(b)

그림 7. (a) carbon 원소의 SIMS depth profile, (b) oxygen 원소의 SIMS depth profile.  
Fig. 7. SIMS depth profile of (a) carbon and (b) oxygen.

서 carbon이 급격히 감소하고 oxygen 성분이 급격히 증가하는 것은 아니지만 O<sub>2</sub>, CO+O<sub>2</sub> ash 공정은 wet cleaning 후에도 표면에 carbon 함량이 다소 줄어 들고 oxygen 함량이 다소 늘어났다. 그러나, H<sub>2</sub>O의 경우에는 원래의 BD가 함유하고 있는 carbon과 oxygen의 profile과 거의 유사하다(그림 7). 따라서, H<sub>2</sub>O gas를 사용하여 ash 공정을 적용하는 것이 BD의 손상을 최소화하는 방법이라고 사료된다. 위 방법을 이용하여 얻은 4M SRAM yield를 그림 8에 나타내었다. FSG 기반 소자의 수율을 1.0으로 기준할 때 low-k 기반 소자의 수율은 40% 감소하였음을 알 수 있다.

FSG 기반 소자와 low-k 기반 소자의 수율 차이를 분석해 본 결과, 그림 9(a)에서 보듯이 ash 공정 후 유기물이 via hole과 표면에 국부적으로 남아 있어 이것이 후속 patterning에 영향을 주는 것으로 판단된다[3]. 따라서, 잔존 유기물을 제거하

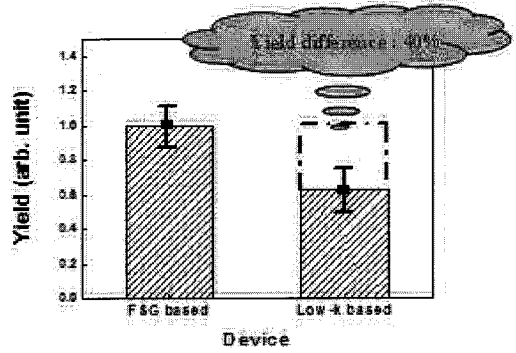


그림 8. (a) FSG 기반 소자와 (b) low-k 기반 소자의 4M SRAM 수율.  
Fig. 8. The yield of 4M SRAM (a) FSG based device and (b) low-k based device.

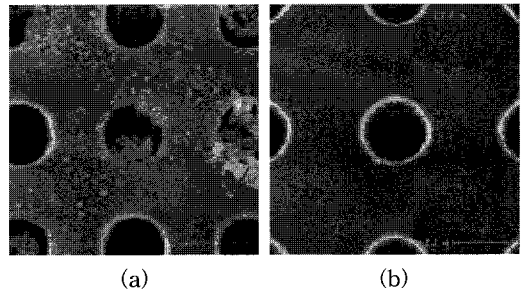


그림 9. (a) NE14 cleaning 전 및 (b) NE14 cleaning 후.  
Fig. 9. (a) Before NE14 cleaning and (b) after NE14 cleaning.

기 위해 wet cleaning을 수행하였다. 앞 선 결과에서 (표 2, 그림 5(a)) DHF cleaning은 BD를 많이 etch하기 때문에 critical dimension(CD)이 커지고 via의 profile이 후속 금속확산방지막을 증착할 때 취약하게 만들기 때문에 NE14 cleaning을 수행하였다. 그림 9(b)는 NE14 cleaning후 via hole 및 표면에 잔존하던 모든 유기물은 제거되었고 CD 변화도 보이지 않았다.

BD ash공정 후 잔존하는 유기물은 NE14 cleaning을 통해 쉽게 없앨 수 있었기 때문에 ash 공정 후에 NE14 cleaning을 적용하여 0.13 μm FCT 소자를 재 제작하였다. 이렇게 하여 얻어진 SRAM 수율은 그림 10에서 나타내었다. NE14 cleaning step을 ash후에 추가한 low-k base 소자

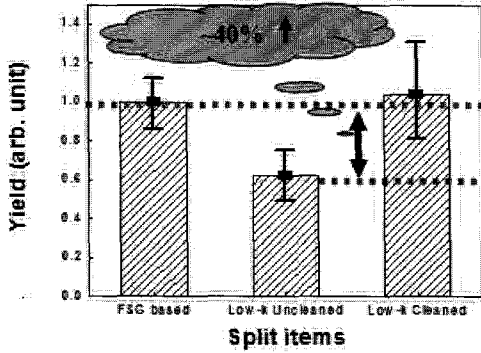


그림 10. FSG base 소자, ash후 cleaning하지 않은 소자 (low-k uncleaned), ash후 cleaning을 한 소자의 SRAM Yield.

Fig. 10. SRAM yield of FSG base device, low-k uncleaned device after ash and cleaning device after ash.

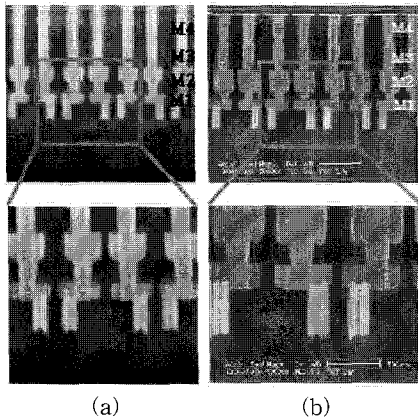


그림 11. (a) 0.13 μm FSG 기반 소자 (FCT) 및 (b) 0.13 μm low-k 기반 소자의 구조.

Fig. 11. Device structure (a) 0.13 μm FSG based device(FCT) and (b) 0.13 μm low-k based device.

는 기존의 FSG base 소자와 동일한 SRAM yield를 얻을 수 있었다. 즉, ash 공정 후에 발생하는 잔존 유기물이 수율의 주된 감소원인이라고 생각할 수 있다. 그림 11은 0.13 μm FSG 기반 소자 및 low-k 기반 소자의 구조를 나타낸다. 여기에서 M1~M4는 금속 층을 나타낸다.

#### 4. 결론

본 연구에서는 0.13 μm FCT 소자에서 사용하는 Cu/FSG 공정에서 FSG대신에 low-k를 적용하여 Cu/low-k의 공정을 확립하였다. Low-k를 적용할 때 발생할 수 있는 PR poisoning은 관찰되지 않았으며 CMP delamination을 방지하기 위해 Cu CMP와 USG CMP 공정 압력을 2.8 psi로 낮추었다. Ash공정은 O<sub>2</sub> ash공정 대신에 BD 손상이 가장 적은 H<sub>2</sub>O ash로 선택하였고 wet 공정도 DHF cleaning 대신에 NE14 cleaning을 이용하여 low-k에 손상을 주지 않았다. Ash 공정 후 NE14 cleaning을 함으로써 국부적인 유기물을 제거하여 Cu/low-k 공정에서도 현재 0.13 μm FCT 소자의 SRAM 수율과 동일한 수준의 수율을 얻을 수 있었다.

#### 감사의 글

이 논문은 2006년도 중앙대학교 학술연구비지원에 의한 것임.

#### 참고 문헌

- [1] W. W. Lee and P. S. Ho, "Low-dielectric-constant materials for ULSI interlayer-dielectric applications", MRS Bull., Vol. 22, No. 10, p. 19, 1997.
- [2] S. Tokitoh, S. Kondo, B. U. Yoon, A. Namiki, K. Inukai, K. Misawa, S. Sone, H. J. Shin, Y. Matsubara, N. Ohashi, and N. Kobayashi, "Enhancement in electrical via-yield of porous low-k/Cu integration by reducing CMP pressure", IITC, p. 130, 2004.
- [3] Y. S. Tan, Simon Y. M. Chooi, C.-Y. Sin, P.-Y. Ee, M. P. Srinivasan, and S. O. Pehkonen, "Characterization of low-k dielectric trench surface cleaning after a fluorocarbon etch", Thin Solid Films, Vol. 462-463, p. 250, 2004.