

고온 열처리 공정이 탄화규소 쇼트키 다이오드 특성에 미치는 영향

Effect of High Temperature Annealing on the Characteristics of SiC Schottky Diodes

정희종¹, 방 옥^{2a}, 강인호², 김상철², 한현숙³, 김형우², 김남균², 이용재¹
(Hui Jong Cheong¹, Wook Bahng^{2a}, In-Ho Kang², Sang Cheol Kim², Hyun Sook Han³,
Hyeong Woo Kim², Nam Kyun Kim², and Yong Jae Lee¹)

Abstract

The effects of high-temperature process required to fabricate the SiC devices on the surface morphology and the electrical characteristics were investigated for 4H-SiC Schottky diodes. The 4H-SiC diodes without a graphite cap layer as a protection layer showed catastrophic increase in an excess current at a forward bias and a leakage current at a reverse bias after high-temperature annealing process. Moreover it seemed to deviate from the conventional Schottky characteristics and to operate as an ohmic contact at the low bias regime. However, the 4H-SiC diodes with the graphite cap still exhibited their good electrical characteristics in spite of a slight increase in the leakage current. Therefore, we found that the graphite cap layer serves well as the protection layer of silicon carbide surface during high-temperature annealing. Based on a closer analysis on electric characteristics, a conductive surface transfiguration layer was suspected to form on the surface of diodes without the graphite cap layer during high-temperature annealing. After removing the surface transfiguration layer using ICP-RIE, Schottky diode without the graphite cap layer and having poor electrical characteristics showed a dramatic improvement in its characteristics including the ideality factor[η] of 1.23, the schottky barrier height[φ] of 1.39 eV, and the leakage current of 7.75×10^{-8} A/cm² at the reverse bias of -10 V.

Key Words : Silicon carbide, Schottky diode, High temperature annealing, Surface transfiguration layer, Graphite cap, Leakage current

1. 서론

일반적으로 1차원적인 소자 설계 시 고전압 쇼트키 다이오드의 항복전압은 n-드리프트층 두께에

의해 결정된다. 그러나 3차원적인 실제 구조에 있어서 항복전압은 쇼트키 접촉의 모서리에 집중된 전계에 의해 낮아지는 경향을 가진다. 따라서 대부분의 고전압 쇼트키 다이오드는 쇼트키 접촉의 모서리에 집중된 전계를 분산하여 높은 항복전압을 얻기 위하여 JTE (Junction Termination Extensions) 또는 FLR (Field Limiting Ring) 등과 같은 중단구조를 갖도록 제작되고 있다[1,2]. 또한 쇼트키 다이오드에서 나타나는 schottky barrier lowering에 의한 누설전류증가 및 soft breakdown을 막기 위해 최근에는 쇼트키 활성영역 내에 부분적으로

1. 동의대학교 전자정보통신공학부
2. 한국전기연구원 전력반도체그룹
(경남 창원시 성주동 28-1)
3. 경남대학교 전자전기공학부
a. Corresponding Author : bahng@keri.re.kr
접수일자 : 2006. 7. 13
1차 심사 : 2006. 7. 27
심사완료 : 2006. 8. 16

p층을 삽입하는 JBS(Junction Barrier controlled Schottky)구조가 선호되고 있다[3]. 이러한 JTE, FLR 및 JBS구조는 드리프트층 내에 p형 도펀트를 이온 주입하여야 하며 주입된 이온이 전기적 특성을 나타내기 위하여 1500 °C 이상에서 고온 열처리 과정이 필수적이다. 알루미늄 이온을 주입한 경우 1600 °C에서 열처리를 하였을 경우 주입된 이온이 완전 활성화 되지 못하고 약 10 % 이내로 활성화되며, 주입된 이온이 완전 활성화 되는데 필요한 온도는 1750 °C로 보고되고 있다[4].

고온의 열처리 온도는 탄화규소 표면에서의 승화현상을 유발시켜 step bunching 효과로 알려져 있는 표면이 거칠어지는 현상이 일어난다[5-9]. 많은 연구자들이 고온의 열처리과정에서 탄화규소의 표면에 형성되는 macrostep에 대한 고찰과 이의 억제 방법에 대한 연구들을 수행하였다. 이러한 표면의 거칠기 변화는 ideality factor를 높이거나, 쇼트키 장벽높이를 낮춤으로써 쇼트키 다이오드의 특성에 악영향을 미치는 것으로 보고되고 있다[10]. 따라서 많은 연구결과들이 소자의 전기적 특성 변화는 표면 거칠기에 의해 발생하는 것으로 해석하였으나, 이 과정에서의 표면의 화학적, 결정학적 변화에 대한 고찰 및 이에 따른 전기적 특성의 변화에 대해서는 보고된 바 없다. 본 연구에서는 고온의 열처리 과정에서 형성되는 macrostep뿐만 아니라 표면층의 변화가 소자의 특성을 열화시키는 현상을 분석하고자 하였다.

고온의 열처리 과정에서 표면을 보호하기 위하여 표면보호층으로 AlN[11], BN[12]막을 이용한 경우가 있으나 이들 막의 경우에는 열처리 후 제거에 문제가 있었으며, 산화막[13]을 이용한 경우에는 열산화막의 두께가 충분히 두껍지 못하여 고온 열처리에는 부적합한 것으로 판단된다. 따라서 본 연구에서는 열처리도중 표면의 macrostep형성 억제에 효과적인 흑연보호층[14]을 사용하여 보호층 유무와 열처리 조건에 따른 소자 특성을 분석하였다.

2. 실험

본 실험에서는 Si 종단면 및 $1 \times 10^{18} \text{ cm}^{-3}$ 농도를 갖는 n형 4H SiC 기판 위에 $2.4 \times 10^{16} \text{ cm}^{-3}$ 농도 및 4.7 μm 두께를 갖는 에피층을 성장시킨 웨이퍼를 이용하였다. 이온활성화 공정 시 수행되는 고온 열처리 공정이 소자에 미치는 영향을 알아보기 위

표 1. 각 소자별 열처리 조건.

Table 1. List of annealing conditions.

샘플 No.	Temp.	Pressure	Time	Gas	Graphite Cap
1	as dep.	-	-	-	-
2	1600 °C	650 Torr	30 min	Ar	With Cap
3	1600 °C	650 Torr	30 min	Ar	Without Cap
4	1700 °C	650 Torr	30 min	Ar	With Cap
5	1700 °C	650 Torr	30 min	Ar	Without Cap
6	1600 °C	100 Torr	30 min	Ar	Without Cap

해 이온주입을 하지 않고 고온 열처리만 수행하여 분석하였다. 표 1에 실험에 사용된 시편들의 열처리 조건을 정리하였다. 이들 시편 중 100 Torr의 Ar 분위기에서 1600 °C로 열처리한 경우는 과도한 macrostep의 발생 및 표면변형층의 형성이 소자특성에 미치는 영향을 알아보기 위해 시도되었다. 일반적으로 주입된 이온의 활성화에는 1600~1700 °C의 고온이 필요하므로, 본 실험에서는 온도의 영향을 확인하고자 1600 °C와 1700 °C의 조건에서 열처리 공정을 진행하였다[6,13,14].

시편 #2, #4의 경우는 photoresist AZ1512를 1.4 μm 의 두께로 도포하고 105 °C에서 90초 동안 soft bake 한 후 열처리 공정을 진행 하였다. 이와 같은 공정은 열처리와 동시에 흑연보호막이 형성되는 장점이 있다[15]. 열처리 후 형성된 흑연보호막은 1150 °C의 산화로에서 O₂ 분위기로 1시간가량 산화시킴으로써 제거하였다. 쇼트키 다이오드를 제작하기 위하여 모든 샘플을 RCA 세척을 한 후 니켈(Ni)을 100 nm 두께로 뒷면에 증착시킨 후 950 °C에서 90초 동안 열처리하여 오믹 접촉을 형성시켰다. 쇼트키 집합을 형성하기 위하여 솔벤트 및 10초간의 BOE(Buffer Oxide Etcher) 담금법을 이용하여 세척한 후 쇼트키 금속(Ni)을 100 nm 두께로 증착 하였다. 쇼트키 다이오드는 지름이 900 μm 인 원형으로 제작하였다. 각각의 샘플에 대해 64개의 쇼트키 다이오드 소자를 동일기판위에 제작하여 측정하였다. 쇼트키 다이오드 전압-전류특성을 측정하기 위하여 HP4156B를 이용하였으며, 웨이퍼의 표면관찰을 위하여 optical microscope와 AFM(Atomic Force Microscope)을 이용하였다.

3. 결과 및 고찰

그림 1은 여러 가지 열처리 조건에 따른 탄화규소 쇼트키 다이오드의 순방향 특성 곡선을 보여주

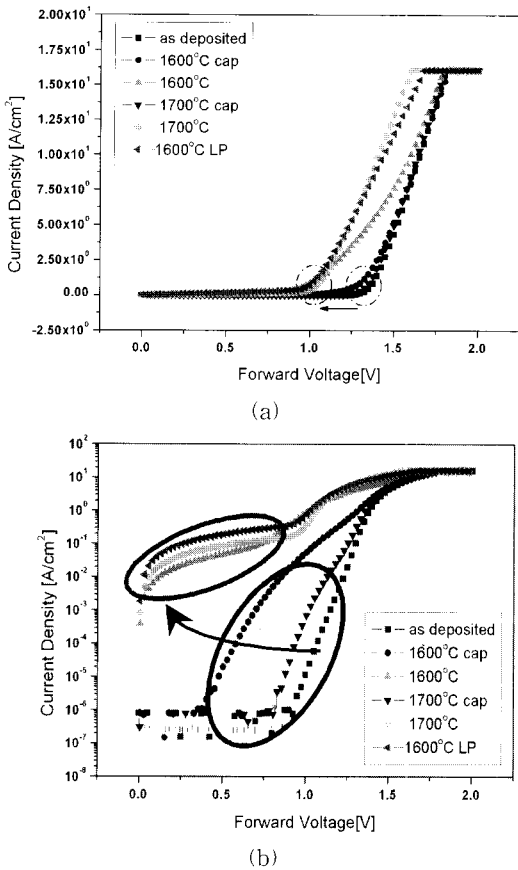


그림 1. 열처리 조건에 따른 순방향 특성 곡선.
 Fig. 1. Forward I-V characteristics with various annealing condition.

고 있다. 그림에서 각각의 온도는 열처리 온도를 나타내고, 흑연보호막을 사용한 경우에는 cap으로 표시하였으며, LP는 100 Torr에서 열처리가 행해졌음을 의미한다. 나머지는 모두 열처리 시 650 Torr의 압력으로 고정하여 고온에서의 탄화규소 표면의 승화현상을 억제하고자 하였다. 그림 1(a)에서 볼 수 있듯이 열처리를 하지 않은 경우(#1)와 흑연보호막을 사용하여 열처리한 경우(#2, #4)에는 턴-온 전압이 1.33~1.38 V로 서로 비슷한 경향을 보임을 알 수 있다. 반면 흑연보호막을 사용하지 않고 열처리한 경우에는 흑연보호막을 사용하여 열처리한 경우보다 0.4 V정도 낮은 전압에서 턴-온이 일어남을 알 수 있다.

이를 그림 1(b)의 로그그래프로 살펴보면 큰 차이를 발견할 수 있는데, 열처리를 하지 않거나 흑연보호막을 사용하여 열처리한 경우의 쇼트키 접

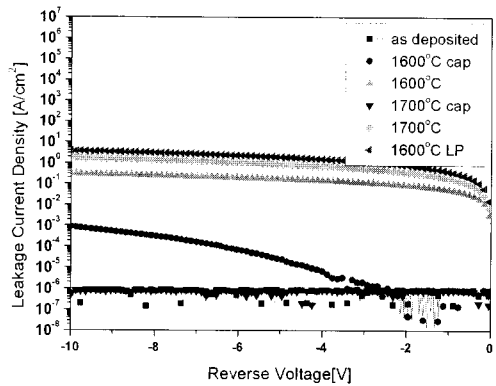


그림 2. -10 V까지 측정된 열처리 조건별 소자의 누설전류.
 Fig. 2. Measured reverse leakage current of diodes by sweeping the reverse bias up to -10 V.

합특성을 보이고 있는 영역과 (큰 구형으로 표시된 영역) 흑연보호막을 사용하지 않고 열처리한 경우처럼 전압인가 초기부터 큰 누설전류가 형성되어 쇼트키 특성을 나타내지 못하고 있는 영역(왼편 작은 구형으로 표시된 영역)으로 구별됨을 알 수 있다. 그림에서 쇼트키 특성을 나타내고 있는 경우에도 흑연보호층을 사용하고 1700 °C에서 열처리한 경우에는 열처리 과정을 거치지 않은 경우와 거의 유사한 특성을 보여주고 있으나, 1600 °C에서 열처리한 경우에는 다소 변화된 특성을 보여주고 있다.

이러한 경향은 그림 2에서 나타난 바와 같이 역방향 전압이 -10 V로 인가되었을 때의 누설전류를 살펴보면 더욱 뚜렷하게 나타난다. 그림 1(b)로부터 유추할 수 있듯이 흑연보호막을 사용하지 않고 열처리한 경우에는 큰 누설전류가 흐르고 있음을 확인할 수 있다. 또한 흑연보호막을 사용한 경우에도 1600 °C 열처리한 경우에는 큰 폭의 누설전류 증가를 확인할 수 있었다. 이는 1600 °C 열처리의 경우 표면에 도포된 PR이 완전히 흑연막으로 변화되지 않았기 때문으로 고려되나, 이에 대해서는 보다 상세한 분석이 필요한 것으로 판단된다.

이러한 누설전류의 특성은 그림 3에 나타난 바와 같이 0V 근처의 낮은 바이어스 전압에서의 전류특성을 살펴보면 좀 더 명확하게 구분된다. 열처리를 하지 않거나 흑연보호막을 이용하여 열처리한 경우에는 0 V 좌우의 전류특성이 쇼트키 접촉 특성을 나타내고 있는 반면, 흑연보호막 없이 열처리한 경우에는 옴릭 접촉과 같은 전류-전압 거동

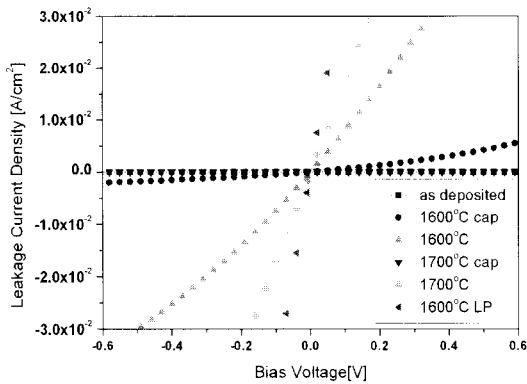


그림 3. 낮은 바이어스 영역에서의 전류-전압 특성 곡선.

Fig. 3. Current-voltage characteristics of fabricated diodes at low bias.

을 보이고 있다. 이것은 흑연보호막 없이 열처리한 경우 표면에 전류의 경로가 될 수 있는 표면변형층이 형성된 것으로 고려할 수 있으며, 이러한 표면변형층이 형성되기 쉬운 조건일수록 저항이 작은 특성을 보여주고 있다. 즉, 열처리 온도는 1600 °C이나 100 Torr의 압력에서 열처리한 경우가 650 Torr 에서 1700 °C로 열처리 한 경우보다 표면의 변화가 심하여 누설전류경로를 제공하는 표면변형층의 형성이 더 활발하였음을 알 수 있다. 650 Torr의 압력에서 1600 °C로 열처리한 경우 표면층의 변화를 통한 표면변형층의 형성이 완화된 것으로 판단될 수 있다.

흑연보호막을 사용하여 열처리한 경우에는 쇼트키 접촉특성을 유지하고 있으나, 열처리를 전혀 하지 않은 경우에 비해서는 누설전류가 증가하는 경향을 보여주고 있다. 1600 °C에서 흑연보호막을 사용하여 열처리한 경우에는 앞서 언급한 바와 같이 도포된 PR이 흑연막으로 전이되어 보호막으로서 작용하기에 충분한 조건을 만족하지 못한 것으로 보여지며, 1700 °C에서 열처리한 경우에는 소자의 특성에는 큰 영향을 주지 않으나 열처리 후 산화공정을 통한 흑연막의 제거과정을 거침으로써 열처리를 하지 않은 경우에 비해 탄화규소/금속 계면의 특성이 다소 열화된 것으로 고려된다. 따라서 흑연보호막을 사용하는 경우에도 열처리 이전에 비해 양질의 계면 특성을 유지하는 것이 어려우며 이를 위해서는 산화공정 이외에도 보다 최적화된 계면 특성 향상방법에 대한 연구가 필요할 것으로 판단된다.

표 2. 열처리 조건을 달리한 소자들의 전기적 특성.

Table 2. Electrical characteristics of diodes with various annealing conditions.

샘플 No.	Turn on Voltage [V]	Ideality factor [η]	Barrier height [ϕ]	Jr at -10V[A/cm ²]
1	1.38	1.29	1.48	5.56×10^{-7}
2	1.33	1.79	0.98	8.92×10^{-4}
3	0.87	-	-	0.28
4	1.34	1.42	1.39	8.16×10^{-7}
5	1.05	-	-	1.08
6	1.00	-	-	3.63

이들 각 조건별 소자들의 턴-온 전압, 다이오드 특성변수(ideality factor, schottky barrier height), 누설전류 등의 대표 값을 표 2에 정리하였다.

이러한 전기적 특성 측정 결과로부터 고온의 열처리 공정 중에 흑연보호층을 사용하지 않은 경우 표면층이 변형되어 저항성분을 갖는 표면변형층이 형성된 것으로 판단되었다. 이의 개략적인 모식도를 그림 4에 표시 하였다.

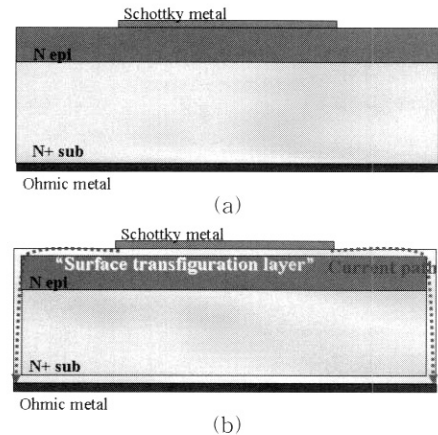


그림 4. 제작된 탄화규소 쇼트키 다이오드 소자의 모식도 (a) 열처리를 하지 않은 경우, (b) 흑연보호막을 사용하지 않고 열처리 한 경우.

Fig. 4. Schematic diagram of the fabricated SiC schottky diodes (a) diode fabricated without high temperature annealing, (b) diode fabricated after high temperature annealing without graphite capping layer.

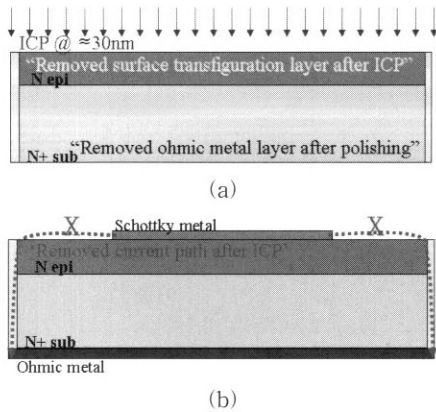


그림 5. (a) 쇼트키 접촉 금속 제거 후 건식식각 공정, (b) 표면변형층을 제거한 후 쇼트키 접촉 금속을 형성.

Fig. 5. Process schematics of SiC schottky diode including removing of surface modified interface layer by ICP-RIE process.

열처리를 하지 않거나, 흑연보호층을 사용한 경우[그림 4(a)]에는 제작된 쇼트키 금속이 탄화규소 기판과 잘 접촉된 형태의 소자를 형성하나, 흑연보호층이 없는 경우[그림 4(b)]에는 고온에서의 장시간에 걸친 공정도중 표면변형층이 표면에 형성된 것으로 고려할 수 있다. 이는 탄화규소의 물질적 특성에 기인한 것으로 1600~1700 °C의 고온에서는 표면의 일부 실리콘 원소들의 우선적 승화에 의해 탄소과잉의 표면변형층이 형성되는 것으로 이러한 탄화규소 표면변형층이 쇼트키 금속과 오믹 금속 사이의 전류경로의 역할을 하는 것으로 생각할 수 있다.

열처리 공정 중 누설전류의 경로를 제공하는 표면변형층이 존재하는 경우에는 그림 5에 나타낸 바와 같이 표면에 존재하는 표면변형층을 효과적으로 제거한다면 이러한 현상을 억제할 수 있을 것이다.

이를 확인하고자 본 연구에서는 흑연보호막 없이 1700 °C에서 열처리한(#5) 소자를 이미 형성된 금속층을 제거하고 ICP-RIE를 이용하여 표면에 존재하는 표면변형층을 제거한 후 전류-전압 특성을 분석하였다. 산화공정을 통한 흑연막 제거시 제거되는 탄화규소층의 두께가 10~20 nm임을 고려하여 ICP-RIE를 이용한 건식식각은 ~30 nm의 깊이로 조절하였다. 이후 표면층에 그림 5(b)와 같이 쇼트키 금속을 형성시켜 측정된 전류-전압특성을

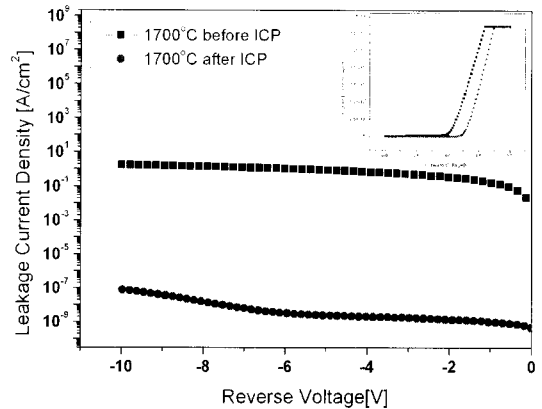


그림 6. 표면에 형성된 표면변형층을 제거한 후 제작한 탄화규소 쇼트키 다이오드의 전류-전압 특성 누설전류가 현저히 줄어들었음을 알 수 있다.

Fig. 6. I-V characteristic of diodes after removing the surface modified interface layer. The leakage current is dramatically reduced compared with that before ICP-RIE treatment.

그림 6에 나타내었다. 그림에서 볼 수 있듯이 역방향, 순방향 모두 누설전류가 현격히 줄어든 것을 알 수 있으며, 표면변형층의 제거이전에는 측정이 불가능하였던 Ideality factor[n]는 1.23, Schottky barrier height[ϕ]는 1.39 eV로 측정되었다. 이는 열처리를 하지 않은 소자와 열처리시 흑연보호막을 사용한 경우와 동일 수준의 값으로써 열처리시 형성된 표면변형층의 제거가 탄화규소 쇼트키 다이오드의 특성향상에 큰 효과가 있음을 알 수 있다. 또한 -10 V의 역방향 바이어스를 인가한 경우의 누설전류도 7.75×10^{-8} A/cm²로 크게 줄어들음을 확인할 수 있었다. 본 연구로부터 고온의 이온 활성화 열처리 공정이 탄화규소 표면의 거칠기에만 영향을 주는 것이 아니라 누설전류의 경로를 제공하는 표면변형층을 형성시킴을 확인할 수 있었다. 따라서 표면변형층의 형성 억제 및 이의 제거가 우수한 특성의 탄화규소 쇼트키 다이오드 소자제조에 필수적임을 알 수 있다.

4. 결론

N-type의 SiC반도체를 이용하여 쇼트키 다이오드를 제작하고, 고온 열처리 공정이 소자의 특성에

미치는 영향을 고찰하였다. 우선 열처리 공정을 거친 경우에는 역방향, 순방향 모두 누설전류가 증가하는 현상을 나타내었다. 열처리 공정을 거친 경우에도 흑연 보호층을 적용한 경우에는 다소의 누설전류 증가는 있었으나, 쇼트키 다이오드의 특성을 유지하고 있었다. 반면, 흑연보호층을 사용하지 않고 열처리한 경우에는 큰 폭의 누설전류 증가가 있었으며, 미소전압 특성에 있어서도 오믹특성을 나타내었다. 전기적 특성 분석 결과로 부터 고온 열처리 공정 중에 탄화규소 표면에 표면변형층이 형성되어 전류경로를 형성하는 것으로 판명되었으며, 열처리 공정 이후 표면에 존재하는 표면변형층의 제거를 통해 이러한 영향을 억제할 수 있음을 확인할 수 있었다. 따라서 고온 열처리 공정에서 macrostep의 생성 및 이에 따른 접촉특성등 일반적으로 알려져 있는 현상외에 표면층의 조성변화로 추정되는 전기전도도의 변화도 수반되는 것을 확인하였다.

본 연구결과 탄화규소 고전압 소자제조에 필수적인 고온 열처리 공정에서 탄화규소의 표면이 손상되지 않도록 하는 흑연보호층의 적용과 열처리 공정 후 탄화규소 표면의 처리공정이 우수한 특성을 갖는 소자제조에 필수적임을 확인할 수 있었다. 표면에 형성되는 표면변형층은 ICP-RIE를 이용한 실험으로부터 ideality factor[η] 1.23, 쇼트키 장벽높이[Φ] 1.39 eV, 누설전류 또한 -10 V에서 7.75×10^{-8} A/cm²의 측정결과를 얻었고, 이 결과를 바탕으로 수십 nm이하의 얇은 층임을 알 수 있었으나 광학현미경 및 AFM측정을 통한 표면상태 관찰로는 큰 차이를 찾지 못하였고, 정확한 조성이나 특성 등은 분석할 수 없었다. 따라서 본 연구에서 확인한 표면변형층의 특성에 대한 추가 연구가 진행중이다.

감사의 글

본 연구는 산업자원부 차세대연구개발사업인 'SiC 반도체 기술개발 사업(SiCDDP)'의 지원으로 이루어진 것입니다.

참고 문헌

[1] 송근호, 김남균, 방 옥, 김상철, 김형우, 김은동, "Field ring 구조를 이용한 고전압 SiC

schottky diode 제작", 한국전기전자재료학회 2002학계학술대회논문집 p. 350, 2002.

- [2] 정희종, 방 옥, 강인호, 김상철, 한현숙, 김남균, 이용재, "4H 탄화규소 쇼트키 다이오드에서 접합중단기법에 따른 항복전압 특성", 한국전기전자재료학회 2005학계학술대회논문집, p. 191, 2005.
- [3] B. Jayant Baliga, "Power Semiconductor Devices", PWS publishing company, p. 182, 1995.
- [4] K. Kimoto and N. Inoue, "Nitrogen ion implantation into α -SiC epitaxial layers", Phys. Status Silidi(a), Vol. 162, Iss. 1, p. 263, 2001.
- [5] G. Younes, G. Ferro, C. Jacquier, J. Dazord, and Y. Monteil, "Comparison between Ar and N₂ for high-temperature treatment of 4H-SiC substrates", Materials Science Forum, p. 119, 2003.
- [6] M. A. Capano, S.-H. Ryu, J. A. Cooper, Jr., and M. R. Melloch, "Surface morphology of ion implanted silicon carbide", Electronic Materials Conference, Charlottesville, VA, p. 24, 1998.
- [7] C. Tomas, C. Taylor, J. Griffin, W. L. Rose, M. G. Spencer, M. Capano, S. Rendakova, and K. Kornegay, "Annealing of ion implantaion damage in SiC using a graphite mask", MRS Proc., Vol. 572, p. 45. 1999.
- [8] Vickram R. Vathulya and Marvin H. White, "Characterization and performance comparsion of the power DIMOS structure fabricated with a reduced thermal budget in 4H and 6H-SiC", Solid-Stage Electronics, Vol. 44, Iss. 2, p. 309, 2000.
- [9] 송근호, 김남균, 방 옥, 김상철, 서길수, 김은동, "SiC 웨이퍼의 이온 주입 손상 회복을 통한 macrostep 형성 억제", 한국전기전자재료학회 2002학계학술대회논문집, p. 346, 2002.
- [10] D. Tournier, A. Perez-Tomas, P. Godignon, J. Millan, H. Mank, D. Turover, D. Hinchley, and J. Rhodes, in: Proc. IEEE 17th Int. Symp. on Power Semiconductor Dev. and ICs(ISPSD), Santa Barbara, CA, USA, p. 239, 2005.

- [11] J. B. Tucker, S. Mitra, N. Papanicolaou, A. Siripuram, M. V. Rao, and O. W. Holland, "Nitrogen and phosphorus implanted MESFET in semi-insulating 4H-SiC", *Diamond and Related Materials*, Vol. 11, Iss. 3-6, p. 392, 2002.
- [12] L. B. Ruppalt, S. Stafford, D. Yuan, K. A. Jones, M. H. Ervin, K. W. Kirchner, T. S. Zheleva, M. C. Wood, B. R. Geil, E. Forsythe, R. D. Vispute, and T. Venkatesan "Using a PLD BN/AlN composite as an annealing cap for ion implanted SiC", *Solid-State Electronics*, Vol. 47, Iss. 2, p. 253, 2003.
- [13] W. Bahng, N.-K. Kim, S. C. Kim, G. H. Song, and E. D. Kim, "Suppression of macrostep formation in 4H-SiC using a cap oxide layer", *Mater. Sci. Forum*, Vol. 389-393, p. 863, 2002.
- [14] W. Bahng, H. W. Kim, G. H. Song, N. K. Kim, S. C. Kim, K. S. Seo, and E. D. Kim, "Trench formation on ion implanted SiC surfaces after thermal oxidation", *Mater. Sci. Forum*, Vol. 483-485, p. 777, 2005.
- [15] Y. Negoro, K. Katsumoto, and T. Kimoto, "Flat surface after high-temperature annealing for phosphorus-ion implanted 4H-SiC (0001) using graphite cap", *Mater. Sci. Forum*, Vol. 457-460, p. 933, 2004.