

소프트 에러율에 대한 박막 트랜지스터형 정적 RAM의 신뢰성

Reliability on Accelerated Soft Error Rate in Static RAM of Thin Film Transistor Type

김도우^{1,a}, 왕진석²
(Do-Woo Kim^{1,a} and Jin-Suk Wang²)

Abstract

We investigated accelerated soft error rate (ASER) in static random access memory (SRAM) cells of thin film transistor (TFT) type. The effects on ASER by cell density, buried nwell structure, operational voltage, and polysilicon-2 layer thickness were examined. The increase in the operational voltage, and the decrease in the density of SRAM cells, respectively, resulted in the decrease of ASER values. The SRAM chips with buried nwell showed lower ASER than those with normal well structure did. The ASER decreased as the test distance from alpha source to the sample increased from 7 μm to 15 μm . As the polysilicon-2 thickness increased up to 1000 Å, the ASER decreased exponentially. In conclusion, the best condition for low soft error rate, which is essential to obtain highly reliable SRAM device, is to apply the buried nwell structure scheme and to fabricate thin film transistors with the thick polysilicon-2 layer.

Key Words : Thin film transistor, SRAM, Soft error rate, FIT, Well, Polysilicon

1. 서론

최근에 개발되고 있는 반도체 기억소자는 제조 기술의 향상으로 집적도가 높아져 셀 크기가 축소 되고 동작 전압이 낮아짐에 따라 반도체의 소자 특성이 소프트 에러율(SER ; Soft Error Rate)에 많은 영향을 미치고 있다[1,2]. 일반적으로 메모리 셀 내부에서 소프트 에러 현상은 주로 패키지 재료 내부에 포함된 미세 량의 우라늄이나, 토륨, 아메리슘에서 나오는 알파 입자(α -particle), 또는 외부로부터의 알파입자가 메모리 셀에 투과됨으로써 셀을 구성하고 있는 데이터 저장 노드 아래에 전자-정공 쌍(EHP ; Electron Hole Pair)을 발생시켜

셀이 저장하고 있던 데이터를 반전시킴으로써 일어나는 오류 현상이다. 동적 RAM의 경우에는 때 때로 주변회로에서 발생하는데, 특히 데이터 전송선(Bit Line)에 알파 입자가 투과 되었을 때 데이터 감지증폭 장치(Sense Amp.)에 에러를 유발하는 것으로 알려져 있다. 정적 RAM의 경우에는 동적 RAM에 비해 셀 정전용량이 작고 데이터의 저장이 래치에 의해 일어나므로 작은 전하 변동만으로도 소프트 에러를 일으키기 쉽다[3].

소프트 에러는 기억소자의 셀에 쓴 정보와 읽은 정보가 불일치할 때, 즉 데이터의 유실에 의해 일어나는 일시적인 에러 현상이며, 물리적인 결함에 의한 에러와는 다른 개념으로서 기억소자 칩 내에서 무작위성으로 나타나는 에러이다. 또한 발생된 에러의 재현성은 없으며, 단 한 셀씩만 발생하는 비트 에러(Single Bit Error)를 발생시킨다.

소프트 에러를 발생시키는 알파 입자의 성질은 보통 직선으로 진행하며, 알파입자의 방출은 핵분열이므로 측정 온도나 압력에 영향을 받지 않는 것으로 알려져 있다. 소프트 에러에 영향을 미치는

1. 한국폴리텍여자대학 디지털디자인과
(경기도 안성시 공도읍 만정리 349-6)
2. 충남대학교 전자공학과
a. Corresponding Author : dwkim@kopo.ac.kr
접수일자 : 2006. 1. 10
1차 심사 : 2006. 3. 28
심사완료 : 2006. 4. 11

요소로는 Q_{crit} (Critical Charge : 데이터 '0' 또는 '1'을 구분할 수 있는 최소의 전하량)에 매우 민감하며, 자연적으로 메모리 셀에 얼마나 많은 전하를 저장할 수 있는가에 많은 영향을 받는다. 따라서 보통 소프트 에러율의 특성은 동적 RAM에 비해 정적 RAM이 매우 높은 결과를 나타내고 있으며, 이에 측정 조건 및 평가기준을 달리하여 평가하고 있다[3,4].

소프트 에러의 평가 방법에는 ASER (Accelerated Soft Error Rate)와 SSER(System Soft Error Rate)가 있다. ASER은 패키지를 Hole Decap하여 드러난 소자에 알파 소스를 얹어 알파 입자를 강제적으로 방사시킴으로써 소프트 에러를 유발시킨다. 반면 SSER은 반도체 소자를 시스템에 장착하여 동작시켜 대기 중의 알파 입자, 또는 EMC (Epoxy Molding Compound) 내부에 포함된 알파 입자가 소자에 투과됨으로써 소프트 에러를 일으키는 현상을 관찰하는 방법이다. SSER 측정은 ASER 측정과는 달리 소프트 에러가 거의 발생하지 않기 때문에 동시에 많은 소자가 특정되어져야 하며, 에러가 발생했을 때는 이에 대해 적절한 데이터가 기록되어져야 하기 때문에 SSER 측정을 수행하기 위해서는 매우 복잡하고 측정 Burn-In 장비가 필수적으로 필요하게 된다.

소프트 에러의 발생을 방지하기 위한 방법으로는 메모리 셀 내의 정전 용량을 높이는 방법, 메모리 셀을 Buried Well안에 만들어 Buried Well과 기판의 접합 장벽층을 이용하여 소프트 에러율을 줄이는 방법, 반도체 공정의 맨 위층에 사용되어지는 보호막(Polyimide)을 두껍게 코팅하여 알파 입자의 침투를 줄이는 방법 등이 있다[5,6].

본 논문에서는 박막 트랜지스터형 정적 RAM (TFT SRAM)에 대해, Buried NWell(BNW)을 사용한 Triple Well과 Normal Well 형태인 Twin Well의 구조 차이에 따른 소프트 에러율을 비교 분석하고, 박막 트랜지스터형 정적 RAM의 셀 구조에서 전원전압선 및 접지선으로 사용되어지는 Polysilicon-2의 두께를 변화시켜 소프트 에러율의 변화를 살펴보았다. 또한 박막 트랜지스터형 정적 RAM 소자의 집적도 및 전원전압에 따른 소프트 에러율의 변화를 알아보고 알파 소스와 칩과의 측정 거리에 따른 소프트 에러율의 변화를 분석하였다.

2. 실험

소프트 에러율을 측정하기 위해 사용된 소자는 4 M 박막 트랜지스터형 정적 RAM이며, 사용된

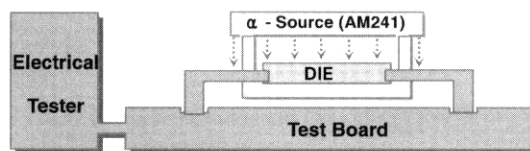


그림 1. 측정 장비의 개략도.

Fig. 1. Schematic diagram of the electrical tester.

방사선 원소는 아메리슘(Am 241)을 사용하였다 이때의 알파 소스 유량은 $1.3E5 \text{ particles/cm}^2 \cdot \text{min}$ 이다. 측정 장비는 MOSAID 3480을 사용하였고, 측정전압은 4.5 V로 메모리 셀에 데이터를 쓰고 읽었다. 데이터의 쓰기-읽기 패턴은 메모리 셀 비트에 데이터 0과 1을 Checkerboard 형태로 쓰고 읽은 후, 이를 반대로 1과 0을 쓰고 읽어 되풀이 하였다[7]. 측정시간은 소프트 에러에 의한 에러가 충분히 발생되어 질 수 있도록 임의의 시간으로 고정하여 측정하였으며, 아메리슘 소스와 측정 칩과의 거리는 일반적인 표준 거리, 7 mm 위에 있어 방사하였다. 또한 측정값은 3개의 칩에 대해 측정하여 평균값으로 나타내었다. 측정 장비의 개략도를 그림 1에 나타내었다. EMC의 알파량은 $0.005 \text{ particles/cm}^2 \cdot \text{hrs}$ 로 가정하여 소프트 에러율(FIT ; Failure in Time)을 구하였다. 계산되어진 소프트 에러율 FIT는 아래의 식에 의해서 나타내었다.

$$FIT = \frac{0.005 \text{ particles/cm}^2 \cdot \text{hrs} \times \text{errors/min} \times 10^9 \text{ hrs}}{1.3E5 \text{ particles/cm}^2 \cdot \text{min}}$$

그림 2에는 본 실험에서 적용되어진 박막 트랜지스터형 정적 RAM 셀에 대한 회로도도를 나타내었으며, 이를 제조하기 위한 각각의 층(Layer)을 도식으로 간단히 표시하였다. 박막 트랜지스터형 정적 RAM 셀의 제조 공정은 4층의 Polysilicon과 2층의 Metal을 사용하였다. 여기에서 Polysilicon-2는 전원전압선 및 접지선으로 사용되었으며, 이에 정적 RAM의 동작 시, Polysilicon-2에 의한 동작 특성이 소프트 에러율에 얼마나 영향을 미치는지 알아보았다.

그림 3에는 본 실험에 적용되어진 박막 트랜지스터형 정적 RAM의 제조 공정에 대한 순서도를 나타내었다. 기본적으로 적용한 Well 구조는 Triple Well이며, Polysilicon-2의 두께는 500 Å으로 증착하였다.

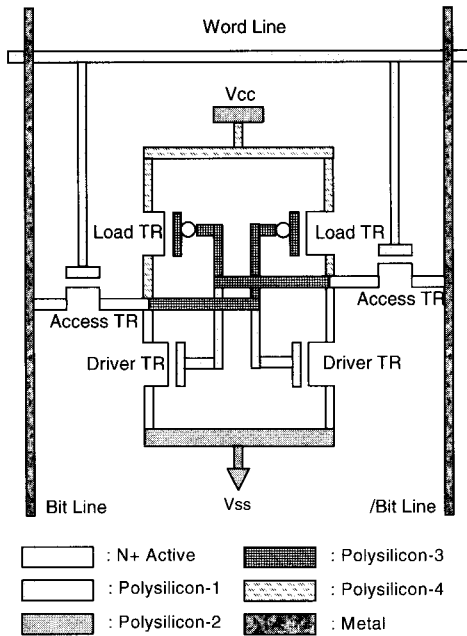


그림 2. 박막 트랜지스터형 정적 RAM 셀의 회로도 및 형성 층.

Fig. 2. TFT SRAM cell circuit and layers.

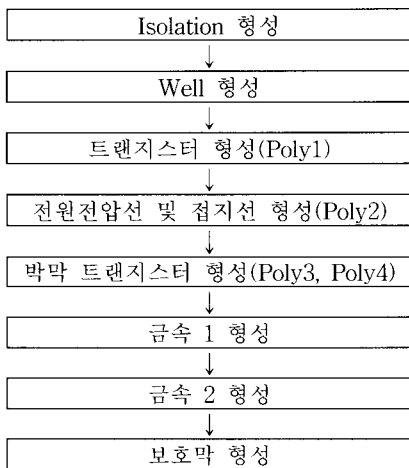


그림 3. 제조 공정 순서도.

Fig. 3. Process flow sequence.

3. 특성 분석

그림 4에는 알파 소스와 칩 사이의 측정 거리에 따른 소프트 에러율의 변화를 동작 전압 4.5 V에

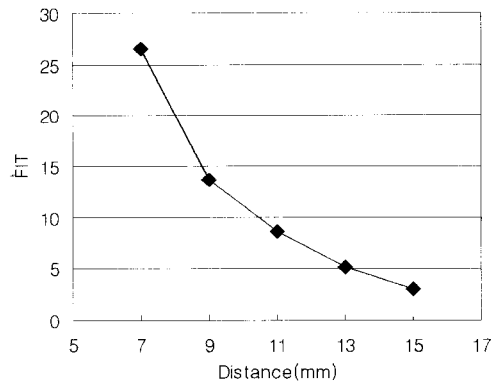


그림 4. 알파 소스와 칩 사이의 거리에 따른 소프트 에러율의 변화.

Fig. 4. ASER according to test distance from alpha source to the sample.

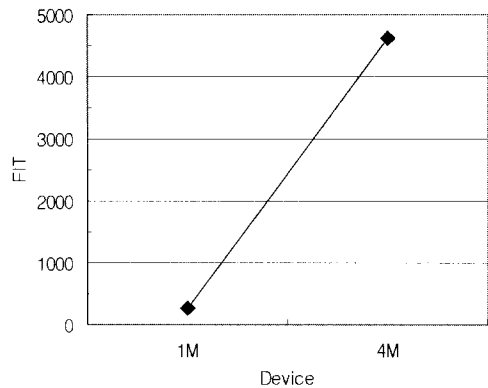


그림 5. 집적도에 따른 소프트 에러율의 변화.

Fig. 5. ASER according to cell density.

서 나타내었다. 알파 소스와 칩과의 측정 거리가 가까울수록 소프트 에러율은 지수 함수적으로 증가되어지며, 측정 거리 7 mm에서 가장 높은 값을 나타내었다. 이는 거리에 따른 알파 입자량의 변화 및 알파 입자의 방사 각도에 의해 소프트 에러율이 영향을 받는 것으로 생각되어진다.

그림 5에는 1 M 정적 RAM과 4 M 정적 RAM의 집적도에 따른 소프트 에러율의 변화를 나타내었다. Twin Well 구조에서, 동작 전압은 4.5 V, 타이밍은 1 μs에서 측정하였다. 1 M 정적 RAM에 대해 4 M 정적 RAM의 칩 사이즈는 4배의 크기이며, 그 크기에 비해 매우 높은 소프트 에러율을 나타내었다. Twin Well 구조에서 4 M 정적 RAM

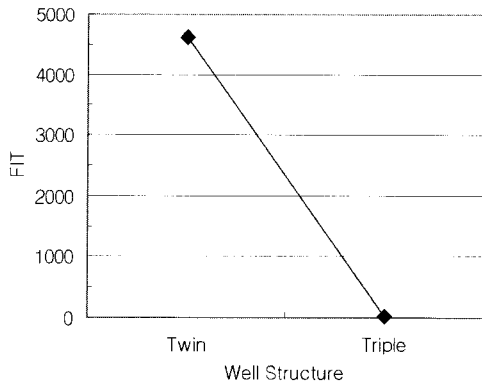


그림 6. Well 구조에 따른 소프트 에러율의 변화.
 Fig. 6. ASER comparing the triple well to the twin well.

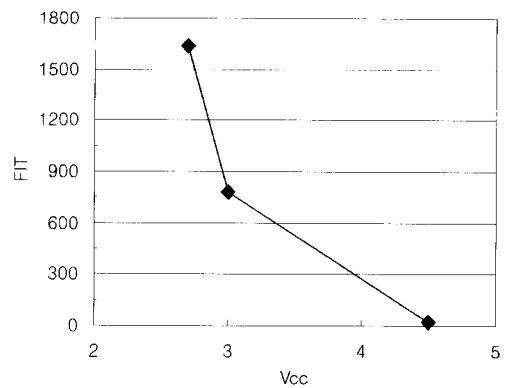


그림 8. Vcc에 따른 소프트 에러율의 변화.
 Fig. 8. ASER according to Vcc.

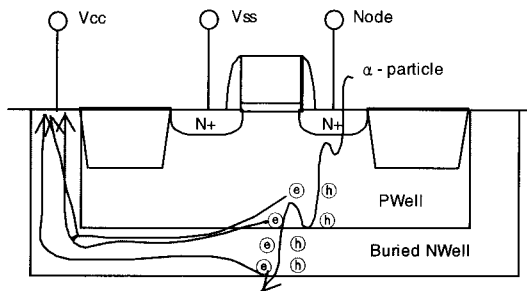


그림 7. Buried NWell 구조를 적용한 셀의 소프트 에러율의 감소 예상도.
 Fig. 7. Schematic mechanism for ASER decrement of the SRAM cell with buried nwell.

의 큰 칩 사이즈는 소프트 에러율에 대해 신뢰성 확보가 어려움을 알 수 있다.

그림 6에는 정적 RAM에서 Twin Well 및 Triple Well 구조에 대한 소프트 에러율을 동작 전압 4.5 V에서 나타내었다. Triple Well을 구성하기 위한 Buried NWell의 이온 주입은 Phosphorous (P31), 3E13, 1.5 MeV로 진행하였으며, Twin Well에 비해 Buried NWell을 적용시킨 Triple Well의 경우 소프트 에러율이 급격히 줄어들음을 알 수 있다. 이는 메모리 셀이 Buried NWell안에 만들어짐으로써 PWell과 기판과의 접합 장벽층이 형성되어 알파입자에 의해 생성된 전자-정공 쌍이 Buried NWell쪽의 Vcc Pick-up쪽으로 빠지게 되어 셀 저

장 데이터 값의 손실을 줄이고 데이터를 유지할 수 있을 것으로 사료된다[8]. 그림 7은 이에 대한 소프트 에러율의 감소 예상도를 간단한 도식으로 나타내었다.

그림 8은 박막 트랜지스터형 정적 RAM의 전원 전압 변화에 대한 소프트 에러율을 나타낸 그래프이며, 전원전압(Vcc)이 증가함에 따라 소프트 에러율은 급감하였다. 소프트 에러율은 데이터를 저장 유지할 수 있는 Q_{crit} (Critical Charge)에 의해 민감하므로 전원전압에 의해 큰 영향을 받는 것을 알 수 있다. 전원전압이 증가하면 셀의 저장 노드에 전하를 많이 충전할 수 있으므로 소프트 에러를 일으킬 확률이 적어지게 된다. 전원전압 2.7 V에서는 1600 FIT의 에러율을 나타내었으며, 3 V 이상에서는 1000 FIT 이하의 낮은 소프트 에러율을 나타냄을 알 수 있다.

박막 트랜지스터형 정적 RAM에서 Polysilicon-2는 전원전압선 및 접지선으로 사용되어지는데 그림 9에는 Polysilicon-2의 두께별에 따른 소프트 에러율을 낮은 동작 전압 여유치 확보를 위한 2.7 V에서 나타내었다. Polysilicon-2의 두께가 500 Å에서 1000 Å로 두꺼워 질수록 소프트 에러는 지수 함수적으로 감소되었으며, Polysilicon-2의 두께를 800 Å 이상으로 제조 시에 1000FIT 이하의 안정적으로 낮은 소프트 에러율을 확보 할 수 있었다. 정적 RAM은 전원전압원에 의해 데이터가 노드에 저장되므로 Polysilicon-2의 두께가 증가되어지면 전원전압선 및 접지선의 내부 연결 저항이 줄어들어 소프트 에러를 감소시키는 것으로 생각된다. 또한 낮은 전압에서의 동작 특성 여유가 생

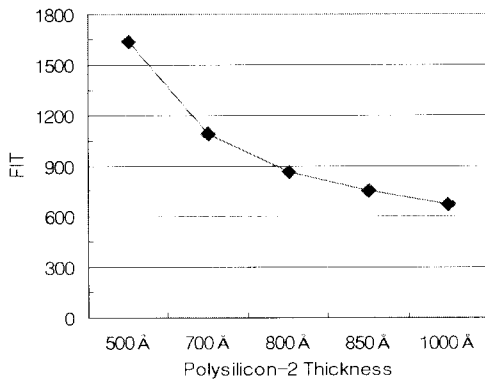


그림 9. Polysilicon-2 두께에 따른 소프트 에러율의 변화.

Fig. 9. ASER according to Polysilicon-2 thickness.

거 소프트 에러의 특성을 개선하는 것으로 사료된다. 이는 박막 트랜지스터형 정적 RAM에서 사용되어지는 Polysilicon-2가 소프트 에러율에 대해 높은 신뢰성을 확보할 수 있는 중요한 요소임을 알 수 있다.

4. 결론

본 논문에서는 박막 트랜지스터형 정적 RAM에 대한 소프트 에러율을 여러 측정 조건에서 비교 분석하였다. 메모리 소자의 집적도 및 Well 구조에 따른 소프트 에러율을 비교 분석하고 전원전압의 변화, 알파소스와 칩과의 거리에 따른 소프트 에러율의 변화를 살펴보았다. 또한 전원전압선 및 접지선으로 사용되어지는 Polysilicon-2의 두께에 따른 소프트 에러율을 분석하였다.

실험에 적용한 Buried NWell 구조에서는 Buried NWell을 적용하지 않은 경우에 대해 소프트 에러율이 급격히 감소하였으며, 1 M에 비해 4 M 정적 RAM의 소프트 에러율은 증가되어진 집적도에 비해 더 증가하였다. 또한 전원전압선의 감소도 소프트 에러율의 증가를 유발하였다.

알파 소스와 칩 사이의 측정 거리에 대한 소프트 에러율은 반비례하며, 거리가 증가할수록 감소하였다. 박막 트랜지스터형 정적 RAM에서 전원전압선 및 접지선으로 사용되어지는 Polysilicon-2는 두께가 500 Å에서 1000 Å으로 증가할수록 소프트 에러

율이 지수 함수적으로 감소하였으며, Polysilicon-2의 두께 조절은 소프트 에러율에 대해 신뢰성을 확보할 수 있는 중요한 요소임을 알 수 있었다.

참고 문헌

- [1] Y. Okazaki, T. Kobayashi, S. Konaka, T. Morimoto, M. Takahashi, K. Imai, and Y. Kado, "New well structure for deep sub- μm CMOS/BiCMOS using thin epitaxy over buried layer and trench isolation", Symposium on VLSI Technology, p. 83, 1990.
- [2] S. Murakami, K. Ichinose, K. Anami, and S. Kayano, "Improvement of soft-error rate in MOS SRAM's", IEEE J. of Solid-state Circuits, Vol. 24, No. 4, p. 860, 1989.
- [3] C. Lage, D. Burnett, T. McNelly, K. Baker, A. Bormann, D. Dreier, and V. Soorholtz, "Soft Error Rate and Stored Charge Requirements in Advanced High-density SRAMs", IEEE IEDM Tech. Dig., p. 821, 1993.
- [4] P. M. Carter and B. R. Wilkins, "Influences on soft error rates in static RAM's", IEEE J. Solid-State Circuits, Vol. SC-22, No. 3, p. 430, 1987.
- [5] P. E. Dodd, "Device simulation of charge collection and single event upset", IEEE Trans. Electron Device, Vol. 43, p. 561, 1996.
- [6] S.-W. Fu, A. M. Mohsen, and T. C. May, "Alpha-particle-induced charge collection measurements and the effectiveness of a novel p-Well protection barrier on VLSI memories", IEEE Transactions on Electron Devices, Vol. ED-32, No. 1, p. 49, 1985.
- [7] D. S. Yaney, J. T. Nelson, and L. L. Vanskike, "Alpha-particle tracks in silicon and their effect on dynamic MOS RAM reliability", IEEE Trans. on Electron devices, Vol. ED-26, p. 10, 1979.
- [8] D. Burnett, C. Lage, and A. Bormann, "Soft-error-rate improvement in advanced BiCMOS SRAMs", IEEE International Reliability Physics Symposium, p. 156, 1993.