

## 게이트 절연막에 사용된 점착층에 대한 영향

### Effect of Adhesion Layer on Gate Insulator

이동현<sup>1,3</sup>, 형건우<sup>1,3</sup>, 표상우<sup>2,3</sup>, 김영관<sup>1,3,a</sup>

(Dong-Hyun Lee<sup>1,3</sup>, Gun-Woo Hyung<sup>1,3</sup>, Sang-Woo Pyo<sup>2,3</sup>, and Young-Kwan Kim<sup>1,3,a</sup>)

#### Abstract

The electrical performances of organic thin-film transistors (OTFTs) have been improved for the last decade. In this paper, it was demonstrated that the electrical characteristics of the organic thin film transistors (OTFTs) were improved by using polymeric material as adhesion layer on gate insulator. We have investigated OTFTs with polyimide adhesion layer which was fabricated by vapor deposition polymerization (VDP) processing and formed by co-deposition of 2,2-bis (3,4-dicarboxyphenyl) hexafluoropropane dianhydride and 4,4'-oxydianiline. It was found that the OTFTs with adhesion layer showed better electrical characteristics than with bare layer because of good matching between semiconductor and gate insulator. Our devices of performance are field effect mobility of  $0.4 \text{ cm}^2/\text{Vs}$ , threshold voltage of  $-0.8 \text{ V}$  and on-off current ratio of  $10^6$ . In addition, to improve the electrical characteristics of OTFT, we have reduced the thickness of adhesion layer up to a few nanometres.

**Key Words :** Vapor deposition polymerization(VDP), Organic thin-film-transistors(OTFTs), Adhesion layer

#### 1. 서 론

유기 박막 트랜지스터 (organic thin film transistors; OTFTs)의 전기적 특성 향상에 관한 연구가 지난 10년간 진행되어 왔다. 일반적으로 실리콘 산화막( $\text{SiO}_2$ )과 같은 무기물들은 낮은 전기 전도성과 높은 항복 전압(breakdown field)을 갖기 때문에 게이트 절연막으로 주로 사용되어 왔다[1-4]. 그러나 친수성을 띄는 무기물과 소수성을 띄는 유기 반도체와의 접합은 서로 다른 특성을 가진 두 물질의 접합이기 때문에 계면 특성이 떨어지게 된다. 이 같은 부적절한 결합 때문에 두 물질의 계면에서 결점(defect)들이 생겨날 뿐만 아니라 반도체 분자들의 배열(ordering) 또한 좋지 못하게 되기

때문에 OTFT의 드레인(drain) 전류와 전하(carrier)의 이동성(mobility), 문턱전압(threshold voltage)과 같은 전기적 특성이 저하된다. 이 같은 문제점을 극복하기 위해서 다양한 절연체 물질의 도입과 새로운 방법을 이용한 연구가 이전부터 진행되어 왔다. 게이트 절연막으로  $\text{SiO}_2$ 를, 반도체 층으로 pentacene을 사용한 OTFT의 경우 hexamethyldisilazane(HMDS)와 octadecyltrichlorosilane(OTS) 처리 등을 행함으로써 그러한 문제들을 극복하는 연구가 진행되어져왔다[4]. 그러나 이 같은 방법들은 spin-coating, dipping, self-assembly 등의 습식 공정으로 대부분 이루어지기 때문에 오염에 노출되기 쉽다. 본 논문에서는 건식 공정인 vapor deposition polymerization(VDP) 방법을 이용해서 폴리이미드(polyimide)를 점착층으로 사용함으로써 반도체 층과 절연체 층 사이의 계면 특성을 향상시키는 연구를 진행하였다. 그리고 계면 특성의 향상이 OTFT의 전기적 특성에 미치는 영향을 연구하였다. 점착층으로 사용된 폴리이미드 막은 단분자인 2,2-bis (3,4-dicarboxyphenyl) hexafluoropropane dianhydride와 4,4'-oxydianiline

1. 홍익대학교 정보디스플레이공학과  
(서울시 마포구 상수동 72-1)
2. 홍익대학교 전기정보제어공학과
3. 홍익대학교 유기정보소재 및 소자연구센터  
a. Corresponding Author : kimyk@hongik.ac.kr  
접수일자 : 2005. 9. 13  
1차 심사 : 2006. 2. 6  
심사완료 : 2006. 3. 2

를 동시에 열 증착 시킨 후 열처리(curing) 과정을 거침으로써 막을 형성한다.

## 2. 실험

점착층을 이용한 유기 TFT는 유리 기판위에 inverted-staggered 구조로 제작하였다. 게이트 전극은 스퍼터링(sputtering)으로 100 nm 두께의 ITO를 성막하였고, 게이트 절연체는 plasma enhanced chemical vapor deposition(PECVD) 방법으로 SiO<sub>2</sub>와 SiN<sub>x</sub>를 0.2 μm 성막하였다. 이 같이 제작된 기판은 LGphilipsLCD로부터 공급받았다. 유기 반도체와 무기 게이트 절연층의 계면 특성을 향상시키기 위해서 점착층으로 폴리이미드를 VDP 방법으로 증착하였다[5,6]. 폴리이미드 막은 2,2-bis(3,4-dicarboxyphenyl) hexafluoropropane dianhydride와 4,4'-oxydianiline를 5 Å/s의 증착률로 동시에 1:1로 열 증착 시킨 후 150 °C에서 1시간 열처리한 후 다시 200 °C에서 1시간 열처리 하여 고분자막을 형성시켰다. 이때 진공도는 5×10<sup>-7</sup> torr로 유지하였고 2,2-bis(3,4-dicarboxyphenyl) hexafluoropropane dianhydride와 4,4'-oxydianiline 두 물질의 증착 속도 균형을 맞추기 위해서 2시간 동안 예열 과정을 거쳤다.

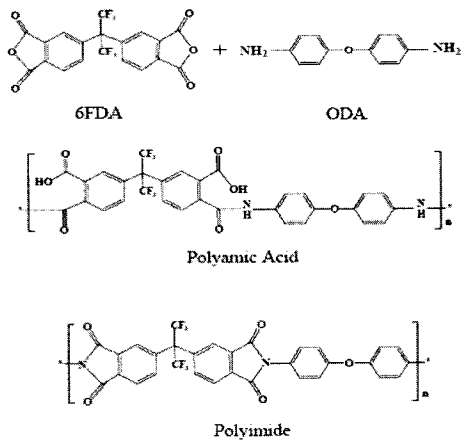


그림 1. VDP에 의한 6FDA와 ODA의 고분자화 메카니즘.

Fig. 1. Polyimide is the polymer made from the polymerization of an acid dianhydride (6FDA) and a diamine (ODA) for using gate insulator.

그림 1은 2,2-bis(3,4-dicarboxyphenyl) hexafluoropropanedianhydride와 4,4'-oxydianiline의 고분자화 되는 과정을 보여준다. 가장 널리 쓰이고 있는 유기반도체인 Pentacene을 활성층으로 사용하였고 그 증착 속도는 0.3 Å/s로 하였다. 소스(source)와 드레인(drain) 전극은 웨도우 마스크를 통하여 금(Au)을 열 증착하였고 이때의 채널 길이와 너비는 각각 50 μm와 1.25 mm로 하였다.

## 3. 결과 및 고찰

폴리이미드화 된 것을 확인을 위해서 2,2-bis(3,4-dicarboxyphenyl) hexafluoropropane dianhydride와 4,4'-oxydianiline를 실리콘 웨이퍼에 증착시켜 Fourier Transform-Infrared(FT-IR) spectroscopy로 분석하였고 그림 2에 나타내었다. 열처리 이전에는 polyamic acid가 형성되지만 150 °C에서 1시간 이후에 다시 200 °C에서 1시간의 열처리 과정을 거치며 폴리이미드화 되었다[7]. 이것은 1660 cm<sup>-1</sup>의 amide acid 피크가 사라지고 1380 cm<sup>-1</sup>에서 C-N imide 피크가 생겨남으로 확인되었고 또한 1210 cm<sup>-1</sup>의 ether 피크, 1300-1325 cm<sup>-1</sup>의 C-N stretching, 1500 cm<sup>-1</sup>의 C=C stretching 그리고 1780-1850 cm<sup>-1</sup>의 anhydride stretching 피크 값이 나타났다.

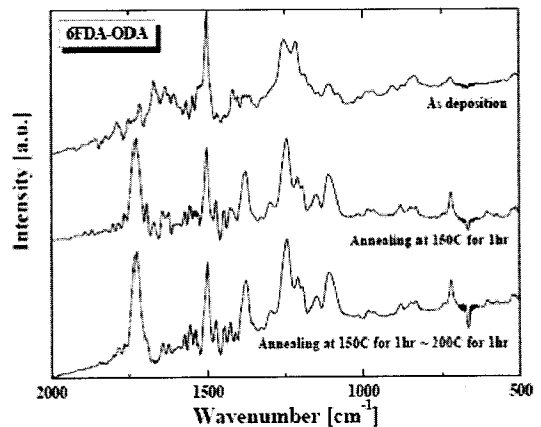


그림 2. 폴리이미드의 FT-IR 스펙트라 특성.

Fig. 2. Fourier transform infrared(FT-IR) spectra of a cured polymeric films.

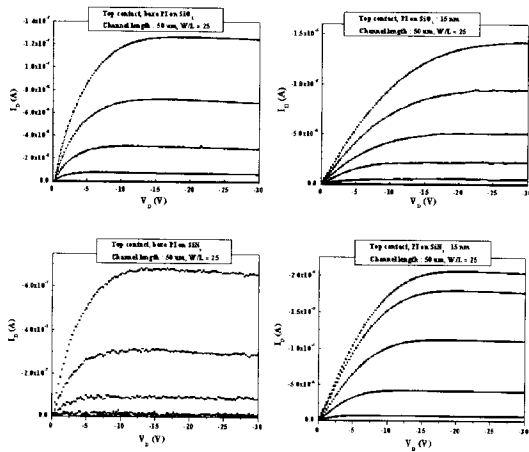
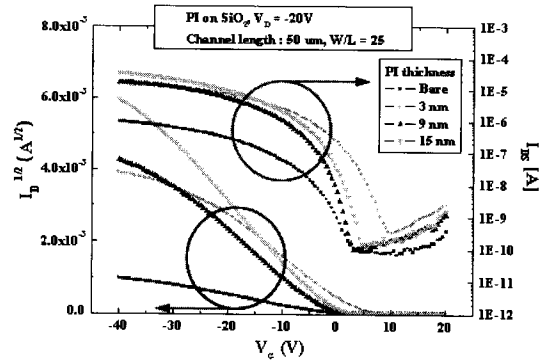


그림 3. 폴리이미드 두께에 따른 OTFT의 output 특성.

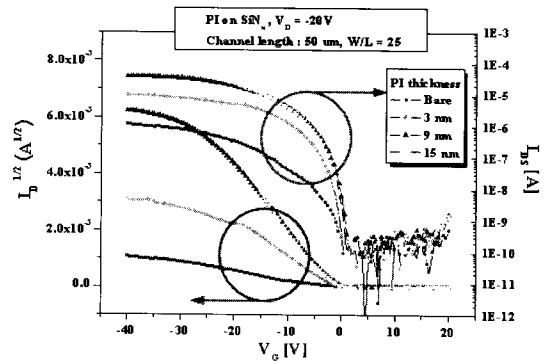
Fig. 3. Output characteristics of OTFTs according to the deposition thickness of polyimide.

이 연구의 궁극적 목표는 폴리이미드를 점착층으로한 OTFT 전기적 특성에 관한 것이다. 따라서 폴리이미드의 두께를 0-15 nm로 변화시키며 그에 따른 전기적 특성을 알아보았고 그것을 그림 3과 4에 나타내었다. 그림 3과 4에서 알 수 있듯이 폴리이미드가 점착층으로 사용된 소자의 경우 그 전기적인 특성이 향상됨을 확인하였다. 폴리이미드 두께가 15 nm인 경우 폴리이미드를 사용하지 않은 경우와 비교해서 드레인 전류가  $-1.3 \times 10^{-7}$ 에서  $-1.5 \times 10^{-5}$ 로 증가 하였을 뿐만 아니라 점열비 (on/off ratio) 또한  $10^5$  에서  $10^7$  으로 향상 되었다. 폴리이미드가 15 nm 두께로 증착된 유기 TFT 소자의 경우 전계 효과 이동도는 약  $0.3 \sim 0.4 \text{ cm}^2/\text{Vs}$ 였고 점열비(on/off ratio)는  $\sim 10^6$  값을 보였다. 문턱 전압은  $-0.5 \sim 4 \text{ V}$ , subthreshold slope는 2.0-2.5 V/decade로 측정되었다.

$\text{SiO}_2$ 와  $\text{SiN}_x$ 의 transfer 특성을 그림 4에 나타내었고 폴리이미드를 점착층으로 사용한 유기 TFT 소자의 특성을 표 1에 요약하였다. 이것은 점착층으로 사용된 폴리이미드에 의해서 OTFT의 전기적인 특성이 향상되었음을 의미한다. 또한 소자의 포화영역에서 측정된 정공(hole) 이동도는  $0.4 \text{ cm}^2/\text{Vs}$ 였고 문턱 전압은  $-0.8 \text{ V}$  에서  $-1 \text{ V}$ , subthreshold slope는 2.0-2.5 V/decade로 측정되었다.



(a) OTFTs with PI on  $\text{SiO}_2$



(b) OTFTs with PI on  $\text{SiN}_x$

그림 4. 폴리이미드 두께와 게이트 전압( $V_G$ )에 따른  $I_D$  와  $\log(I_D)$  특성.

Fig. 4.  $I_D$  and  $\log(I_D)$  characteristics of OTFTs according to the gate voltage( $V_G$ ) and the deposition thickness of polyimide.

그림 4를 통해서 점착층이 없는 소자의 경우가 가장 낮은 전기적 특성을 보이고 그 두께가 두꺼워 질수록 특성이 향상 되어 지는 것을 확인하였다. 이 같은 결과는 점착층으로 사용된 폴리이미드로 인해서 게이트 절연층과 반도체층 사이의 계면 특성이 향상 되어 졌음을 의미한다. 그 세부적인 관찰을 위해서 점착층으로 사용된 폴리이미드 위에 증착된 pentacene의 morphology와  $\text{SiO}_2$ 와  $\text{SiN}_x$  위에 증착된 pentacene의 morphology를 atomic force microscopy (AFM) 이미지를 통해 비교해 보았고 이것을 그림 5에 나타내었다.

폴리이미드 위에 증착된 pentacene의 그레인 (grain) 크기는  $\text{SiO}_2$ 나  $\text{SiN}_x$  위에 증착된 pentacene 과 비교해서 상당히 크게 형성 되어 있음을 확인

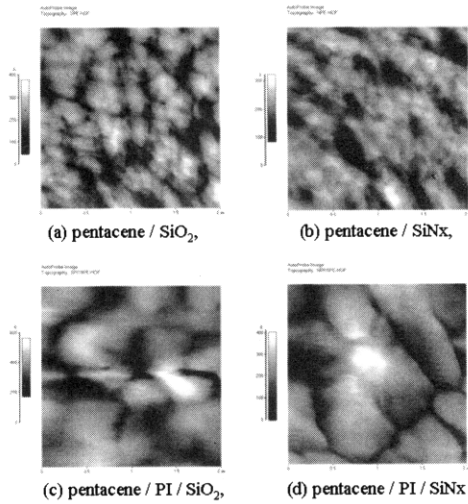


그림 5. 게이트 절연층과 접착층의 위에 성장된 펜타센 박막의 AFM 이미지  
 Fig. 5. AFM images of the surface of pentacene layer at the gate dielectric layer and adhesion layer.

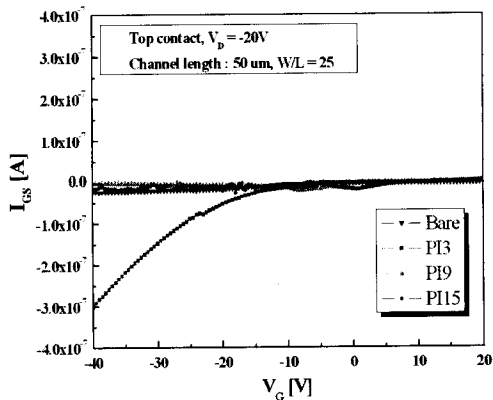


그림 6. 폴리이미드 두께와 게이트 전압( $V_G$ )에 따른  $I_G$  특성.  
 Fig. 6.  $I_G$  characteristics according to the gate voltage( $V_G$ ) and the deposition thickness of polyimide.

하였다. 이것은 소수성을 가진 폴리이미드를 접착층으로 사용함으로써 pentacene의 증착 시, pentacene 결정 분자 배열이 향상됨으로서 나타나는 결과이다[3,8-10]. 좋은 분자 배열을 가진 계면은 게이트(gate) 전압에 따라 유도되는 전하의 양

표 1.  $SiN_x$  와  $SiO_2$  의 폴리이미드 접착층 두께에 따른 유기TFT 성능비교.

Table 1. Electrical characteristics of OTFTs according to the thickness of polyimide on the  $SiN_x$  and  $SiO_2$ .

Channel length ( $\mu m$ )	On the $SiN_x$				On the $SiO_2$			
	50				50			
Channel width ( $\mu m$ )	1.25 (WL=25:1)				1.25 (WL=35:1)			
PI thickness ( $\mu m$ )	0	3	9	15	0	3	9	15
Threshold voltage [V]	4.5	-1	-1	-1.2	-1	4	-2	-0.8
Subthreshold slope [V/decade]	1.9	1.7	1.4	1.1	3.1	2.8	1.5	1.4
On/off ratio	$10^{2.5}$	$10^4$	$7 \times 10^4$	$4 \times 10^5$	$10^4$	$1.8 \times 10^4$	$10^5$	$4 \times 10^5$
Mobility [ $cm^2/Vs$ ]	0.003	0.03	0.1	0.4	0.005	0.1	0.1	0.4
Off current [A]	$9E-10$	$2E-10$	$8E-10$	$1E-10$	$9E-11$	$4E-10$	$2E-10$	$2E-10$

을 증가시킬 뿐만 아니라 정공의 이동시 트랩의 역할을 하는 그레인 경계(grain boundary)를 줄임으로써 흐르는 전류의 양을 증가시킨다. 또한 낮은 표면 평균 거칠기를 가짐으로써 트랩의 영향을 덜 받게 된다. 결과적으로 게이트 절연막과 반도체층 사이의 계면 특성이 개선됨으로써 OTFT의 전기적 특성이 향상되는 것이다. 그러나 폴리이미드막이 충분히 두껍지 않아 초기에 막을 이루지 못한 경우는 누설전류가 발생하였고 이것은 폴리이미드가 섬(island)을 이루어 그것을 통해서 누설전류가 유도되는 것이다. 그림 6을 보면, 3 nm 두께의 폴리이미드의 경우  $V_D$ 가 -20 V일 때  $V_G$ 가 증가함에 따라서  $I_G$ 가 같이 증가함을 보이고 있다.

#### 4. 결론

본 논문에서는 건식 공정인 VDP 방법을 사용해서 폴리이미드를 접착층으로 이용한 OTFT의 전기적 특성 향상에 관해 연구하였다. 폴리이미드를 접착층으로 사용함으로써 반도체 층과 절연체 층 사이의 계면 특성을 향상시키는 연구를 진행하였고  $SiO_2$ 와  $SiN_x$  계면 특성의 향상이 OTFT의 전기적 특성에 미치는 영향을 규명하였다. 또한 폴리이미드의 두께에 따른 소자의 전기적 특성을 분석해봄으로써 접착층으로의 역할에 필요한 필름의 두께와 그에 따른 누설전류의 원인을 밝혀냈다. 마지막으로 접착층의 형성에 있어서 패턴이 가능하고, 고분자화 시킬 때 촉매가 필요 없는 VDP 법을 응용함으로써 이를 통한 다양한 영역에 적용 가능성을 본 연구결과를 통하여 제시하고 있다.

## 감사의 글

본 연구는 21세기 프론티어 차세대정보디스플레이 기술개발사업에 의해서 지원되었습니다(No. F0004091).

## 참고 문헌

- [1] A. Dodabalapur, Z. Bao, and A. Makhija, "Organic smart pixels", *Appl. Phys. Lett.*, Vol. 73, p. 142, 1998.
- [2] H. Klauk, B. D'Andrade, and T. N. Jackson, "All-organic integrated emissive pixels", 57th Annual Device Research Conference Digest, p. 162, 1999.
- [3] Y. Y. Lin, D. J. Gundlach, S. F. Nelson, and T. N. Jackson, "Pentacene-based organic thin-film transistors", *IEEE Trans. Electron Devices*, Vol. 44, p. 1325, 1997.
- [4] D. J. Gundlach, C. C. Kuo, and T. N. Jackson, "Organic thin film transistors with field effect mobility", 57th Annual Device Research Conference Digest, p. 164, 1999.
- [5] V. Liberman, V. Malba, and A. F. Bernhardt, "Integration of vapor deposited polyimide into a multichip module packaging process", *IEEE Trans. On Components, Packing, and Manufacturing. Technology. Part B*, Vol. 20, p. 13, 1997.
- [6] H. Yanagisita, D. Kitamoto, and N. Koura, "Preparation and pervaporation performance of polyimide composite membrane by vapor deposition and polymerization(VDP)", *J. Membrane Sci.*, Vol. 136, p. 121, 1997.
- [7] C. A. Pryde, "IR studies of polyimides. I. Effects of chemical and physical changes during cure", *J. Polym. Sci. A.*, Vol. 27, p. 711, 1989.
- [8] M. L. Chabinyk and A. Salleo, "Materials requirements and fabrication of active matrix arrays of organic thin-film transistors for displays", *Chem. Mater.*, Vol. 16, p. 4509, 2004.
- [9] M. Halik, H. Klauk, M. Brunnbauer, and F. Stellacci, "Low-voltage organic transistors with an amorphous molecular gate dielectric", *Nature*, Vol. 431, p. 963, 2004.
- [10] S. W. Pyo, D. H. Lee, J. R. Koo, J. H. Kim, J. H. Shim, and Y. K. Kim, "Organic thin-film transistors based on vapor-deposition polymerized gate insulators", *J. J. A. P.*, Vol. 44, p. 652, 2005.