

0.25 μm 표준 CMOS 로직 공정을 이용한 Single Polysilicon EEPROM 셀 및 고전압소자

Single Polysilicon EEPROM Cell and High-voltage Devices using a 0.25 μm Standard CMOS Logic Process

신윤수¹, 나기열¹, 김영식¹, 김영석^{1,a}

(Yoon-Soo Shin¹, Kee-Yeol Na¹, Young-Sik Kim¹, and Yeong-Seuk Kim^{1,a})

Abstract

For low-cost embedded EEPROM, in this paper, single polysilicon EEPROM and n-channel high-voltage LDMOST device are developed in a 0.25 μm standard CMOS logic process. Using these devices developed, the EEPROM chip is fabricated. The fabricated EEPROM chip is composed of 1 Kbit single polysilicon EEPROM array and high voltage driver circuits. The program and erase characteristics of the fabricated EEPROM chip are evaluated using 'STA-EL421C'. The fabricated n-channel high-voltage LDMOST device operation voltage is over 10 V and threshold voltage window between program and erase states of the memory cell is about 2.0 V.

Key Words : Single polysilicon EEPROM, LDMOST, Embedded memory, Standard CMOS logic process

1. 서론

최근 휴대용 제품 및 가정용 전자제품의 시스템 내부에 탑재할 수 있는 내장형 EEPROM (embedded electrically erasable programable read only memory)이 많이 요구되고 있다[1]. 이를 구현하기 위해서는 로직 트랜지스터를 제작하는데 필요한 CMOS (complementary metal oxide semiconductor) 로직 공정과 EEPROM을 구현할 수 있는 공정, 그리고 EEPROM을 구동하는데 필수적인 고전압 소자 공정이 필요하게 된다. 이는 각기 다르게 특화된 공정이기 때문에 한 웨이퍼 안에서 구현하는 경우에는 공정이 복잡하여 제작 과정에서의 시간이 오래 걸리게 되고, 결국 공정비용과 공정개발 기간이 증가한다. 내장형 EEPROM의 단가를 낮추고 생산성을 높이기 위해서 위에서

열거한 모든 소자들을 표준 CMOS 로직 공정만으로 개발하기 위한 연구가 진행되고 있다. 그 첫 단계로 EEPROM 소자를 표준 CMOS 로직 공정상에서 구현시킬 수 있도록 single polysilicon EEPROM (SPEE)이 제안되었다[2-5]. 다음 단계로 EEPROM 구동을 위한 고전압 소자도 표준 CMOS 로직 공정상에서 구현시키는 연구가 진행되고 있다[6,7]. 그러나 현재까지 표준 CMOS 로직 공정기술만으로 EEPROM과 고전압 소자를 동시에 구현함으로써 내장형 EEPROM을 시도한 연구는 보고된 바 없다.

이에 본 논문에서는 표준 CMOS 로직 공정을 이용하여 SPEE 형태의 비휘발성 메모리 소자와 이를 구동시킬 수 있는 고전압 구동 회로를 1 Kbit 용량의 칩(chip) 형태로 제작 및 측정하였다. 제작된 1 Kbit 용량의 칩은 메모리 어레이와 고전압 소자를 이용하여 구현된 3개의 구동회로들로 구성되어 있다. 고전압 구동회로들은 메모리 셀을 프로그램 및 소거 하는데 필요한 바이어스를 전달하는 기능을 수행한다. 메모리 셀의 프로그램 및 소거 동작 후 문턱전압의 변화를 측정하여 내장형 EEPROM으로써의 적용 가능성을 확인하였다.

1. 충북대학교 반도체공학과

(충북 청주시 흥덕구 개신동 12)

a. Corresponding Author : kimys@cbu.ac.kr

접수일자 : 2006. 8. 29

1차 심사 : 2006. 9. 29

심사완료 : 2006. 10. 11

2. 소자 및 제작 공정

2.1 Single polysilicon EEPROM (SPEE) 소자

SPEE 소자는 표준 CMOS 로직 공정을 이용하여 구현한 EEPROM 소자이다. SPEE 소자는 일반적인 적층형 EEPROM 소자들이 부유게이트 위에 제어게이트를 수직으로 쌓아 올린 구조와는 달리 그림 1에서처럼 기판위에 형성된 n-well로 제어게이트를 구현할 수 있다. 이러한 소자 구조는 수직이었던 것을 수평으로 펼친 구조이기 때문에 단위 셀 면적이 증가하는 단점이 있으나, 표준 CMOS 로직 공정만으로도 EEPROM 소자를 구현할 수 있다는 장점이 있는 동시에 많은 메모리 용량을 필요로 하지 않는 저용량 내장형 비휘발성 메모리에는 적합하다. SPEE 소자의 프로그램 및 소거 동작은 일반적으로 고전압으로 이뤄지는데, 이는 고전압을 인가하여 채널 영역의 캐리어들이 부유게이트로 주입 또는 방출 될 수 있는 충분한 에너지를 공급하여야 하기 때문이다.

그림 1은 제작된 SPEE 소자의 레이아웃과 단면도이다. SPEE 소자는 n-채널 소자로서 부유게이트 트랜지스터 (FG Tr.)와 제어게이트 트랜지스터 (CG Tr.), 그리고 선택 트랜지스터 (SG Tr.)로 구성되어 있다. 부유게이트 트랜지스터는 채널 영역과 부유 게이트 사이에서 전자가 주입 또는 방출되는 영역이다. 부유게이트 트랜지스터의 게이트는 전기적으로 외부의 어느 노드와도 연결되어 있지 않다. 제어게이트 트랜지스터와 부유게이트 트랜지스터의 게이트 면적 비율은 부유게이트의 전위를 결정하는 역할을 한다. 즉, 제어게이트를 구성하는 n-well 영역에 인가된 전압이 제어게이트 트랜지스터의 게이트 정전용량과 부유게이트 트랜지스터의 게이트 정전용량 비율에 의해 부유게이트의 전압이 결정된다. 이러한 정전용량의 비율을 커플링 비율 (coupling ratio) 이라고 한다. 부유게이트 트랜지스터, 제어게이트 트랜지스터, 그리고 선택 트랜지스터의 물리적인 크기는 각각 $(W/L)_{FG Tr.} = 0.5 \mu\text{m} / 0.5 \mu\text{m}$, $(W/L)_{CG Tr.} = 2.5 \mu\text{m} / 0.5 \mu\text{m}$, $(W/L)_{SG Tr.} = 20 \mu\text{m} / 0.34 \mu\text{m}$ 이며, 단위 메모리 셀의 면적은 $41 \times 7 \mu\text{m}^2$ 이다. 한편, 선택 트랜지스터와 제어게이트 트랜지스터의 게이트 산화막 두께 및 부유게이트 트랜지스터의 터널 산화막 두께는 71 \AA 이며, 커플링 비율은 0.83으로 유지되도록 설계하였다. SPEE 소자의 선택 트랜지스터는 어레이 상에서 이웃하는 셀들, 즉 동일한 워드라인 또는 비트라인을 공유하는 셀들과의 전기적인 교란 또는 간섭을 방지하기 위해서 삽입되었다. 그리고 선택 트랜지스터의 채널 폭과 길이의 비율

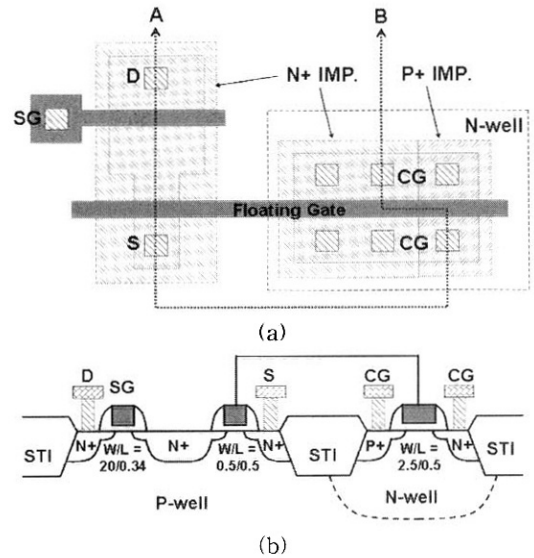


그림 1. (a) 제작된 single polysilicon EEPROM 소자 레이아웃과 (b) 단면도.

Fig. 1. (a) Layout and (b) cross section of the fabricated single polysilicon EEPROM.

(W/L) 을 크게 함으로써, 소자의 소거 상태에서는 온-저항을 줄이고 부유게이트 트랜지스터에 많은 전류를 흘려 프로그램 및 읽기 동작을 원활히 하도록 되어 있다.

SPEE 소자의 프로그램은 소스 영역에서 channel hot electron (CHE) 방식을 이용하고, 소거는 소스 영역에서 Fowler-Nordheim (FN) 터널링 방식을 이용한다. CHE 프로그램 방식은 제어게이트에 9.5 V, 소스에 10 V의 전압을 인가하여, FG Tr.의 소스 영역에서 수평전계를 증가시켜 열 전자 (hot electron)를 발생시키고, 이 중 일부가 부유게이트 전계에 의해 터널 산화막을 통과하여 부유게이트에 저장된다. 이 방식은 부유게이트 트랜지스터의 드레인 전류 중 일부를 부유게이트의 충전전하로 사용하므로 전류 소모가 많은 단점을 가지고 있지만, 드레인과 소스 양단간에 비교적 작은 전압으로도 프로그램이 가능하다는 장점을 가지고 있다. FN 터널링 소거 방식은 제어게이트를 접지하고 소스에 8 V의 전압을 인가하여, 부유게이트와 소스 영역 사이의 터널 산화막 양단에 높은 전계가 유지되어, 이 전계에 의해 부유게이트 안에 충전 되어있던 전자들이 터널 산화막을 통과하여 소스 영역으로 방출되는 방식이다.

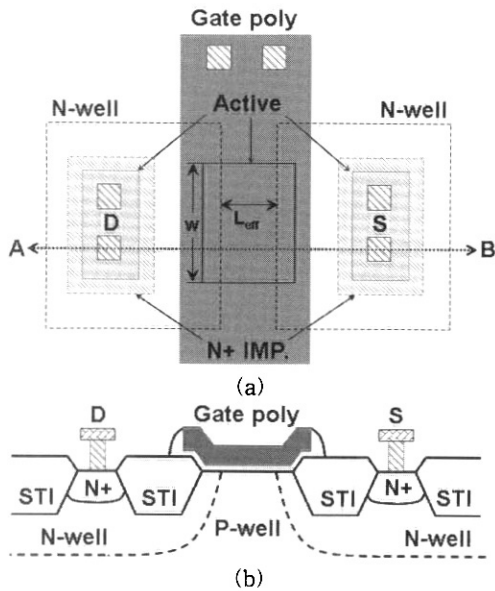


그림 2. (a) 제작된 LDMOST 소자의 레이아웃과 (b) 단면도. ($W / L_{eff} = 10 \mu\text{m} / 2 \mu\text{m}$, $T_{ox} = 71 \text{ \AA}$)

Fig. 2. (a) Layout and (b) cross section of the fabricated LDMOST. ($W / L_{eff} = 10 \mu\text{m} / 2 \mu\text{m}$, $T_{ox} = 71 \text{ \AA}$)

제어게이트 구조가 p+ / n-well로 형성되면 제어게이트 트랜지스터의 게이트 산화막 하부에 공핍층이 형성되지 않아 커플링 비율을 높게 유지할 수 있으므로 소자의 CHE 프로그램 특성이 우수하다. 반면에 n+ / n-well로 형성되면 소자의 소거 동작 시 제어게이트 트랜지스터의 게이트 산화막 하부에 공핍층이 형성되지 않으므로 소거 특성을 높일 수 있다는 장점이 있다. 이에 본 논문에서는 프로그램과 소거 특성을 최적화하기 위하여 p+ & n+ / n-well 구조의 제어게이트를 형성하였다[3].

2.2 고전압 소자

SPEE 소자를 구동하기 위해서는 약 10 V의 전압이 필요하다. 그러나 표준 CMOS 로직 공정에서 형성된 n+ / p-well 접합 영역의 항복전압은 7 V 미만이다. 따라서 표준 CMOS 공정으로 제작된 일반 로직 소자를 이용하여 SPEE 구동전압인 약 10 V의 고전압을 메모리 셀에 인가하는 것은 불가능하다. 본 논문에서는 메모리 셀에 고전압을 인가할 수 있도록 하기 위해 그림 2와 같이 트랜지스터의 접합 영역을 n-well로 구현한 n-채널 LDMOS 트랜지스터 (LDMOST) 구조를 적용하였다.

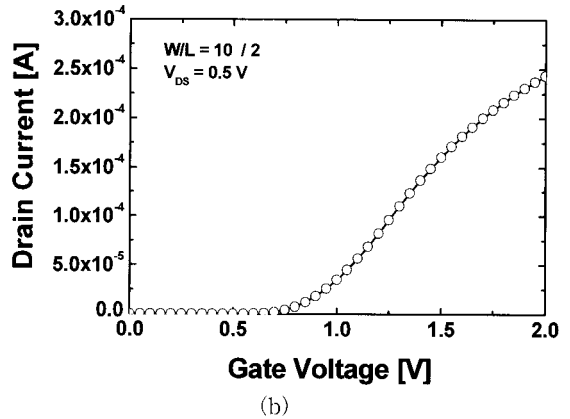
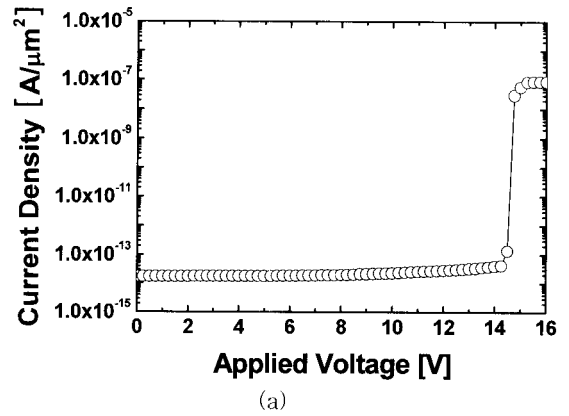


그림 3. 제작된 LDMOST 소자의 (a) 항복전압 (n-well / p-well) 특성과 (b) I_D - V_{GS} 특성. ($W / L_{eff} = 10 \mu\text{m} / 2 \mu\text{m}$, $T_{ox} = 71 \text{ \AA}$)

Fig. 3. (a) Breakdown Voltage (n-well / p-well) characteristics and (b) I_D - V_{GS} characteristics of the fabricated LDMOST. ($W / L_{eff} = 10 \mu\text{m} / 2 \mu\text{m}$, $T_{ox} = 71 \text{ \AA}$)

이 구조는 n-well / p-well 사이의 항복전압이 그림 3 (a)에서 보듯이 약 14.2 V이므로, 메모리 셀의 동작에 필요한 10 V의 고전압까지 견딜 수 있게 된다. 제작된 LDMOST 소자의 채널 폭과 유효 채널 길이는 각각 10.0, 2.0 μm 이며, 게이트 산화막 두께는 71 \AA 이다. N-well로 구성된 LDMOST 소자의 접합영역내부에는 STI (shallow trench isolation) 구조를 형성하였다. 결과적으로 n-well 접합 영역에 두꺼운 산화막이 존재하므로, 후속 실리사이드 (silicide) 공정 진행시 드레인 접합영역 내에 실리사이드 층이 형성되는 것을 보호하게 된다. 이와 같이 함으로써 드레인 영역의 고전압이 채널 부근 영역까지 확장되어 소자의 게이

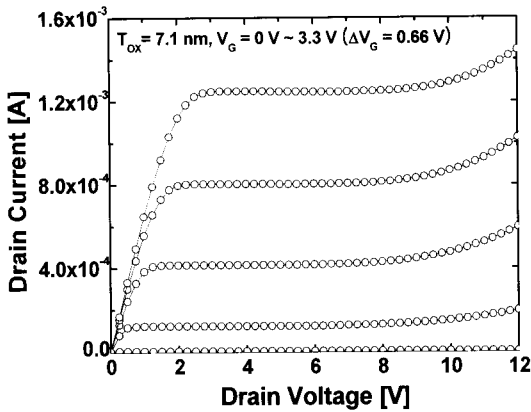


그림 4. 제작된 LDMOST 소자의 I_D - V_{DS} 특성.
($W / L_{eff} = 10 \mu\text{m} / 2 \mu\text{m}$, $T_{ox} = 71 \text{ \AA}$)

Fig. 4. I_D - V_{DS} characteristics of the fabricated LDMOST. ($W / L_{eff} = 10 \mu\text{m} / 2 \mu\text{m}$, $T_{ox} = 71 \text{ \AA}$)

트 산화막에 과도한 전압이 인가되는 것을 방지할 수 있다.

제작된 LDMOST 소자의 측정은 문턱전압 특성 평가를 위한 I_D - V_{GS} 측정과 전류 특성 평가를 위한 I_D - V_{DS} 측정을 진행하였다. I_D - V_{GS} 측정은 소스를 접지하고 드레인에 0.5 V 전압을 인가한 상태에서 게이트 전압을 0 V에서 2 V까지 증가하면서 드레인 전류를 측정하였다. 그림 3(b)는 제작된 LDMOST 소자의 I_D - V_{GS} 측정 그래프이며, 측정 결과 약 0.67 V의 문턱전압 특성을 보였다. I_D - V_{DS} 측정은 소스를 접지하고, 게이트 전압을 0 V부터 3.3 V까지 0.66 V씩 증가한 상태에서 드레인 전압을 0 V에서 12 V까지 증가하면서 드레인 전류를 측정하였다. 그림 4는 제작된 LDMOST 소자의 I_D - V_{DS} 측정 결과 그래프이다. 그래프와 같이 게이트 전압이 3.3 V 일 때 드레인 포화전류는 약 1.25 mA이었으며, 0.66 V에서는 문턱전압인 0.67 V 보다 낮기 때문에 드레인 전류가 흐르지 않았다. 결론적으로 제작된 LDMOST 소자는 드레인 전압이 약 10 V까지 안정적인 전류 특성을 확보하였고, 10 V 이상에서는 드레인 전류가 증가하는 특성을 보여주고 있다. 검증된 LDMOST의 전기적인 특성으로부터 SPICE 파라미터로 추출하여 SPEE의 고전압 구동 회로를 설계하였다.

2.3 제작 공정

본 논문에서 소개된 모든 소자들은 0.25 μm 표준 CMOS 로직 공정만을 이용하여 제작되었다. 주

요 공정 순서는 다음과 같다. 소자의 제작은 p-형 기판을 이용하였다. p-형 기판 상에 소자들의 전기적인 격리를 위해서 STI 구조를 형성하였으며, p-well 및 n-well은 고에너지 이온주입 공정을 이용하여 리트로그라이드 (retrograde) 형태로 제작되었다. Well 형성 공정에서는 소자의 펀치-쓰루 (punch-through) 방지용 이온주입, 필드 영역의 문턱전압 조정 그리고 소자의 문턱전압 조정을 위한 V_t 조정 이온주입 공정 단계들이 모두 진행되었다. 후속공정으로 71 \AA 두께의 게이트 산화공정을 진행하였다. 게이트 산화공정 단계에서 SPEE의 터널 산화막과 고전압 소자의 게이트 산화막으로 사용하기 위한 게이트 산화막들이 성장되었다. 게이트 산화막 성장 후 도핑되지 않은 다결정실리콘 층을 저압화학기상 증착 공정으로 진행되었다. 게이트 물질의 두께는 2500 \AA 이었다. 게이트 다결정실리콘 증착 후 게이트 포토공정과 식각 공정을 진행하였다. 게이트 형성 후 소자의 LDD (lightly doped drain) 접합을 형성하기 위해서 n-LDD 및 p-LDD 포토 / 이온주입 공정을 진행하였다. 후속 공정으로 산화막과 질화막으로 구성된 LDD 스페이서를 형성하였으며, n-형 및 p-형 고농도 소스 / 드레인 이온주입 공정을 순차적으로 진행하였다. 접합 형성 후에는 Ti-실리사이드 공정을 진행하였다. 그리고 두꺼운 BPSG 층을 증착한 후 배선공정을 진행하였다. 배선 공정 중에서 콘택영역은 borderless contact 및 적층형 VIA 기술들을 사용하였고, 총 다섯 개 층의 금속 공정을 진행하였다.

3. 칩 설계 및 측정결과

3.1 칩 설계

SPEE와 고전압 소자를 이용하여 구현한 칩의 구성은 그림 5와 같다. 전체 칩은 128 개의 워드라인과 8개의 비트라인으로 구성된 1 Kbit SPEE 메모리 어레이와, 128 워드라인 중에서 하나의 어드레스를 선택 할 수 있는 프리디코더, 그리고 프리디코더의 출력을 인가 받아 고전압을 SPEE에 인가시키는 3 개의 구동 회로 단으로 이뤄진다. 프리디코더는 디지털 CMOS 로직 소자로 구성되어 있다. 7 비트의 조합된 입력을 인가 받아, 각 비트에 해당하는 128 개의 메모리 어레이 어드레스 중 하나만을 선택하게 된다. 3 개의 구동회로들은 각각 SPEE 소자의 선택 트랜지스터, 제어게이트 트랜지스터, 그리고 소스를 구동한다. 메모리 어레이 구동 시 각각의 구동 회로 단에서 각 동작에 맞는 바이어스 전압을 제어하여 인가한다. 8 개로 구성

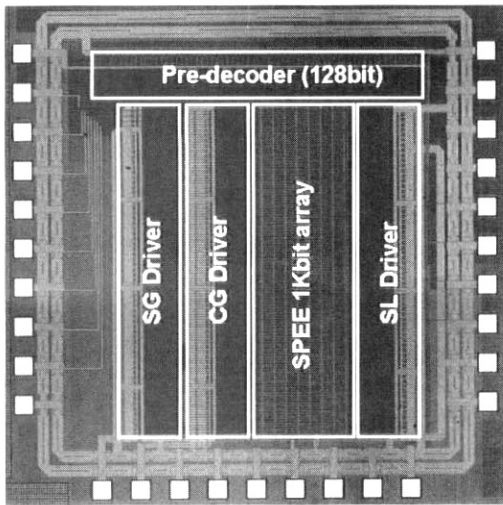


그림 5. 제작된 1 Kbit EEPROM 칩의 현미경 사진.
Fig. 5. Micrograph of the fabricated 1 Kbit EEPROM.

된 어레이의 비트라인은 SPEE부터 패드 (pad)까지 직접 연결되어 있다. 즉, 패드에서 직접적으로 비트라인에 필요한 동작 바이어스를 인가시켜주게 된다.

본 논문에서 제작된 1 Kbit 어레이와 각 구동회로 및 분당 패드를 포함한 전체 칩의 면적은 $1,060 \times 890 \mu\text{m}^2$ 이다. 제작된 칩은 내장형 EEPROM에서 사용되는 소자인 CMOS 로직 소자, EEPROM 소자, 그리고 고전압 소자 모두가 표준 CMOS 로직 공정을 이용하여 하나의 웨이퍼 안에 구현되어 있다.

3.2 측정 결과

그림 6는 제작된 칩의 측정 결과이다. 칩의 측정은 DC 특성 분석기인 'STA-EL421C'[8]를 이용하여, 초기상태 메모리 셀의 문턱전압과 프로그램 및 소거 동작 이후 셀의 변화된 문턱전압 특성을 비교 검증하였다. 문턱전압은 선택 트랜지스터에 3.3 V, 비트라인에 1.5 V, 소스에 0 V 전압을 인가한 상태에서 제어게이트에 0 V에서 3 V까지 전압을 증가하면서 비트라인에 흐르는 전류가 1 μA 인 지점으로 정의하였다. 초기상태 메모리 셀의 문턱전압은 그림 6에서처럼 0.7 V로 측정되었다.

이후, 메모리 셀의 프로그램과 소거 동작 후 변화된 문턱전압을 측정하기 위해, 프리디코더의 7 비트 입력을 조합하여 128 개 워드라인 어드레스 중 하나를 선택하고, 8 개의 비트라인 중에서 임의로 한 개의 비트라인에만 전압을 인가 (나머지 비

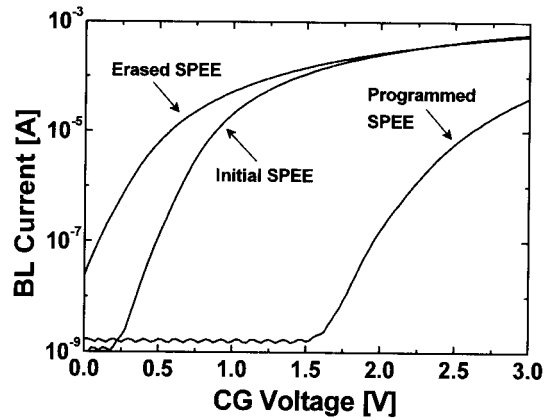


그림 6. 제작된 1 Kbit SPEE 어레이의 $I_{BL}-V_{CG}$ 특성.

Fig. 6. $I_{BL}-V_{CG}$ characteristics of the fabricated 1 Kbit SPEE array.

표 1. SPEE 어레이의 프로그램 및 소거 동작을 위한 바이어스 조건.

Table 1. Bias conditions of the SPEE array for program and erase.

	프로그램		소거	
	선택	비선택	선택	비선택
CG [V]	9.5	0	0	0
SG [V]	5	0	0	0
SL [V]	10	0	8	0
BL [V]	0	5	float	float
펄스폭 [msec]	10	N/A	10	N/A

트라인은 접지)하여 단일 메모리 셀을 선택하였다. 그리고 프로그램과 소거 동작 조건에 맞는 바이어스 전압 및 펄스폭을 표 1과 같이 선택 셀과 비선택 셀을 구분하여 인가하였다. 10 msec 동안의 프로그램 동작 후 셀의 문턱전압 변화는 초기 측정값인 0.7 V에서 2.3 V로 1.6 V 상승되었으며, 10 msec 동안의 소거 동작 후 관찰된 문턱전압은 2.3 V에서 초기 문턱전압보다 약간 낮은 0.3 V로 강하하였다. 즉, 10 msec 동안의 프로그램과 소거 동작 이후 2 V의 문턱전압 변화특성을 보였다. 결론적으로 LDMOST 소자로 구현된 고전압 구동회로는 외부에서 인가된 바이어스를 SPEE 메모리 셀에 정상적으로 전달하며, 어레이 형태로 구현된 SPEE 메모리 셀 또한 정상 동작하는 것으로 확인되었다.

4. 결론

0.25 μm 표준 CMOS 로직 공정을 이용하여 내장형 EEPROM용 single polysilicon EEPROM 메모리 셀과 고전압 구동 소자를 동시에 구현하였다. 제작된 EEPROM 메모리 셀은 부유게이트 트랜지스터와 선택 트랜지스터, 그리고 제어게이트 트랜지스터 총 3 개의 개별 트랜지스터로 구성되었다. EEPROM 메모리 셀을 구동하기 위한 고전압 소자는 드레인과 소스영역을 n-well로써 구현함으로써 접합면의 항복전압이 10 V 이상이 되도록 설계하여, 메모리 셀을 구동시킬 수 있는 전압 수준까지 사용이 가능하도록 하였다. 본 논문에서 제안된 소자를 내장형 EEPROM으로써의 가능성을 평가하기 위해, 1 Kbit 용량의 메모리 어레이와 고전압 구동 회로를 설계 및 제작하여 어레이 상태에서의 프로그램 및 소거 동작 특성을 측정하였다. 측정 결과 프로그램과 소거 동작 사이에 2 V의 문턱전압 변화 특성을 확인하였다. 본 논문을 통해서 표준 CMOS 로직 공정만으로 저가의 내장형 EEPROM을 구현할 수 있는 방안을 제시하였다.

감사의 글

이 논문은 2006년도 교육인적자원부 지방연구중심대학 육성사업의 지원에 의하여 연구되었음.

참고 문헌

[1] E. J. Marinissen, B. Prince, D. Keitel-Schulz, and Y. Zorian, "Challenges in embedded memory design and test", Proc. in Automation

and Test in Europe Conference and Exhibition, Vol. 2, p. 727, 2005.

- [2] K. Ohsaki, N. Asamoto, and S. Takagaki, "A single poly EEPROM cell structure for use in standard CMOS processes", IEEE J. Solid-State Circuits, Vol. 29, No. 3, p. 311, 1994.
- [3] 한재천, 나기열, 이성철, 김영석, "Single-poly EEPROM의 프로그램 특성", 전자공학회논문지, 33권, A편, 2호, p. 131, 1996.
- [4] J. Peng, G. Rosendale, M. Fliesler, D. Fong, J. Wang, C. Ng, Z. Liu, and H. Luan, "A Novel Embedded OTP NVM Using Standard Foundry CMOS Logic Technology", Proc. in NVSMW, p. 24, 2006.
- [5] K.-Y. Na and Y.-S. Kim, "High-performance single polysilicon EEPROM with stacked MIM capacitor", IEEE Electron Device Letters, Vol. 27, No. 4, p. 294, 2006.
- [6] T. Letavic, R. Cook, R. Brock, H. Effing, and R. Einerhand, "20 V asymmetric complementary power device implementation within a 0.25 μm CMOS technology for power management application", Proc. in ISPSD, p. 367, 2005.
- [7] J. C. Mitros, C. Tsai, H. Shichijo, M. Kunz, A. Morton, D. Goodpaster, D. Mosher, and T. R. Efland, "High-voltage drain extended MOS transistors for 0.18- μm logic CMOS process", IEEE Trans. Electron Devices, Vol. 48, No. 8, p. 1751, 2001.
- [8] STA (Semiconductor Test and Analyzer) User's Manual, ELECS Co., Ltd.