

## 선택적 분자선 에피택시 방법에 의한 1D-2DEG 혼성 나노선 FET의 구현

### Realization of 1D-2DEG Composite Nanowire FET by Selective Area Molecular Beam Epitaxy

김윤주<sup>1,2</sup>, 김동호<sup>1</sup>, 김은홍<sup>1</sup>, 서유정<sup>1</sup>, 노정현<sup>2</sup>, 한철구<sup>2</sup>, Mutsuo Ogura<sup>3</sup>, 김태근<sup>1,a</sup>  
(Yun-Joo Kim<sup>1,2</sup>, Dong-Ho Kim<sup>1</sup>, Eun-Hong Kim<sup>1</sup>, Yoo-Jung Seo<sup>1</sup>, Cheong-Hyun Roh<sup>2</sup>, Cheol-Koo Hahn<sup>2</sup>,  
Mutsuo Ogura<sup>3</sup>, and Tae-Geun Kim<sup>1,a</sup>)

#### Abstract

High quality three-dimensional (3D) heterostructures were constructed by selective area (SA) molecular beam epitaxy (MBE) using a specially patterned GaAs (001) substrate to improve the efficiency of carrier transport. MBE growth parameters such as substrate temperature, V/III ratio, growth ratio, group V sources (As<sub>2</sub>, As<sub>4</sub>) were varied to calibrate the selective area growth conditions and the 3D GaAs-AlGaAs heterostructures were fabricated into the ridge type and the V-groove type. Scanning micro-photoluminescence ( $\mu$ -PL) measurements and the following analysis revealed that the gradually (adiabatically) coupled 1D-2DEG (electron gas) field effect transistor (FET) system was successfully realized. These 3D-heterostructures are expected to be useful for the realization of high-performance mesoscopic electronic devices and circuits since it makes it possible to form direct ohmic contact onto the (quasi) 1D electron channel.

**Key Words** : 3D-heterostructures, Nanowire, Field-effect transistor, Molecular beam epitaxy

#### 1. 서론

수 마이크로미터에서 수 나노미터에 이르는 크기를 갖는 mesoscopic 소자는 CMOS에 기반을 둔 회로와 시스템을 대체할 수 있는 차세대 전자기기의 핵심부품으로, 평탄하고 결함이 없는 표면을 갖는 mesoscopic 시스템의 구현[1-7] 과 낮은 저항성 접촉문제를 해결하고자 하는 노력 등을 통해서 미래 정보화 사회에서 요구되는 사양을 만족하는 차세대 전자소자 및 회로를 구현하기 위한 초석이 될 것으로 기대된다[8]. 특히, 1차원 전자채널을 갖

는 나노구조는 양자화에 따른 많은 이점을 기대할 수 있기 때문에 고품질 반도체 양자선 구조와 그를 이용한 소자의 제작에 많은 연구가 진행되고 있으며[9-15], 본 논문에서도 고품질의 양자선 구조제작 방법을 제안하고 1차원 전자채널에서 전자들의 산란을 감소시킴으로써 높은 전자의 이동도를 갖는 1차원 전계 효과 트랜지스터의 제작방법에 관해 보고한다. 1차원 나노선 전계효과 트랜지스터에 관한 연구는 기존의 반도체칩의 집적도가 증가함에 따라 선풍의 한계에 부딪히게 되면서 이를 해결하기 위한 하나의 방안으로 연구가 진행되고 있으며, 소자구현 시 트랜지스터의 동작속도를 크게 향상시킬 뿐만 아니라 양자구조의 특성상 초고감도 광 검출 소자, 화학 및 바이오센서, 나노레이저, 양자논리회로 등 향후 광범위한 응용분야를 가질 것으로 기대된다.

하지만 지금까지 보고되고 있는 1차원 나노선 전계효과 트랜지스터의 경우, 예측과는 달리 2차원

1. 고려대학교 전자컴퓨터공학과  
(서울시 성북구 인암동 5가 1)  
2. 전자부품연구원 나노광전연구센터  
3. AIST, Photonics Research Institute  
a. Corresponding Author : tgkim1@korea.ac.kr  
접수일자 : 2006. 9. 8  
1차 심사 : 2006. 9. 25  
심사완료 : 2006. 10. 11

구조의 양자우물 전계효과 트랜지스터와 비교할 때 이동도의 향상이 그다지 크지 않았으며 이는 양자선 크기의 불균일성과 박막성장의 불규칙성에 의해 발생하는 전자산란과 차단에 의한 것으로 고려되고 있다. 따라서 이와 같은 결함을 최소화하고 1차원 양자선의 균일성을 향상시키기 위한 연구가 활발하게 진행 되고 있다.

본 논문에서는 선택영역 분자선 에피택시 기술을 이용하여 2차원 (2D)-1차원 (1D)-2차원 (2D)의 소스-게이트-드레인 전극 구조를 제작하여, 각 영역의 경계에서 전자의 산란을 최소화하고 전자가 채널을 통해 점진적으로 이동하는 GaAs 기반의 3차원 이중 접합 구조를 갖는 시스템을 구현하였다. 이때, V족 원소간의 혼합, III-V족 구성비, 성장 온도, 기판의 방향성 및 회전 속도 등과 같은 성장 조건의 조정을 통하여 V홈 구조 및 릿지 형태의 3차원 구조를 구현하였으며, scanning electron microscopy (SEM)과 micro-photoluminescence ( $\mu$ -PL) 측정을 통하여 고품질의 1차원-2차원 혼성 양자선 구조의 형성을 실험적으로 확인하였다.

## 2. 실험

박막성장은 다이머와 비소 테트라머 소스가 장착된 고체-소스 분자선 에피택시 챔버 내에서 2  $\mu$ m 간격으로 패터닝된 (001)면의 GaAs 기판 위에 진행되었다. 선-공간 패터닝의 크기는 각각 2  $\mu$ m이며, 선의 너비는 조건이 정밀하게 조절된 재성장에 의해 조정하였다. 선택적 구간의 성장 조건의 조절을 통하여, 각각 다른 두 가지 형태의 성장 모드를 얻을 수 있었다.

먼저, 550  $^{\circ}$ C 이하의 상대적으로 낮은 성장 온도와 As<sub>4</sub> 크랙커 다이머 소스를 사용하여 50 배 이상의 높은 V/III 구성비를 갖는 조건 하에서는, 성장된 III 족 흡착원자의 표면 이동은 극히 제한되고 초기 패터닝의 너비가 유지되었다 (그림 1(a) 패터너비 유지모드). 한편 620  $^{\circ}$ C 이상의 상대적으로 높은 성장 온도와 비소 테트라머 소스를 사용하여 15 배 이하의 낮은 III/V족 구성비를 갖는 조건하에서는, 흡착원자의 표면 이동이 크게 증가하여 새로운 단면을 생성시키면서 패터닝의 너비가 감소하였다 (그림 1(b) 패터너비 제어모드). 이러한 두 가지 모드들에 대한 상세한 조건을 표 1에 정리하였다.

그림 1의 (a)는 패터너비 유지모드에서 성장된 에피층의 SEM 단면사진 (위)과 모식도 (아래)를 보여주며, (b)는 패터너비 제어모드에서 성장된

표 1. 패터너비 유지모드와 제어모드의 성장조건.  
Table 1. Growth conditions for pattern-width maintaining mode and control mode.

	성장 온도	V족 원소	V/III족 구성비	회전속도
패터너비 유지모드	550 $^{\circ}$ C 이하	As <sub>2</sub>	50배 이상	60 rpm
패터너비 제어모드	620 $^{\circ}$ C 이상	As <sub>4</sub>	15배 이하	60 rpm

에피층의 SEM 단면사진 (왼쪽)과 모식도 (오른쪽)를 보여준다. 특히, 그림 1(b)는 표 1에 기술된 패터너비 제어모드에서는 AlGaAs/GaAs의 이중접합구조에 의하여 {311}A 면에서 1차원 구조인 양자선의 형성을 확인할 수 있다.

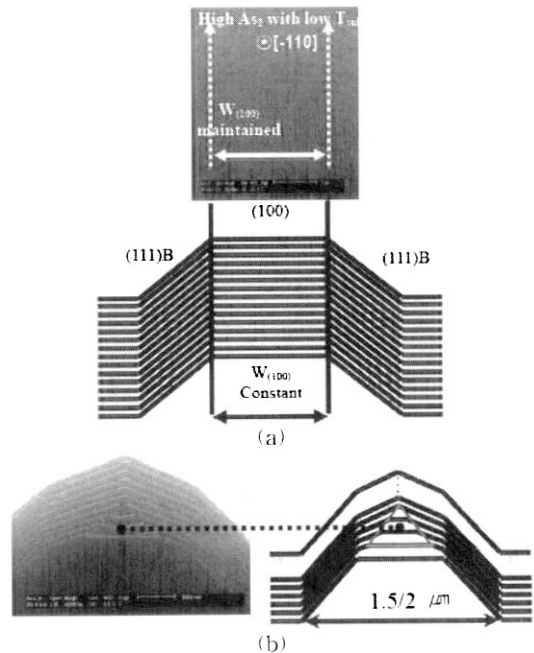


그림 1. (a) 패터너비 유지 모드 및 (b) 패터너비 제어 모드에서 성장된 에피층의 SEM 단면사진과 모식도.

Fig. 1. (a) a SEM image (upper) and the corresponding schematics (bottom) after growth in a pattern width maintaining SA-MBE mode, (b) a SEM image (left) and the corresponding schematics (right) after growth in a pattern-width control mode, respectively.

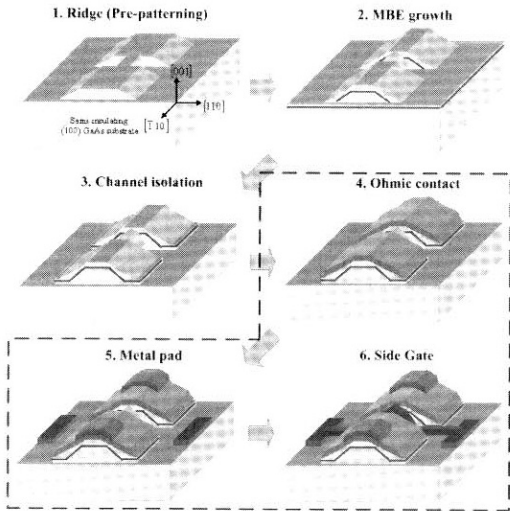


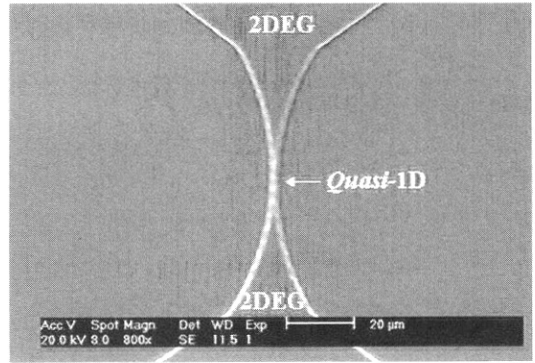
그림 2. 양자선 구조를 이용한 V홈 구조, 릿지 형태의 전계효과 트랜지스터 제작을 위한 공정 순서도.

Fig. 2. The process flowchart of the V-groove and ridge-type field-effect transistors with 1D electron channels.

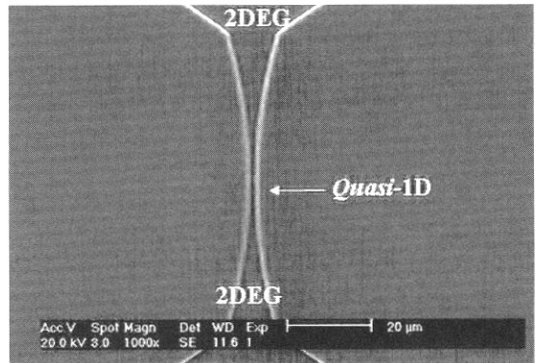
본 실험에서는 2차원 소스-1차원 채널-2차원 드레인간의 3차원 이중접합구조를 형성하기 위하여 패터너비 유지모드 조건에서 버퍼층을 성장한 후 패터너비 제어모드 조건에서 성장온도를 620 °C로 고정하고 V/III 비를 변화시키면서 AlGaAs/GaAs 이중접합 구조를 성장했으며 V/III 비가 28일 때 원하는 일차원 전자가스 구조를 생성할 수 있었다. 이때 총 성장 두께는 1185 nm이며 기판의 회전은 60 rpm, 기판의 온도는 620 °C 이다.

그림 2는 이렇게 형성된 3차원 이중접합구조를 이용하여 제작할 수 있는 V홈 및 릿지 형태의 1D-2DEG 전계효과 트랜지스터의 공정 예를 보여 준다. (1)~(3) 까지 V홈 및 릿지의 패터를 제작하고, 분자선 에피택시를 이용하여 성장 후, 채널을 형성하는 공정까지 진행하였으며, (4)~(6)의 저항성 접촉 및 급속 패드를 제작하고, 측면 게이트를 생성하는 공정은 추후 진행될 공정들을 나타내었다. (1)~(6)까지의 공정을 진행하면 제작하고자 하는 전계효과 트랜지스터 소자를 완성할 수 있다.

그림 3 (a)와 (b)는 실험에서 최종적으로 제작된 V홈 형태와 릿지 형태의 3차원 이중접합구조의 SEM 사진이다. SEM 사진에서 릿지 형태와 V홈 형태 둘 다 2차원-1차원-2차원 구조가 성공적으로 형성되었음을 확인하였다.



(a)



(b)

그림 3. 제작된 2차원-1차원-2차원 구조의 양자선의 SEM 사진 (a) 릿지 형 구조, (b) V홈 형 구조.

Fig. 3. The SEM image of fabricated 2D-1D-2D electron channels: (a) ridge-type, (b) V-groove-type.

다음으로 제작된 3차원 양자구조를 가지는 소자의 광 특성을 평가하기 위하여, 공간 분해능과 주사 단계가 각각 700 nm 와 100 nm를 갖는  $\mu$ -PL을 이용하여 측정하였다.

### 3. 결과 및 고찰

그림 4(a)와 (b)는 각각 V홈 형태와 릿지 형태의 3차원 이중접합구조의  $\mu$ -PL 스펙트럼 측정 결과와 각각에 대한 개념도를 보여준다. 각각의 개념도에서 GaAs기판위에 분자선 에피택시성장 후 제작된 릿지 형태와 V홈 형태에서 패터닝의 차이를 확인할 수 있지만, 이후 양자선 제작을 통해 소스와 드레인을 연결하는 게이트 부분의 전극 구조에

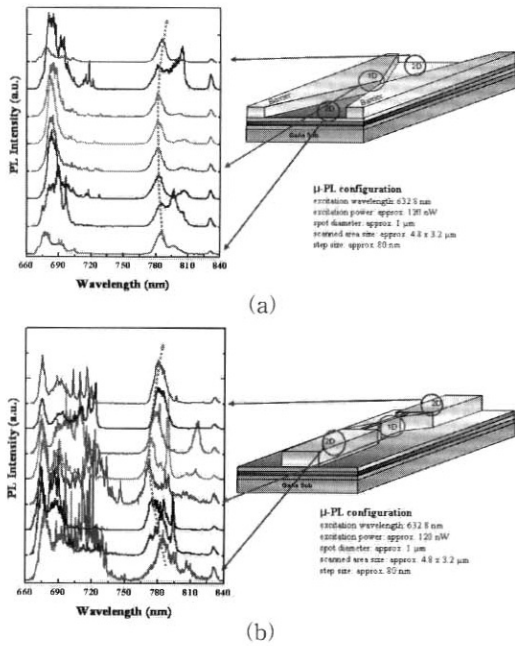


그림 4. 3차원 이종접합구조의  $\mu$ -PL 스펙트럼과 개념도 (a) V-홈 구조, (b) 릿지 구조.

Fig. 4. Scanning  $\mu$ -PLs and the schematic drawings images for the (a) V-groove-type and (b) ridge-type 3D hetero-structures.

서 2차원-1차원-2차원의 점진적인 전자이동은 동일하게 나타났다. 두 가지의 형태들 모두 AlGaAs와 양자구조들의  $\mu$ -PL 신호는 각각 675 nm와 780 nm 대역 부근에서 나타났으며 또한, 측면 주변에서 스텝 번칭 (step bunching)에 의해 형성된 양자 구조에 의한 신호들이 690~720 nm 대역에서 관찰되었다. 제작된 소자의 2차원-1차원-2차원 구조의 위치를 이동하며  $\mu$ -PL을 수행한 결과, 점선으로 표기된 신호를 얻을 수 있었으며, 3차원 구조의 중앙으로 이동할수록 청색변이를 확인할 수 있었고 중앙에서 멀어질수록 다시 파장이 증가함을 확인하였다. 이러한 현상은 V홈 구조와 릿지 구조 모두에서 발견되었으며, 현재 이러한 청색 변이는 횡 방향으로 발생하는 2차원 전자가스의 추가적인 양자 구속 효과에 의해 중앙에서 생성된 준 1차원 구조 형성과 같은 2차원 전자가스의 양자 구속 효과에 기인한 것으로 사료된다. 추가적인 양자 구속 효과에 기인하여 발생하는 에너지 레벨의 변이는 V홈 구조와 릿지 구조에서 각각 10 meV와 20 meV로 계산되었다.

#### 4. 결 론

선택적 분자선 에피택시 방법을 이용하여 패터닝된 (001) GaAs 기판위에 1차원-2차원 구조가 혼합된 고품질의 3차원 이종접합 구조를 제작하였다. 먼저, 박막의 선택성 성장을 위한 성장조건 제어를 통해 분자선 에피택시 성장이 진행되는 동안 패터닝의 너비가 유지되는 성장모드와 패터닝의 너비가 양자점 형성을 위해 제어되는 성장모드 두 가지의 조건을 확보 하였다. 다음, 릿지 형태와 V홈 형태로 패터닝된 기판 위에 두 가지 성장모드를 결합하여 일차원 채널을 통한 전자의 수송이 유리한 3차원 양자선 구조를 제작하였다. 1차원-2차원 혼성 양자선 구조의 형성여부는 SEM과  $\mu$ -PL 측정을 통해 분석되었으며, 측정결과를 통하여 점증적(단열적)으로 결합된 2차원-1차원-2차원 구조가 성공적으로 제작되었음을 확인하였다. 이러한 3차원 이종접합구조는 (준) 1차원전자가스 구조에 직접적인 저항성 접촉이 가능하기 때문에 mesoscopic 전자 소자나 회로의 구현에 매우 유용한 것으로 기대된다.

#### 감사의 글

이 논문은 2005년도 정부재원(교육인적자원부 학술연구조성사업비)으로 한국 학술 진흥 재단의 지원을 받아 수행된 연구임 (KRF-2005-041-D00478). 또한 일부는 경기도 차세대 성장 동력 기술개발 사업에 지원을 받아 수행된 연구임.

#### 참고 문헌

- [1] C. Jiang, T. Muranaka, and H. Hasegawa, "Improvement of growth process to achieve high geometrical uniformity in InGaAs ridge quantum wires grown by selective MBE on patterned InP substrate", Jpn. J. Appl. Phys., Vol. 40, p. 3003, 2001.
- [2] K. Y. Jang, T. Sugaya, C.-K. Hahn, M. Ogura, and K. Komori, "Negative differential resistance effects of trench-type InGaAs quantum-wire field-effect transistors with 50-nm gate-length", Appl. Phys. Lett., Vol. 83, p. 701, 2003.
- [3] A. Cresti, R. Farchioni, G. Grosso, and G. Pastori Parravicini, "Keldysh-green function formalism for currents profiles in mesoscopic systems", Phys. Rev. B, Vol. 68, p. 075306, 2003.

- [4] A. Cresti, R. Farchioni, G. Grosso, and G. Pastori Parravicini. "Quantum transport in mesoscopic systems". *Journal of Applied Physics*, Vol. 94, p. 1744, 2003.
- [5] A. Cresti, R. Farchioni, G. Grosso, and G. Pastori Parravicini. "Current distribution and conductance quantization in the integer quantum hall regime". *J. Phys.: Condens. Matter.*, Vol. 15, p. L377, 2003.
- [6] A. Cresti, G. Grosso, and G. Pastori Parravicini. "Chiral symmetry of microscopic currents in the quantum Hall effect". *Phys. Rev. B*, Vol. 69, p. 233313, 2004.
- [7] A. Cresti, G. Grosso, and G. Pastori Parravicini. "Quantum transport in mesoscopic systems". *Proceedings of the 4-th IEEE Conference on Nanotechnology*, Monaco, p. 44, 2004.
- [8] C. K. Hahn, T. Sugaya, K. Y. Jang, X.-L. Wang, and M. Ogura. "Electron transport properties in a GaAs/AlGaAs quantum wire grown on V-grooved GaAs substrate by metalorganic vapor phase epitaxy". *Jpn. J. Appl. Phys.*, Vol. 42, p. 2399, 2003.
- [9] C. Jiang, T. Muranaka, and H. Hasegawa. "Improvement of growth process to achieve high geometrical uniformity in InGaAs ridge quantum wires grown by selective MBE on patterned InP substrate". *Jpn. J. Appl. Phys.*, Vol. 40, p. 3003, 2001.
- [10] K. Y. Jang, T. Sugaya, C. K. Hahn, M. Ogura, and K. Komori. "Negative differential resistance effects of trench-type InGaAs quantum-wire field-effect transistors with 50-nm gate-length". *Appl. Phys. Lett.*, Vol. 83, p. 701, 2003.
- [11] J. H. F. Scott-Thomas, S. B. Field, M. A. Kastner, H. I. Smith, and D. A. Antoniadis. "Conductance oscillations periodic in the density of a one-dimensional electron gas". *Phys. Rev. Lett.*, Vol. 62, p. 583, 1989.
- [12] R. A. Smith and H. Ahmed. "Gate controlled coulomb blockade effects in the conduction of a silicon quantum wire". *J. Appl. Phys.*, Vol. 81, p. 2699, 1997.
- [13] A. Tilke, R. H. Blick, H. Lorenz, and J. P. Kotthaus. "Coulomb blockade in quasimetallic silicon - on - insulator nanowires". *Appl. Phys. Lett.*, Vol. 75, p. 3704, 1999.
- [14] L. P. Rokhinson, L. J. Guo, S. Y. Chou, and D. C. Tsui. "Double-dot charge transport in Si single-electron/hole transistors". *Appl. Phys. Lett.*, Vol. 76, p. 1591, 2000.
- [15] B. H. Choi, Y. S. Yu, D. H. Kim, S. H. Son, K. H. Cho, S. W. Hwang, D. Ahn, and B. G. Park. "Double-dot-like charge transport through a small size silicon single electron transistor". *Physica E*, Vol. 13, p. 946, 2002.