

나노급 CMOSFET을 위한 SOI기판에 도핑된 B₁₁을 이용한 니켈-실리사이드의 열안정성 개선

Thermal Stability Improvement of Ni-Silicide on the SOI Substrate Doped B₁₁ for Nano-scale CMOSFET

정순연¹, 오순영¹, 이원재¹, 장영익¹, 종준¹, 이세광¹, 김영철², 이가원¹, 왕진석¹, 이희덕^{1,a}
(Soon-Yen Jung¹, Soon-Young Oh¹, Won-Jae Lee¹, Ying-Ying Zhang¹, Zhun Zhong¹, Shi-Guang Li¹,
Yeong-Cheol Kim², Ga-Won Lee¹, Jin-Suk Wang¹, and Hi-Deok Lee^{1,a})

Abstract

In this paper, thermal stability of Ni-silicide formed on the SOI substrate with B₁₁ has been characterized. The sheet resistance of Ni-silicide on un-doped SOI and B₁₁ implanted bulk substrate was increased after the post-silicidation annealing at 700 °C for 30 min. However, in case of B₁₁ implanted SOI substrate, the sheet resistance showed stable characteristics after the post-silicidation annealing up to 700 °C for 30 min. The main reason of the excellent property of B₁₁ sample is believed to be the retardation of Ni diffusion by the boron and bottom oxide layer of SOI. Therefore, retardation of Ni diffusion is highly desirable for high performance Ni silicide technology.

Key Words : SOI, Nickel silicide, Thermal stability, Dopant, Nano-scale CMOSFET

1. 서론

ULSI (Ultra Large Scale Integration) 공정이 발전함에 따라 CMOSFET 소자의 크기는 급격히 감소하고 있으며, 최근에는 100 nm 이하의 나노영역에서 소자 제작 공정 기술에 대한 연구가 매우 활발히 진행되고 있다. 하지만 소자의 크기가 감소하면서 게이트 누설 전류 (leakage current), 단채널 효과 (short channel effect), 소스/드레인 접합 누설 전류 (junction leakage current) 증가 등의 문제점들이 심각해지고 있다. 이를 해결할 수 있는 방법으로 기존의 벌크-실리콘을 대신하여 SOI (Silicon on Insulator) 기판을 사용하는 것이 주목을 받고 있다[1,2]. 즉 매몰 산화층 (BOX :

Buried Oxide) 위에 형성된 실리콘의 두께를 줄임으로써 (실리콘-박막의 두께 < 50 nm), 게이트 구동에 따라 실리콘-박막 부분이 완전 공핍 (Fully depleted) 되어 단채널 효과가 감소하게 된다. 단채널 효과 억제와 같이 구동 전류 개선을 위한 방법으로 실리사이드 도입 연구가 함께 진행되고 있다 [3,4]. 특히 니켈-실리사이드는 한 번의 열처리 과정만으로도 14 $\mu\Omega \cdot \text{cm}$ 의 낮은 비저항을 갖는 니켈 모노(mono)-실리사이드 (NiSi)를 얻을 수 있고, 형성된 NiSi는 0.1 μm 이하의 좁은 폭의 실리콘 게이트 위에서도 비저항 증가가 거의 없는 것으로 알려져 있으며 증착된 대부분의 니켈 박막은 실리콘과 반응하여 NiSi을 형성하기 때문에 반응 시 소비되는 실리콘의 양을 정확히 조절할 수 있는 장점이 있다. 더욱이 일정두께의 NiSi를 형성시키는데 소비되는 실리콘의 양이 TiSi_2 , CoSi_2 보다 훨씬 적다는 매우 큰 장점을 가지고 있기 때문에 Ultra-Thin Silicon layer를 갖는 ULSI에 매우 적합한 실리사이드라고 말할 수 있다. 그러나 이러한 장점에도 불구하고 실리사이드 형성 후의 열안정성이 취약한 단점을 가지고 있다. 열안정성을 향상

1. 충남대학교 전자공학과

(대전시 유성구 궁동 350-764)

2. 한국기술교육대학교 신소재공학과

a. Corresponding Author : hdlee@cnu.ac.kr

접수일자 : 2006. 9. 6

1차 심사 : 2006. 9. 25

심사완료 : 2006. 10. 11

시키기 위해 현재 많은 연구가 진행 중에 있다[5].
 본 논문에서는 소스/드레인에서 B₁₁이 주입된 경우에 대하여 니켈-실리사이드의 열안정성 특성을 분석하였으며 후속 공정 과정에서의 열안정성 평가에서도 특성을 향상시켰다.

2. 실험

2.1 시편제작

본 실험을 위하여 실리콘-박막 두께 50 nm 를 갖는 SOI에 B₁₁ (3.5 keV, 3e15/cm²) 을 주입된 시편을 사용하였고 공정 순서는 그림 1 과 같다.

B₁₁이 주입된 시편을 1070 °C에서 10초간 RTA 로 활성화 시킨 후 금속 박막을 증착하기 전에 남아있는 산화막을 제거하기위해 BOE (6:1) 용액에 세정하였다. RF magnetron sputter를 사용하여 기판 진공도 (base pressure) 및 증착 진공도 (working pressure) 를 각각 5 × 10⁻⁷ 및 3 × 10⁻³ Torr 에서 Ni (10 nm) 을 증착 하였다.

Target 표면의 산화막과 불순물을 제거하기 위해 증착 전에 충분한 pre-sputter를 200 W에서 5 분간 실행한 후 main sputter를 각각 실행하였다. 증착하는 동안 wafer holder를 회전시켜 증착의 균일도를 높였다.

그리고 안정된 니켈-실리사이드 형성을 위해 급속 열처리(RTP : Rapid Thermal Process)를 기본 진공도 3 × 10⁻² Torr에서 400 ~ 700 °C, 30초간 실시하였으며, 실리사이드 형성 후 반응하지 않은 금속은 H₂SO₄ : H₂O₂ (4 : 1) 용액에서 선택적으로 식각 하였다. 열 안정성 분석 (Thermal Stability)

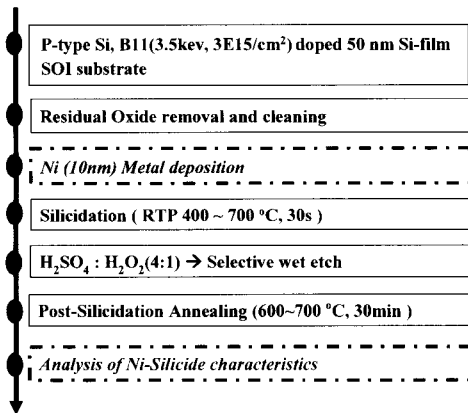


그림 1. 실험 공정 순서.
 Fig. 1. Process flow for experiment.

실험을 위하여 고순도 질소 (N₂, 99.99 %) 분위기에서 고온 열처리 (Furnace Anneal)를 600 ~ 700 °C 에서 30 분간 열처리하였다.

2.2 실리사이드 특성 측정 및 분석

제작된 시편의 니켈-실리사이드 특성을 측정하는 방법과 분석에 대해 설명하면 니켈-실리사이드 형성 후에 면저항 측정은 FPP (Four-Point Probe)를 이용하여 급속 열처리 온도에 따른 실리사이드의 면저항과 고온열처리 후 실리사이드의 면저항을 측정하였다.

급속 박막의 두께와 실리사이드의 두께 및 계면 특성을 확인하기 위해 FE-SEM (Field Emission Scanning Electron Microscopy, 한국 기초 과학 지원 연구원 전주 분소, 모델명 S-4700) 을 이용하여 확인하였다. 급속 열처리 후, 그리고 연 안정성 확인을 위한 고온 열처리 후의 두께와 계면특성 분석도 관찰하였다.

니켈-실리사이드의 상변이 (phase shift)를 확인하기 위하여 XRD (X-ray Diffraction)를 이용하여 분석하였다. 또한, 표면의 거칠기를 확인하기 위해서 AFM (Atomic Force Microscope)을 이용하여 분석하였다.

3. 결과 및 고찰

실리콘-박막의 두께가 50 nm 인 SOI 기판과 실리콘 기판에 B₁₁이 주입된 경우 Ni (10 nm) 를 증착한 후 급속 열처리를 하여 실리사이드 형성 후 면저항 특성은 그림 2에 나타내었다.

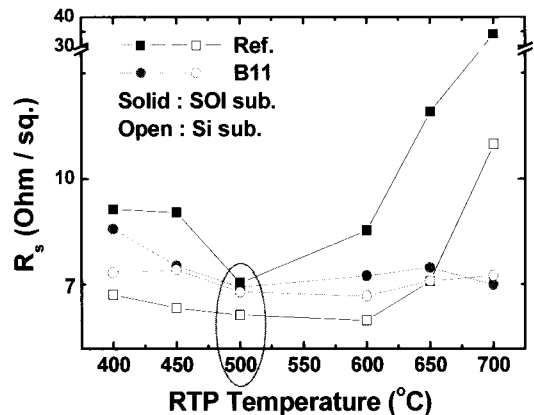


그림 2. RTP온도에 따른 실리사이드의 면저항 특성.
 Fig. 2. Dependence of NiSi sheet resistance as a function of RTP temperature.

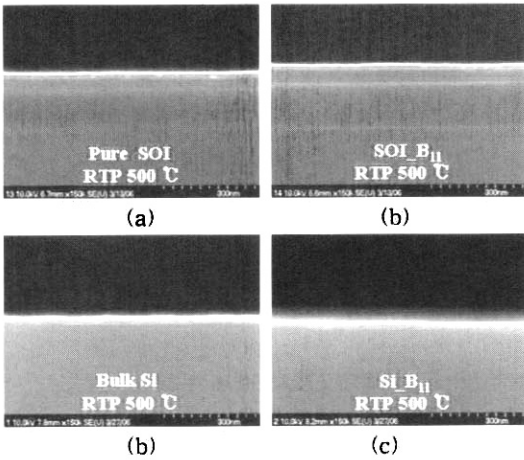


그림 3. RTP(500 °C, 30초)후 sample의 단면 FE-SEM 사진.

Fig. 3. Cross-sectional SEM image of sample with a RTP at 500 °C for 30 s.

실리콘 기판과 SOI 기판에서의 면저항 특성이 다르게 나왔다. 실리콘 기판에서는 B₁₁이 주입되지 않은 경우 면저항이 낮았고 SOI 기판에서는 B₁₁이 주입된 면저항이 낮게 나왔다. SOI와 실리콘 기판 모두 500 °C에서 가장 안정된 면저항 값을 나타냈다.

면저항은 실리사이드의 두께와 밀접한 관계가 있기 때문에 정확한 형성 두께를 확인하기 위해 FE-SEM으로 확인 이미지를 그림 3에 나타내었다.

그림 3(a)~(d) 급속 열처리 500 °C, 30초에서 한 후 FE-SEM 이미지에서 실리사이드가 균일하게 형성되었음을 확인할 수 있었다.

니켈-실리사이드의 단점 중 가장 큰 것은 열 안정성이 낮다는 것이다. 후속공정 후 고온에서 쉽게 비저항이 큰 다이(di)-실리사이드로 변이가 된다는 것이다. 이를 개선시키기 위해 Ti, Co, TiN 등의 capping을 하기도 하며 다른 방법으로 N₂를 주입한 연구 결과가 보고되었다[6,7]. 하지만 본 논문에서는 니켈만 증착하였을 때 boron의 영향에 대해 분석하였다. 500 °C에서 30초간 급속 열처리한 시편을 600, 650, 700 °C에서 30분간 고온 열처리한 후 면저항 특성을 그림 4에 나타내었다. Pure SOI와 벌크 실리콘의 경우 면저항이 600 °C부터 급격히 증가하였고 그 이후에서는 면저항이 측정되지 않았지만 B₁₁을 주입한 경우에는 실리콘 기판에서는 650 °C까지는 면저항 값이 낮지만 700 °C에서는 면저항이 크게 증가한 반면 SOI 기판의 경우 700 °C까지 낮고 안정된 면저항 값을 유지되고 있어 개선된 열안정성을 보여준다.

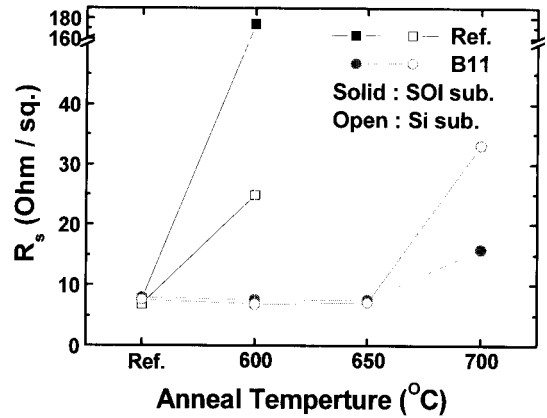


그림 4. 고온 열처리 후 면저항 특성.

Fig. 4. Sheet resistance after Post-silicidation annealing.

이 경우 고온 열처리 후 단면 특성은 그림 5에 나타내었다. 650 °C에서 30분간 고온 열처리 후 단면 특성 결과 Pure SOI와 벌크 실리콘의 경우 열화가 이미 시작 되어 단결 현상 및 응집 현상이 발생하였다.

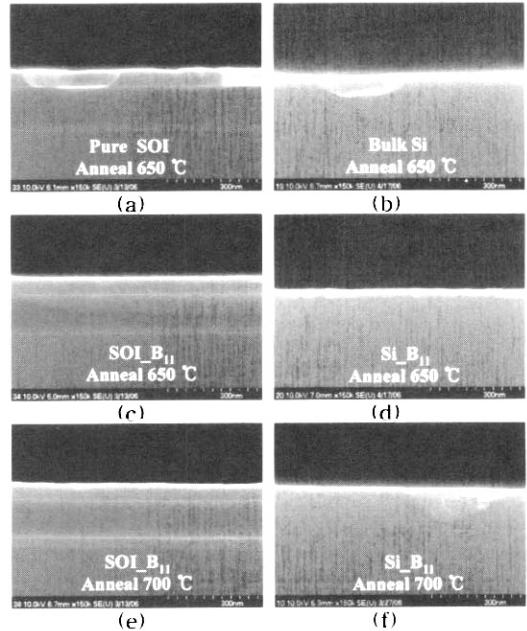


그림 5. 고온 열처리 후 니켈 실리사이드의 단면 FE-SEM 사진.

Fig. 5. Cross-sectional SEM Ni Silicide of sample with a Post-silicidation annealing.

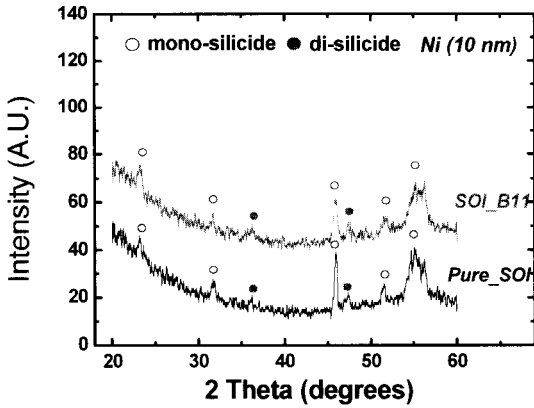


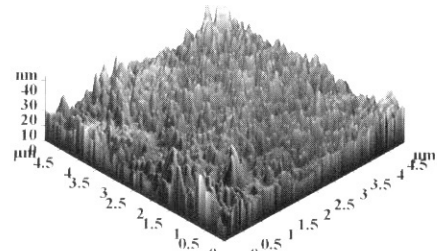
그림 6. 고온 열처리(650 °C, 30분) 후 XRD 상변이 분석.

Fig. 6. Comparison of XRD peak of NiSi after post-silicidation annealing at 650 °C for 30 min.

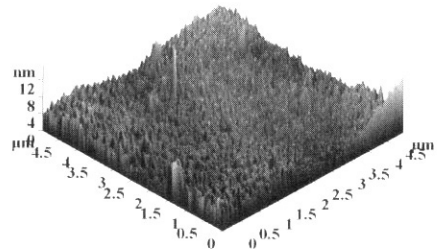
Si_{B11}의 경우에는 실리사이드가 균일하지 않음을 볼 수 있었지만 SOI_{B11}의 경우에는 실리사이드가 균일함을 볼 수 있었다. 700 °C에서 30분간 고온 열처리 후 단면특성 결과 Si_{B11}의 경우에는 실리사이드의 응집으로 인한 실리사이드 층의 단절 현상이 발생하였지만 SOI_{B11}의 경우에는 실리사이드의 단절 현상 및 응집 현상을 관찰 할 수 없어 열안정성이 향상됨을 확인 할 수 있었는데 이는 boron이 니켈의 확산을 방해하여 실리사이드 형성을 억제시킴을 참고 문헌 8에서 확인 할 수 있었다. 따라서 SOI기판에 B₁₁을 주입한 경우 열안정성이 향상되었음을 확인 할 수 있었다.

그림 5를 보면 650 °C에서 고온 열처리 후 SOL_{B11} 경우 면저항 낮아 XRD 분석 결과 모노(mono)-실리사이드만 존재할 것으로 예상 하였으나 XRD 분석 결과 그림 6을 보면 Pure SOI와 SOL_{B11}의 경우 모두 다이(di)-실리사이드 peak를 볼 수 있었다. 그림 7의 650 °C에서 고온 열처리 후 AFM 분석 결과를 보면 Pure SOI의 경우 표면 거칠기는 3.3 nm, SOL_{B11}의 경우 표면 거칠기 0.9 nm로 Pure SOI 보다 표면의 거칠기가 좋음을 알 수 있었다.

따라서 분석 결과를 볼 때 SOI 기판에 B₁₁을 주입한 경우 좋은 현상이 나타남으로써 니켈-실리사이드의 열 안정성 개선을 향상 시킬 수 있었다.



(a) Roughness = 3.3 nm



(b) Roughness = 0.9 nm

그림 7. 고온 열처리(650 °C, 30분) 후 표면 거칠기 AFM 분석.

(a) Pure SOI, (b) SOL_{B11}

Fig. 7. AFM surface roughness of Ni silicide after post-silicidation annealing at 650 °C for 30 min.

(a) Pure SOI, (b) SOL_{B11}

4. 결 론

본 논문에서는 CMOS에서의 니켈-실리사이드의 열 안정성 특성을 분석하였으며, 실제 소자에 적용되는 B₁₁을 도핑한 경우에 니켈-실리사이드의 열 안정성을 분석하였다. 벌크 기판에서 보다 SOI기판에 B₁₁이 주입된 경우 Ni-Silicide의 열안정성이 뛰어났다. SOL_{B11}의 경우 700 °C, 30 분의 고온 열처리 후에도 낮은 면저항 특성, 응집 현상과 단절 현상이 없는 단면 특성 표면 거칠기 값이 낮은 니켈-실리사이드를 구현 할 수 있었고 boron이 니켈의 확산을 방해하여 실리사이드 형성을 억제하여 니켈-실리사이드의 가장 큰 단점이 열 안정성이 개선되었음을 확인할 수 있었다. 그러므로 실리사이드의 성능 향상을 위해 니켈의 확산을 방지시키는 것이 매우 필요하다고 생각된다.

감사의 글

본 논문은 한국과학재단 목적기초연구 (과제: R01 -2003-000-11659-0)의 지원 하에 이루어졌음.

참고 문헌

- [1] J. G. Yun, S. Y. Oh, B. F. Huang, H. H. Ji, Y. G. Kim, S. H. Park, H. S. Lee, D. B. Kim, U. S. Kim, H. S. Cha, S. B. Hu, J. G. Lee, S. K. Baek, H. S. Hwang, and H. D. Lee, "Highly thermal robust NiSi for nano-scale MOSFETs utilizing a novel hydrogen plasma immersion ion implantation and Ni-Co-TiN Tri-Layer", IEE Electron Device Letters, Vol. 26, No. 2, p. 90, 2005.
- [2] T. C. Hsiao, P. Liu, and J. C. S. Woo, "An advanced Ge preamorphization silicide technology for ultra-thin-film SOI CMOS devices", IEEE Electron Device Letters, Vol. 18, No. 7, p. 309, 1997.
- [3] J. S. Maa, B. Ulrich, S. T. Hsu, and G. Stecker, "Selective deposition of $TiSi_2$ on ultra-thin silicon-on insulator (SOI)", Thin Solid Films, Vol. 332, p. 412, 1998.
- [4] L. T. Su, M. J. Sherony, H. Hu, J. E. Chung, and Dimitri A. Antoniadis, Fellow, "Optimization of series resistance in Sub-0.2 μm SOI MOSFET's", IEE Electron Device Letters, Vol. 15, No. 9, p. 363, 1994.
- [5] M. S. Bae, H. H. Ji, H. J. Lee, S. Y. Oh, J. G. Yun, B. F. Huang, J. Suk Wang, and H. D. Lee, "Dependence on dopant of Ni-silicide for nano CMOS device", The Institute of Electronics Engineers of Korea, Vol. 40, No. 11 p. 803, 2003.
- [6] L. R. Sheng, L. S. hung, and J. W. Mayer, "Redistribution of dopant arsenic during silicide formation", J. Appl. Phys., Vol. 58, No. 4, p. 1505, 1985.
- [7] K. Goto, "A comparative study of leakage mechanism of Co and Ni-silicide processes", IEEE 36th Reliability Phy., p. 363, 1998.
- [8] C. C. Wang, C. J. Lin, and M. C. Chen, "Formation of NiSi-silicided p+n shallow junctions using implant-through-silicide and low-temperature furnace annealing", Journal of the Electrochemical Society, Vol. 150, No. 9, p. G557, 2003.