

## MEMS 공정을 이용한 32 x 32 실리콘 캔틸레버 어레이 제작 및 특성 평가

### Fabrication and Characterization of 32 × 32 Silicon Cantilever Array using MEMS Process

김영식<sup>1</sup>, 나기열<sup>1</sup>, 신윤수<sup>1</sup>, 박근형<sup>1</sup>, 김영석<sup>1,a</sup>

(Young-Sik Kim<sup>1</sup>, Kee-Yeol Na<sup>1</sup>, Yoon-Soo Shin<sup>1</sup>, Keun-Hyung Park<sup>1</sup>, and Yeong-Seuk Kim<sup>1,a</sup>)

#### Abstract

This paper reports the fabrication and characterization of 32 × 32 thermal cantilever array for nano-scaled memory device applications. The 32 × 32 thermal cantilever array with integrated tip heater has been fabricated with micro-electro-mechanical systems(MEMS) technology on silicon on insulator(SOI) wafer using 9 photo masking steps. All of single-level cantilevers(1,024 bits) have a p-n junction diode in order to eliminate any electrical cross-talk between adjacent cantilevers. Nonlinear electrical characteristic of fabricated thermal cantilever shows its own thermal heating mechanism. In addition, n-channel high-voltage MOSFET device is integrated on a wafer for embedding driver circuitry.

**Key Words** : AFM, MEMS, Nano-scaled memory, SPM, Thermal probe array

#### 1. 서 론

AFM(atomic force microscopy) 기술은 물체 표면의 이미지를 관찰하는 목적으로 개발되었으나, 최근에는 이 기술을 응용하여 나노 스케일급의 차세대 메모리 디바이스에 응용하는 연구들이 진행되어 왔다[1-3]. 이와 같은 메모리 장치들은 실리콘 재질로 구성된 캔틸레버 구조물과 그 구조물상에 형성된 팁을 구현함으로써 가능하다. 실리콘 재질의 캔틸레버는 고농도 n-형 도핑영역으로 구성되며, 저농도 n-형으로 도핑된 영역으로 구분된다. 저농도 도핑된 영역은 상대적으로 높은 전기적 저항 성질을 보이면서 동시에 히터 영역으로 동작하고, 이 부분에 팁을 형성한다. 실리콘 캔틸레버

의 양단에 전기적 바이어스를 인가하면 히터 영역의 자체 저항에 의해 캔틸레버의 온도가 저농도 도핑된 영역에서만 국부적으로 증가한다. 이러한 구조의 캔틸레버를 저장매체로 사용하는 전도성 폴리머 층과 얇은 비전도성 폴리머 층이 순차적으로 도포된 표면에 물리적으로 접촉시키면서 캔틸레버 양단에 전기적인 바이어스를 인가한다. 이때 캔틸레버의 히터영역이 가열되어 비전도성 폴리머 층을 녹여 표식을 형성하게 된다. 비전도성 폴리머 층이 국지적으로 녹아서 생긴 표식은 비트 단위의 데이터가 된다. 이때 형성된 표식으로 형성된 면적이 작으면 작을수록 메모리의 집적도를 증가시킬 수 있다. 따라서 표식을 형성하는 팁은 가능한 날카로운 구조를 가져야 한다. 데이터의 읽기 동작은 저장매체의 표면에 형성된 표식의 유무에 따라 캔틸레버와 저장매체의 전도성 폴리머 층 사이에 흐르는 전류의 차이를 전기적으로 센싱(sensing)함으로써 데이터를 읽는다. 소거 동작은 쓰기 과정에서 표식이 형성된 비전도성 폴리머 층을 리플로우(reflow)하여 표식을 제거함으로써 이루어진다.

1. 충북대학교 반도체공학과

(충북 청주시 흥덕구 개신동 12)

a. Corresponding Author : kimys@cbu.ac.kr

접수일자 : 2006. 7. 28

1차 심사 : 2006. 8. 9

심사완료 : 2006. 9. 8

국내에서도 이와 같은 AFM 기술을 기반으로 하는 메모리 저장장치에 대한 연구가 진행 중이며, 최근 들어 5 × 5 열-캔틸레버 어레이를 구현한 연구 결과가 보고되었다[4,5]. 이러한 AFM 기술을 기반으로 하는 메모리 저장장치의 집적도와 쓰기 및 읽기 속도는 캔틸레버 어레이 용량이 증가함에 따라 기하급수적으로 증가 한다. 즉, 캔틸레버 어레이 용량이 5 col. × 5 row. 인 경우 캔틸레버의 개수는 25 개이므로 25 비트의 표식을 저장매체 위에 동시에 형성할 수 있다. 그러나 캔틸레버의 개수가 32 col. × 32 row 로 증가하면 총 1,024 비트의 표식을 저장매체 위에 동시에 형성할 수 있다. 따라서 메모리 동작의 중요한 특성인 쓰기 및 읽기 속도가 현저히 증가할 수 있는 것이다.

이상과 같이 본 논문에서는 차세대 나노-스케일급 메모리 동작이 가능한 32 × 32 캔틸레버 어레이를 설계하고, MEMS(micro-electro-mechanical systems) 공정을 이용하여 실리콘 SOI(silicon-on-insulator) 웨이퍼 상에 구현하였다. 또한 제작된 캔틸레버 어레이를 전기적으로 구동하기 위해서는 드라이버 회로가 필요하다. 본 논문에서는 드라이버 회로의 설계를 위해 필요한 MOSFET (metal oxide semiconductor field effect transistor) 소자를 동일한 웨이퍼에서 구현하였다. 캔틸레버 어레이와 캔틸레버 어레이를 구동하기 위한 MOSFET 소자를 한 웨이퍼 상에서 구현한 시도는 아직까지 보고된 예가 없었으며, 본 논문을 통하여 캔틸레버 어레이와 트랜지스터 소자를 이용한 구동 회로의 집적화를 시도하였다.

## 2. 캔틸레버 어레이 설계 및 제작

### 2.1 단위 캔틸레버 설계

그림 1은 본 논문에서 설계된 단위 캔틸레버의 구조와 물리적 크기를 보여주고 있다. 설계된 단위 캔틸레버는 크게 저농도 도핑된 히터 영역과 히터 영역의 중앙에 위치한 실리콘 팁 영역, 고농도 도핑된 캔틸레버 영역, 어레이 동작시 전기적인 간섭(cross-talk)을 방지하기 위한 p-n 접합 다이오드 영역 그리고 금속층과의 연결을 위한 콘택 영역으로 구성되어 있다. 캔틸레버는 열적-물리적으로 저장매체의 표면에 표식을 형성할 수 있도록 설계되어야 한다. 즉, 쓰기와 지우기 과정은 캔틸레버와 저장매체가 직접 접촉하는 동작이다. 이와 같은 메모리 동작을 고려하여 본 논문에서 설계된 캔틸레버는 접촉 모드의 물리적인 특성을 갖도록 설계

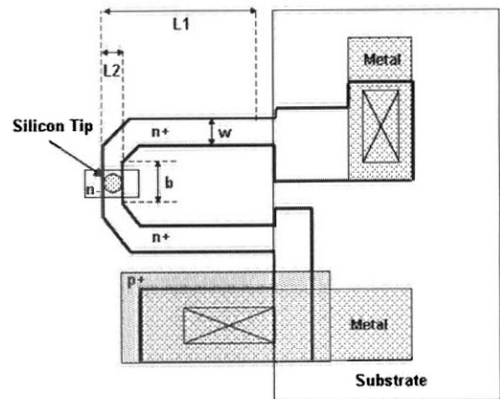


그림 1. 단위 캔틸레버 레이아웃.

Fig. 1. Layout of unit cantilever.

하였다. 접촉 모드 캔틸레버 설계 및 제작에 있어서 중요한 물리적 변수들은 힘 상수(force constant ; K) 와 공진주파수(resonant frequency ;  $F_R$ )이다. 본 논문에서 설계한 캔틸레버는  $L1 = 75.0 \mu\text{m}$ ,  $L2 = 8.0 \mu\text{m}$ ,  $W = 10.0 \mu\text{m}$ ,  $b = 18.0 \mu\text{m}$ 이며, 힘 상수와 공진주파수는 최종적인 실리콘 캔틸레버의 두께를  $1.0 \mu\text{m}$ 로 고려하여 각각  $1.53 \text{ N/m}$ ,  $221.81 \text{ kHz}$ 로 접촉 모드 캔틸레버의 조건에 적합하게 설계하였다[6].

### 2.2 캔틸레버 어레이 설계

그림 2는 전체 32 × 32 캔틸레버 어레이의 전기적 등가회로를 보여주고 있다. 1,024 비트를 어레이 구성하는 단위 캔틸레버에서 저농도로 도핑된 히터영역은 저항으로 등가화 할 수 있다. 어레이 내에서 인접한 캔틸레버와의 바이어스 인가시 전기적 간섭을 방지하도록 1,024 캔틸레버 마다 각각 p-n 접합 다이오드를 내장하였다. 캔틸레버 어레이 내에 정류성 다이오드가 내장되지 않았을 시에는 선택된 행(row)과 열(column)을 동시에 공유하고 있는 인접한 캔틸레버를 통하여 원하지 않는 과도한 누설전류가 발생한다. 하나의 캔틸레버에서 과도한 누설전류가 발생하면 원하지 않는 비트들을 쓰거나 지우는 비트 불량(bit failure) 현상이 발생할 수 있다. 이와 같은 누설전류를 방지하기 위해서는 단위 캔틸레버 마다 각각 별도의 다이오드를 내장하여야 한다. 어레이 동작에서 선택된(selected) 캔틸레버와 직접 연결된 다이오드는 순방향 바이어스로 인가되어 전류를 도통시키게 되

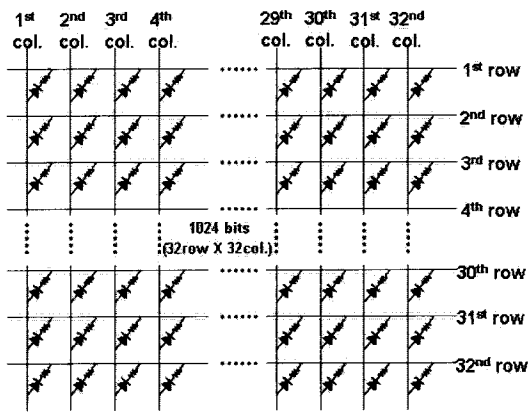


그림 2. 저항과 다이오드로 구성된 32 × 32 캔틸레버 어레이의 전기적 등가회로.

Fig. 2. Electrical equivalent circuit of 32 × 32 cantilever array with resistor and diode.

고, 선택되지 않은(unselected) 캔틸레버와 직접 연결된 다이오드는 역방향 바이어스가 인가되어 전류를 차단하게 된다. 이러한 정류 특성을 이용하여 선택된 캔틸레버에만 전기적인 바이어스를 인가할 수 있게 된다.

### 2.3 n-채널 MOSFET 소자 설계

최종적으로 32 × 32 캔틸레버 어레이 에서 원하는 행과 열에만 선택적으로 바이어스를 인가하기 위해서는 별도의 구동회로가 추가적으로 필요하다. 현재까지 보고된 문헌상으로는 캔틸레버 어레이와 구동회로를 동시에 구현하고자 시도했던 사례는 없었다. 본 논문에서는 캔틸레버 어레이와 이를 구동하는 회로를 내장할 수 있도록 하기 위하여, 캔틸레버 어레이를 제작하는 웨이퍼 상의 일부분에 단위 n-채널 MOSFET 소자를 제작하여 특성을 확인할 수 있도록 시도 하였다. 본 논문에서는 설계한 소자는 n-채널 MOSFET이다. 본 소자는 소스와 드레인이 게이트에 자기정렬(self-aligned)하지 않는 구조이고, MOSFET 소자의 게이트는 폴리실리콘을 적용한다. N-채널 소자의 구현을 위하여 기판 영역을 형성하기 위해서 별도의 p-형 우물 영역을 형성하기 위한 공정이 추가된다. 공정상의 편의성을 위해서 별도의 소자격리 공정을 추가하지 않고, 캔틸레버와 팁을 형성하는 건식각 공정을 그대로 이용하여 메사(mesa) 에칭 방법으로 소자들 사이를 격리하는 것으로 설계하였다. 한편, SOI 기판상에 형성되는 MOSFET 소자이므로 부

유 기판(floating body)에 따른 킹크 효과(kink effect)와 같은 비정상적인 전기적인 현상들을 방지하기 위해서 MOSFET 소자의 p-형 기판을 전기적으로 연결하였다. 이때, MOSFET 소자의 p-형 기판에서 발생하는 접촉저항을 줄이기 위해서 사용하는 도핑은 캔틸레버 어레이 내부에 존재하는 다이오드의 p-형 도핑 공정을 그대로 이용하여 불필요한 공정 스텝을 줄였다.

### 2.4 제작 공정

32 × 32 캔틸레버 어레이와 단위 n-채널 MOSFET 소자를 제작하기 위해서는 bonded SOI 웨이퍼를 사용하였다. 제작에 사용된 SOI 웨이퍼의 상층 실리콘 층은 n-형, (100), 비저항은 0.05 ~ 0.1 Ω-cm, 두께는 5.0 μm 이다. 또한, 상층 실리콘 층과 하부의 기판 웨이퍼 사이의 매몰 산화막(buried oxide)의 두께는 3.0 μm 이다.

SOI 웨이퍼로 진행된 캔틸레버 어레이 와 n-채널 MOSFET의 공정 순서는 그림 3과 같다. 우선 SOI 웨이퍼에 3000 Å 두께의 열산화막을 성장하고, 캔틸레버 영역을 정의하는 포토 공정을 진행한 후 BOE(buffer oxide etchant)를 이용한 식각으로 산화막을 식각한다. 감광막을 제거한 후 패터닝된 산화막을 식각 마스크로 이용하여 상층 실리콘을 RIE(reactive ion etch)방법을 이용하여 그림 3(a)과 같이 이방성 건식각을 진행한다. 이방성 건식각 진행 후 MOSFET 소자가 위치하는 영역의 기판에 p-형 우물을 형성하기 위해 그림 3(b)과 같은 공정을 진행하였다. P-형 우물 형성 공정은 포토공정과 고에너지 이온주입 방법으로 진행하였다. 높은 에너지로 이온 주입을 하기 때문에 감광막과 산화막 모두를 이온주입 마스크 레이어로 사용하여 이온 주입 공정을 진행하였다. P-형 우물 이온주입 조건은 붕소(boron), 200 KeV,  $1.0 \times 10^{13} / \text{cm}^2$  이었다. 그림 3(c) ~ 그림 3(e)는 캔틸레버 위에 팁을 형성하기 위해 진행한 공정들을 순서대로 보여주고 있다. 실리콘 팁을 형성하기 위해서 초기에 성장한 산화막을 포토 공정으로 정의하고 BOE를 이용한 습식각(wet etch) 공정을 진행하였다. 메모리 동작과정에서 수평 해상력과 메모리의 집적도를 높이기 위해 팁의 끝부분을 예리하게 만들어야만 한다. 따라서 팁을 형성하는 식각 과정은 공정의 균일도를 높이기 위하여 습식각 방법을 이용하지 않고, RIE 공정을 두 번에 걸쳐 진행하였다. 일반적으로 RIE 공정에서는 압력을 높일수록 등방성 식각 특성이 증가하고, 파워를 높일수록 이방성 식각 특성이 증가한다. 이 중에서 최적의 식각

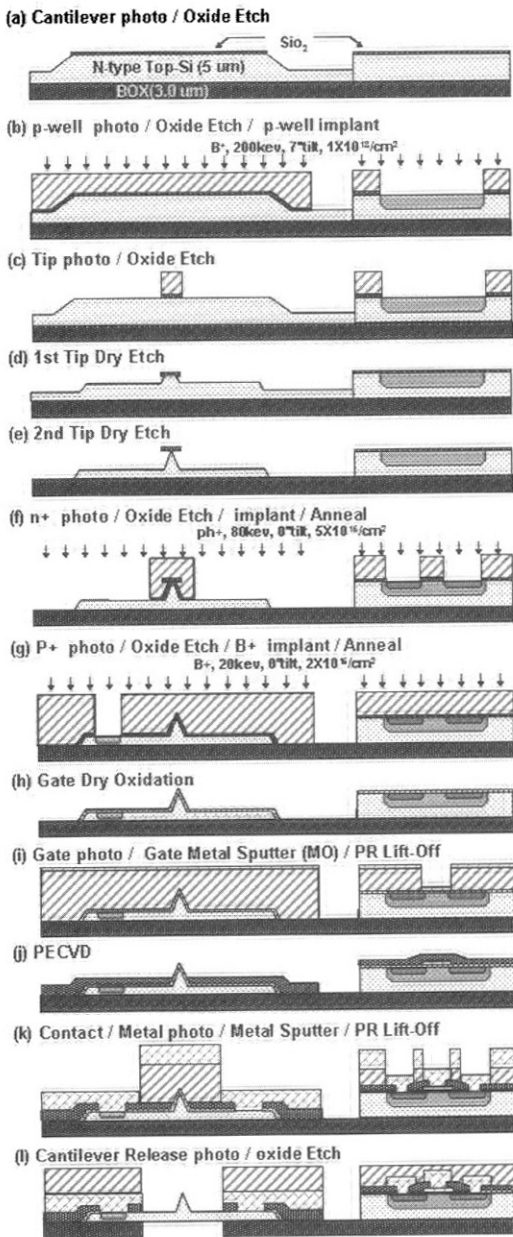


그림 3. 캔틸레버 어레이 및 n-채널 MOSFET 제작 공정 순서.

Fig. 3. Process flow of cantilever array and n-channel MOSFET.

공정 조건을 형성하기 위하여 압력을 조정하는 방식으로 2단계에 걸친 건식각 공정을 진행하였다.

RIE 공정은 SF<sub>6</sub>와 O<sub>2</sub>의 혼합 가스를 40 : 4의 비율을 유지하였고, RF 파워는 50 Watt 이었다. 1단계 RIE 공정에서는 등방성 식각을 증가시키기 위하여 압력을 60 mTorr로 진행하였고, 2단계 RIE 공정에서는 이방성 식각을 증가시키기 위해 압력 조건을 20 mTorr로 진행하였다. 식각 시간은 식각 단계별로 각각 6분씩 진행하였다. 실리콘 캔틸레버와 팁 영역을 형성한 후 캔틸레버 상의 히터 영역을 형성하기 위하여, 그림 3(f)과 같이 히터 영역을 제외한 캔틸레버의 나머지 영역과 n-채널 MOSFET의 소스와 드레인 영역에 고농도 n-형 도핑을 진행하였다. 고농도 n-형 이온 주입 조건은 인(Ph<sup>+</sup>), 80 KeV, 5 × 10<sup>15</sup> /cm<sup>2</sup> 이었다. 그리고 캔틸레버 어레이 상에 다이오드와 n-채널 MOSFET의 기판 콘택을 형성하기 위해서 붕소를 이온주입 하여 고농도 p-형 영역을 형성하기 위해 그림 3(g)와 같은 공정을 진행하였다. 이때 이온 주입 공정 조건은 붕소(B<sup>+</sup>), 20 KeV, 2 × 10<sup>15</sup> /cm<sup>2</sup> 이었다. 그림 3(h) 와 (i)는 n-채널 MOSFET 소자의 게이트 산화막과 금속 콘택 영역을 형성하기 위해 진행된 공정들이다. 캔틸레버와 팁의 형성이 완료된후 후속 공정으로 n-채널 MOSFET 소자의 게이트 산화막 공정을 진행하였다. 게이트 산화막은 O<sub>2</sub> 가스를 이용한 건식 산화 공정으로 진행되었으며, 산화막의 특성을 개선하기 위해 산화 공정과 동일한 온도에서 N<sub>2</sub> 가스를 이용하여 20분간 어닐링 공정을 진행하였다. 엘립소메터(ellipsometer)를 이용하여 측정된 게이트 산화막의 두께는 600 Å 이었다. 후속 공정으로 게이트 전극을 형성하였다. MOSFET 소자의 게이트 전극은 몰리브덴(Mo) 금속으로 형성되었으며, 게이트 전극의 두께는 3000 Å 이었다. 그림 3(j)와 (k)는 캔틸레버의 금속 공정 단계를 보여주고 있다. 우선, 층간 절연물로서 1.0 μm 두께의 PECVD(plasma enhanced chemical vapour deposition) 산화막을 증착하였다. 게이트 물질을 금속을 이용하였으므로 PECVD 산화막을 층간절연물로 사용하였다. 층간 절연물 증착후 콘택 포토 공정을 진행하였으며, BOE를 이용한 습식각으로 콘택 홀을 형성하였다. 콘택 형성 공정 진행후 2.0 μm 두께의 알루미늄(Al)을 리프트 오프 방식을 이용하여 형성하였다. 마지막으로 캔틸레버 어레이 구조물을 기판으로부터 분리하기 위해서 캔틸레버 릴리즈(cantilever release) 포토를 진행하고 매몰 산화막을 BOE를 이용하여 식각하였다.

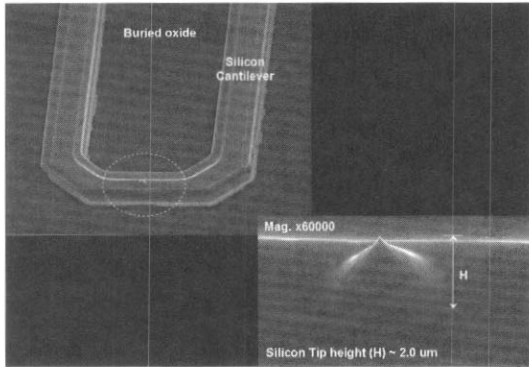
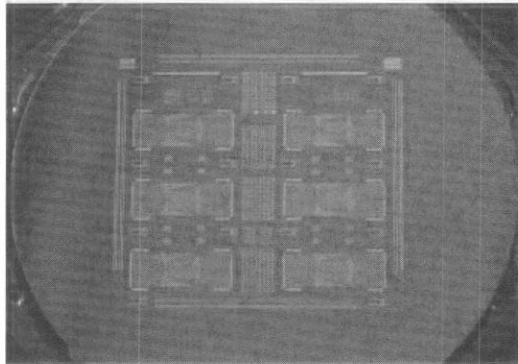
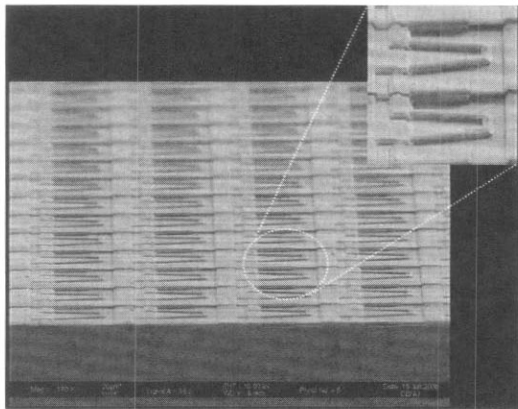


그림 4. 실리콘 팁 형성 후 전자현미경 사진.  
Fig. 4. SEM micrograph after silicon tip formation.



(a)



(b)

그림 5. (a) 제작된 웨이퍼 사진 및 (b) 캔틸레버 어레이 확대 전자 현미경 사진.  
Fig. 5. (a) Fabricated wafer image and (b) SEM micrograph of 32 × 32 cantilever array.

그림 4 은 캔틸레버 상에 형성된 실리콘 팁을 확대한 전자현미경 사진이다. 그림에서 보여주듯이 형성된 실리콘 팁의 높이는 약 2.0  $\mu\text{m}$  이고, 실리콘 팁 하부의 폭은 약 3.0  $\mu\text{m}$  이었다. 캔틸레버 영역과 캔틸레버 영역의 상부에 날카로운 실리콘 팁이 형성된 것을 확인할 수 있다.

그림 5(a)는 전체 MEMS 공정을 거쳐 완성된 32 × 32 캔틸레버 어레이와 단위소자를 내장한 웨이퍼의 사진이다. 사진에서 볼 수 있듯이 웨이퍼 상에 6개의 32 × 32 캔틸레버 어레이 패턴과 MOSFET 소자 패턴 및 기타 테스트 패턴들이 형성되어 있다. 그림 5(b)는 웨이퍼 상에 형성된 캔틸레버 어레이를 확대한 전자현미경 사진이다.

### 3. 측정 결과

제작된 단위 캔틸레버를 가지고 전기적 특성을 측정하기 위하여 Agilent 4156A를 이용하였다. 측정에 사용된 단위 캔틸레버는 SEM 사진 분석을 통해  $L_1 = 75.0 \mu\text{m}$ ,  $L_2 = 6.0 \mu\text{m}$ ,  $W = 8.0 \mu\text{m}$ ,  $b = 18.0 \mu\text{m}$ , 두께 1  $\mu\text{m}$ 의 값을 가지고 힘 상수와 공진주파수는 각각 1.228 N/m, 219.13 kHz라는 것을 예상할 수 있다.

그림 6은 캔틸레버의 양단에 전류를 인가하였을 때 캔틸레버 양단에 걸리는 전압을 측정한 데이터이다. 그림 6을 보면 인가전압이 23 V까지 증가함

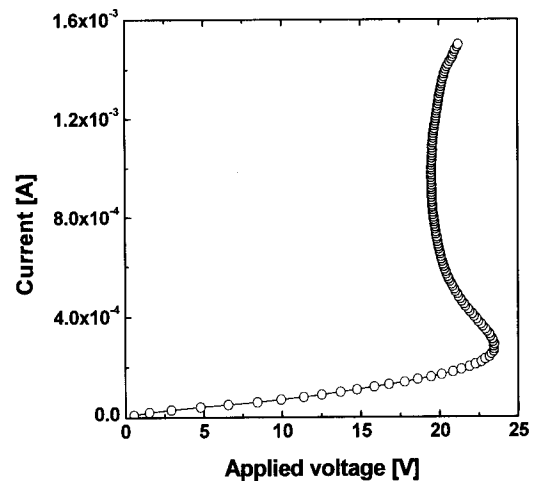


그림 6. 단위 캔틸레버의 전류-전압 특성.  
Fig. 6. Current-voltage characteristics of unit cantilever.

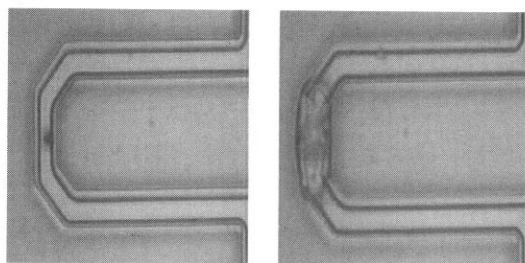


그림 7. (a) 바이어스 인가 전 (b) 바이어스 인가 후 캔틸레버 표면에 도포된 감광막의 변화.  
Fig. 7. (a) PR coated unit cantilever (a) before and (b) after bias.

에 따라 전류가 조금씩 증가하는 것을 확인할 수 있다. 이 구간은 수 mW의 전력이 인가된 상황이며 음자 산란(phonon scattering)이 일어나 온도의 함수인 음자 산란 이동도(phonon-scattering mobility)가 감소하여 캔틸레버의 히터영역이 가열되는 구간이다[2,7]. 한편, 인가전압을 23 V 이상으로 증가시키면 열적 항복현상이 일어난다. 이러한 열적 항복 현상이 일어나는 원인은 실리콘 격자의 온도 증가에 의해 발생된 다수의 열적 캐리어들이 전류 성분에 기여하기 때문이다. 이때 히터 영역에서 생성된 다수의 열적 캐리어들로 인해 순간적으로 전압이 감소하는 현상이 나타난다. 메모리 동작 과정에 쓰기 동작 전압은 열적 항복현상이 일어나기 직전의 구간으로 본 논문에서 제시하는 캔틸레버의 쓰기 동작 전압은 23 V 일 때가 적당하다고 볼 수 있다. 참고적으로 캔틸레버 어레이에 삽입된 다이오드의 항복전압은 약 42 V로 측정되었으며, 다이오드의 항복전압은 캔틸레버가 동작하는 전압 구간보다 높으므로 역방향 바이어스에 의한 어레이 동작은 정상적임을 알 수 있다.

그림 7은 캔틸레버 어레이가 쓰기 동작을 제대로 하는지를 알아보기 위해 단위 캔틸레버 상에 감광막을 6  $\mu\text{m}$  도포한 후 0 V에서 23 V까지 전압을 증가시키면서 감광막 표면의 변화를 관찰한 결과이다. 그림 9(b)에서 보는 바와 같이 캔틸레버에 쓰기 동작에 적절한 전압을 인가하면 히터 영역의 온도가 증가하고, 표면에 도포된 감광막이 히터 영역의 온도에 의해 변형되는 것을 확인할 수 있다. 이를 통해 본 논문에서 제작된 실리콘 캔틸레버는 폴리머 층에 열적으로 표식을 새길 수 있는 충분한 온도를 가질 수 있음을 알 수 있다.

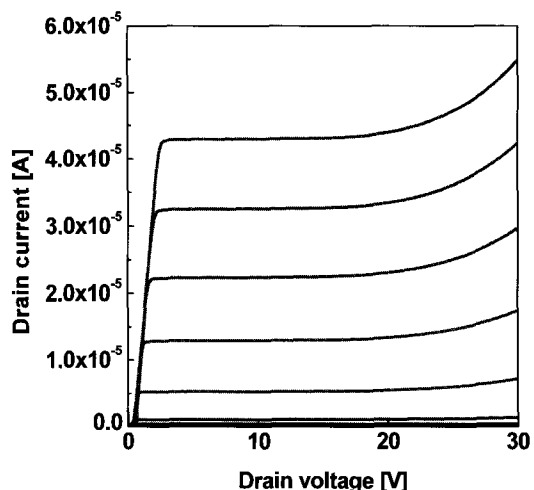


그림 8. 제작된 n-채널 MOSFET 소자의  $I_{DS}-V_{DS}$  특성.

Fig. 8.  $I_{DS}-V_{DS}$  characteristics of the fabricated n-channel MOSFET.

그림 8은 캔틸레버 어레이와 동일한 웨이퍼 상에서 구현된 n-채널 MOSFET 소자의 DC 특성이 다. 제작된 n-채널 MOSFET 소자의 채널 폭과 길이는 각각 200  $\mu\text{m}$  와 10  $\mu\text{m}$  이다. 소자의 측정 시 게이트 전압은 0.0 V에서 3.0 V 까지 0.5 V의 간격으로 인가하였다. 최대  $g_m$ (transconductance)에서 드레인 전류의 외삽법으로 추출된 n-채널 소자의 문턱전압은 약 0.9 V 이었다. 또한 게이트를 접지한 상태에서 소자의 드레인 항복전압은 약 40 V로 측정되었다. 앞 절에서 언급한 동일한 웨이퍼 상에 제작된 단위 캔틸레버의 전류-전압 특성으로부터 캔틸레버 양단간의 전압이 23 V일 때 200  $\mu\text{A}$  정도의 전류가 흐름을 확인했었다. 캔틸레버 구동회로를 설계할 경우에는 n-채널 MOSFET 소자의 채널 길이와 폭의 비율을 조정함으로써 캔틸레버에 인가되는 전류의 양을 임의로 조절할 수 있다.

#### 4. 결론

나노 스케일급 메모리 소자의 구현을 위한 32  $\times$  32 캔틸레버 어레이와 캔틸레버 구동을 위한 n-채널 MOSFET 소자를 설계하고, MEMS 공정을 이용하여 SOI 기판 상에서 제작한 후 전기적 특성들

을 평가하였다. 제작된 캔틸레버 어레이는 접촉 모드 동작에 적합하도록 힘 상수와 공진주파수를 고려하여 설계되었고, 어레이 동작 중에 발생할 수 있는 전기적인 상호 교란을 막기 위해 어레이 내부에 p-n 접합 다이오드를 내장하였다. 캔틸레버의 제작을 위해 총 9개의 포토 공정을 이용하여 진행하였다. 단위 캔틸레버의 전류-전압 특성으로부터 선형 영역 그리고 비선형 항복 영역으로 구분되는 고유한 전기적인 특성과 약 23 V의 전압 부근에서 캔틸레버의 열적 항복 현상이 발생함을 확인하였다. 한편, 최종적으로 캔틸레버 어레이를 동작시키는데 필요한 구동 회로의 구현을 위해 내장한 n-채널 MOSFET 소자를 동일한 웨이퍼 상에 구현하였다. 제작된 n-채널 MOSFET 소자는 문턱전압과 항복전압은 각각 약 0.9 V 그리고 약 40 V 로서, 캔틸레버 구동에 적합한 MOSFET 소자이었다.

### 감사의 글

본 논문은 한국과학재단 특정기초연구 과제번호 : R01-2003-000-11690-0(2005) 지원으로 수행되었음.

### 참고 문헌

- [1] H. J. Mamin, R. P. Ried, B. D. Terris, and D. Rugar, "High-density data storage based on the atomic force microscope", Proc. IEEE, Vol. 87, No. 6, p. 102, 1999.
- [2] P. Vettiger, M. Despont, U. Drechsler, U. Durig, W. Haberle, M. I. Lutwyche, H. E. Rothuizen, R. Stutz, R. Widmer, and G. K. Binnig, "The 'Millipede' - More than one thousand tips for future AFM data storage", IBM J. Res. Develop., Vol. 44, No. 3, p. 323, 2000.
- [3] W. P. King, T. W. Kenny, K. E. Goodson, G. L. W. Cross, M. Despont, U. T. Durig, H. Rothuizen, G. Binnig, and P. Vettiger, "Design of atomic force microscope cantilevers for combined thermomechanical writing and thermal reading in array operation", J. of Microelectromechanical Systems, Vol. 11, No. 6, p. 765, 2002.
- [4] 조주현, 나기열, 박근형, 이재봉, 김영석, "SOI 기판을 이용한 thermal probe 어레이 제작 및 특성 평가", 전기전자재료학회논문지, 18권, 11호, p. 990, 2005.
- [5] 조주현, 나기열, 박근형, 김영석, "Fabrication & characterization of thermal cantilever array using MEMS technology for nano-scaled memory devices", 제13회 한국반도체학술대회, p. 265, 2006.
- [6] M. Tortones, "Cantilevers and tips for atomic force microscopy", IEEE Engineering in Medicine and Biology Magazine, Vol. 16, No. 2, p. 28, 1997.
- [7] U. Durig, "Fundamentals of micromechanical thermoelectric sensors", J. of Applied Physics, Vol. 98, Iss. 4, p. 44906-1, 2005.