

표면 도핑 기법을 사용한 SOI RESURF LDMOSFET의 항복전압 및 온-저항 특성분석

Breakdown Voltage and On-resistance Characteristics of the Surface Doped SOI RESURF LDMOSFET

김형우^{1,a}, 김상철¹, 방 옥¹, 강인호¹, 김기현¹, 김남균¹

(Hyoung-Woo Kim^{1,a}, Sang-Cheol Kim¹, Wook Bahng¹, In-Ho Kang¹, Ki-Hyun Kim¹, and Nam-Kyun Kim¹)

Abstract

In this paper, breakdown voltage and on-resistance characteristics of the surface doped SOI RESURF LDMOSFET were investigated as a function of surface doping depth. In order to verify the variation of characteristics, two-dimensional device simulation was carried out. Breakdown voltage of the proposed structure is varied from 73 ~ 138 V while surface doping depth varied from 0.5 ~ 2.0 μm . And on-resistance is decreased from 0.18 ~ 0.143 Ω/cm^2 while surface doping depth increased from 0.5 ~ 2.0 μm . Maximum breakdown voltage of the proposed structure is 138 V at 1.5 μm depth of surface doping, yielding 22.1 % of improvement of breakdown voltage in comparison with that of the conventional SOI RESURF LDMOSFET with same epi-layer concentration. On-resistance characteristic is also improved about 21.7 %.

Key Words : LDMOSFET, Breakdown voltage, On-resistance, Surface-doped

1. 서론

SOI(Silicon-on-insulator) RESURF(REDuced SURface Field) LDMOSFET(Lateral Double-diffused MOSFET)은 누설전류가 낮고, 절연격리가 쉽기 때문에 고전압 IC에 많이 사용되어 왔다. 또한 VLSI 공정에 적합하고 다른 소자들과의 집적이 용이하다는 장점도 가지고 있다[1-3].

하지만 IGBT나 thyristor와 같은 전도성 변조 소자와 비교해 높은 온-저항을 가지는 LDMOSFET는 상대적으로 전력 소비가 크다는 단점을 가지고 있다. 온-저항이 증가하게 되면 고전압 IC에서의 전력 소비 또한 증가하게 되어, 소자 내에서의 발열의 원인이 되며, 소자의 특성을 저하시키게 된

다. 따라서 전력소비를 줄이고 소자의 성능을 향상시키기 위해서는 온-저항을 감소시켜야 한다[4,5].

높은 항복전압을 얻기 위해서는 낮은 에피 영역 농도와 두꺼운 에피 두께를 사용하여야 하며 에피 영역의 길이도 길어야 한다. 하지만 온-저항이 커지게 되는 문제점이 있다. 이외에 RESURF 구조의 경우 에피 영역의 농도와 두께에 민감하다는 문제점이 있어 항복전압과 온-저항간의 trade-off를 만족시키면서 동시에 최적화된 에피 영역 설계가 필요하다. 또한 RESURF 구조의 경우 높은 항복전압을 얻기 위해 에피 영역의 농도를 낮출 경우 공핍층의 빠른 확산으로 인해 오히려 항복전압이 낮아질 수도 있다는 문제점이 있다. 1998년도에 발표되었던 cool-MOS의 경우에도 두 가지 특성을 모두 향상시킬 수는 있었으나 다중 에피층의 사용에 따른 공정상의 어려움이 있다[6].

기존의 RESURF 구조 혹은 cool-MOSFET가 가지는 이러한 문제점들을 해결하고자 표면 도핑 기법을 적용한 SOI RESURF MOSFET가 제안되

1. 한국전기연구원 전력반도체연구그룹
(경남 창원시 성주동 28-1)

a. Corresponding Author : hwkim@keri.re.kr

접수일자 : 2005. 10. 25

1차 심사 : 2005. 11. 9

심사완료 : 2005. 11. 15

었다[7]. 표면 도핑된 구조를 사용할 경우 높게 도핑된 표면 영역이 표면에서의 공핍층 영역의 빠른 확산을 막아주기 때문에 이로 인한 항복전압 저하가 일어나지 않게 된다는 장점이 있다. 또한 높은 농도를 가지는 표면 영역으로 인해 전체적인 소자의 비저항이 낮아지게 되어 온-저항 특성이 개선되기 때문에 항복전압 및 온-저항간의 trade-off 관계가 개선되는 이점이 있다. 그러나, 표면 도핑된 구조의 경우에도 기존의 RESURF 구조와 마찬가지로 표면 도핑된 영역의 깊이에 따라 항복전압이 급격히 변할 수 있다는 문제점이 있다. 따라서 표면 도핑 농도의 깊이에 따른 소자 특성의 변화에 대한 연구가 필요하다.

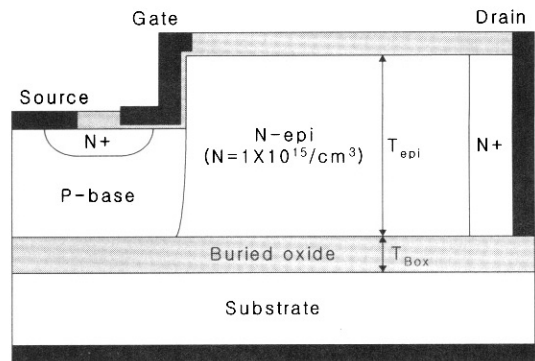
본 논문에서는 표면 도핑된 영역의 깊이에 따른 항복전압 및 온-저항 특성의 변화에 대해 연구하였다. 표면 도핑 영역의 깊이를 $0.5 \sim 2.0 \mu\text{m}$ 까지 변화시켰을 때의 항복전압과 온-저항의 변화를 표면 및 벌크 영역의 전계, 전류 경로의 변화 분석등을 통해 연구하였다. 소자의 특성은 2차원 공정 시뮬레이터인 ATHENA와 소자 시뮬레이터인 ATLAS를 사용하여 검증하였으며[8], 분석 결과 표면 도핑 영역의 깊이에 따라 항복전압은 22.1 %, 온-저항은 21.7 %까지 개선된 특성을 얻을 수 있었다.

2. 본 론

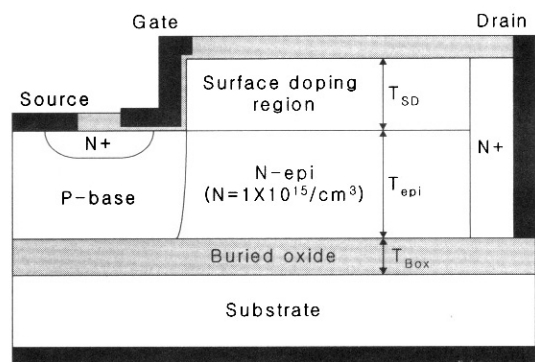
그림 1에 기존의 SOI RESURF LDMOSFET와 표면 도핑된 SOI RESURF LDMOSFET 소자의 구조도를 나타내었으며, 시뮬레이션에 사용된 소자의 구조 변수는 표 1에 나타내었다. 시뮬레이션에 사용된 구조는 mesa 구조로 온-저항 특성을 향상시키기 위해 recessed gate 및 trench drain을 채용하였다. 또한 높은 항복전압을 가질 수 있도록 하기 위해 표면 도핑된 구조의 경우 에피층의 표면을 $0.5 \sim 2.0 \mu\text{m}$ 까지 $2 \times 10^{15} \text{ cm}^{-3}$ 농도를 가지도록 도핑하였다. 두가지 구조 모두 에피층의 길이는 $20 \mu\text{m}$, 두께는 $5 \mu\text{m}$ 로 고정하였으며, 농도는 $1 \times 10^{15} \text{ cm}^{-3}$ 으로 고정하였다. 배물 산화막의 두께는 $1 \mu\text{m}$ 를 사용하였다.

2.1 온-저항 특성 분석

그림 2에 $V_G=10 \text{ V}$, $V_D=0.1 \text{ V}$ 인가한 경우에 표면 도핑 깊이에 따른 통전 전류 밀도 분포도를 나타내었다. 기존 구조의 경우 에피층 전체에 걸쳐 10 A/cm^2 의 밀도의 통전 전류가 고르게 흐르고 있는 반면 표면 도핑을 한 구조에서는 표



(a) 기존의 SOI RESURF LDMOSFET



(b) 표면 도핑된 SOI RESURF LDMOSFET

그림 1. 소자 구조도 : (a) 기존의 SOI RESURF LDMOSFET, (b) 표면 도핑된 SOI RESURF LDMOSFET.

Fig. 1. Cross-sectional view of the device structure : (a) conventional SOI RESURF LDMOSFET, (b) surface-doped SOI RESURF LDMOSFET.

표 1. 시뮬레이션에 사용된 소자 구조 변수.

Table 1. Device parameters used in simulation.

	기존 구조	표면 도핑된 구조
N_{SD}	X	$2 \times 10^{15} \text{ cm}^{-3}$
N_{epi}	$1 \times 10^{15} \text{ cm}^{-3}$	$1 \times 10^{15} \text{ cm}^{-3}$
L_{epi}	$20 \mu\text{m}$	$20 \mu\text{m}$
T_{SD}	X	$0.5 \sim 2.0 \mu\text{m}$
T_{epi}	$5 \mu\text{m}$	$4.5 \sim 3.0 \mu\text{m}$ (표면 도핑 깊이에 따라 변화)
T_{Box}	$1 \mu\text{m}$	$1 \mu\text{m}$

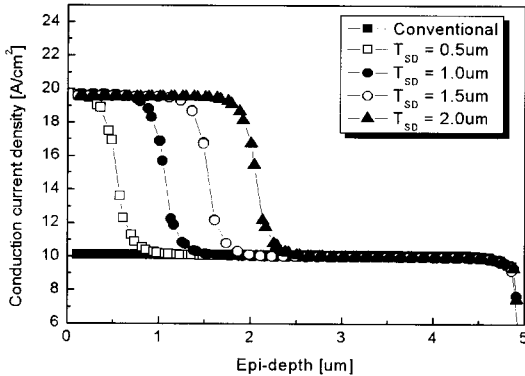


그림 2. 표면 도핑 깊이에 따른 통전 전류 밀도 분포도.

Fig. 2. Conduction current density distribution as a function of surface doping depth.

면 도핑 깊이에 따라 20 A/cm²의 밀도를 가진 통전 전류가 표면 도핑 영역에 흐르고 있음을 알 수 있다. 표면 도핑이 되지 않은 영역에서는 도핑 농도가 기존 구조와 동일하기 때문에 기존 구조와 같은 10 A/cm² 밀도의 통전 전류가 흐르고 있다.

표면 도핑된 구조의 경우 표면 도핑 영역의 농도가 $2 \times 10^{15} \text{cm}^{-3}$ 으로 에피 영역의 농도에 비해 2배 가량 높기 때문에 이 부분으로 에피 영역에 비해 2배가량 많은 양의 전류가 흐르게 되며, 따라서 소자 전체에 흐르는 전류의 양이 기존의 소자에 비해 표면 농도의 깊이에 따라 10 ~ 40 %가량 많이 흐르게 된다. 그림에서 에피 및 표면 도핑된 영역 전체에 걸쳐 전류 밀도가 일정한 것은 recessed gate 및 trench drain 구조를 사용했기 때문에, 특히 trench drain 구조는 에피 영역 전체에 전류가 고르게 흐를 수 있도록 해주는 구조이다.

그림 3에 표면 도핑된 구조와 기존의 구조에 대해 $V_G = 10 \text{ V}$, $V_D = 0.1 \text{ V}$ 를 인가한 경우에 표면 도핑 깊이에 따른 온-저항 특성을 나타내었다.

그림에서 점선으로 표시된 부분은 기존 구조에서의 온-저항값으로 에피층의 농도가 $1 \times 10^{15} \text{cm}^{-3}$ 인 경우에 0.1979 Ω/cm²의 값을 가진다. 표면 도핑된 구조에서 표면 도핑 영역의 깊이에 따른 온-저항값은 0.1806 ~ 0.1432 Ω/cm²로 도핑 깊이가 깊어질수록 낮은 값을 가지며, 표면 도핑 농도의 깊이가 2.0 μm 경우 기존 구조에서의 0.1979 Ω/cm²에 비해 최대 27.4 %까지 감소된다. 하지만 최대 항복

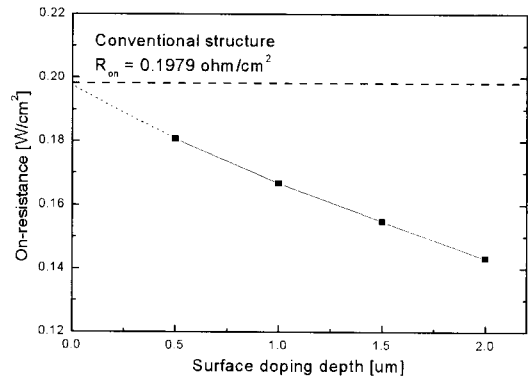


그림 3. 표면 도핑 깊이에 따른 온-저항 특성.

Fig. 3. On-resistance characteristic as a function of surface-doping depth.

전압을 얻을 수 있는 표면 도핑 깊이인 1.5 μm 깊이를 사용한 경우에는 0.155 Ω/cm²로 약 21.7 % 감소된 값을 나타낸다. 표면 도핑된 구조의 경우 그림 2에서와 같이 표면으로 에피 영역에 비해 2배 정도 많은 양의 전류가 흐르고 있으며, 도핑 영역의 높은 농도로 인해 낮은 온-저항을 가지게 된다.

2.2 항복전압 특성 분석

그림 4는 표면 도핑된 깊이에 따른 항복전압의 변화를 나타낸 것이다. 점선으로 표시된 부분은 표면 도핑이 되지 않은 기존 구조를 갖는 소자의 항복전압을 나타낸 것으로서, 에피층의 농도는 $1 \times 10^{15} \text{cm}^{-3}$ 을 사용하였으며, 소자의 구조는 제안된 소자와 동일하게 trench gate 및 drain 구조를 사용하였다. 그림에서 기존 구조를 갖는 소자의 항복전압이 113 V인데 비해 제안된 소자의 항복전압은 표면 도핑된 깊이가 0.5 ~ 1.5 μm 이내에서는 깊이가 깊어질수록 증가하여 최대 138 V의 항복전압을 얻을 수 있으나 2.0 μm의 도핑 깊이를 가지는 경우에는 73 V까지 급격하게 감소함을 볼 수 있다. 일반적으로 RESURF 구조를 가지는 소자의 경우 항복전압은 에피층의 농도와 두께에 의존하게 되며, 에피층의 농도가 낮은 경우에는 공핍층의 급격한 확산에 의한 drain 영역 부근으로의 전계 집중에 의해 항복전압이 낮아지게 되는 문제점을 가지고 있다. 표면 도핑된 소자의 경우 에피 영역에 비해 표면의 농도를 높여줌으로써 표면에서의 급격한 공핍층 확산을 막아 항복전압을 높게 된다. 하지만 표면 도핑의 깊이가 지나치게 깊어질

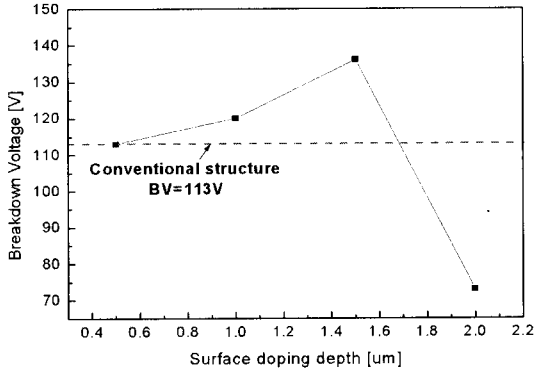


그림 4. 표면 도핑 깊이에 따른 항복전압 특성.
Fig. 4. Breakdown voltage characteristic as a function of surface doping depth.

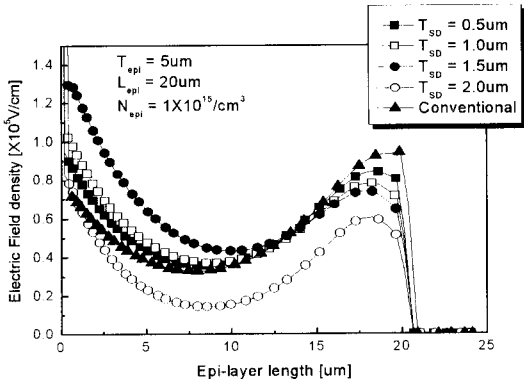
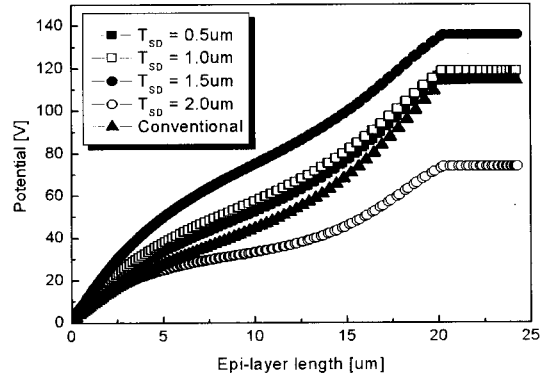


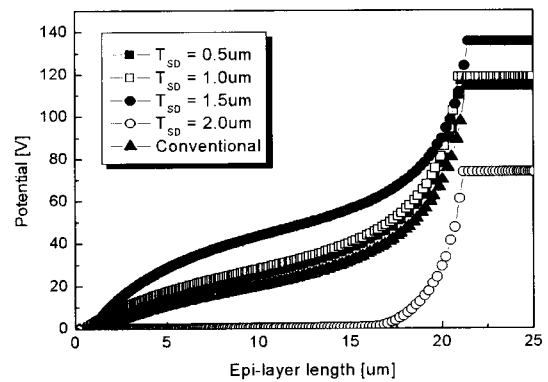
그림 5. 표면 전계 분포도.
Fig. 5. Surface electric field distribution.

경우 gate 영역 부근에서의 전계가 급격히 증가하여 낮은 항복전압을 가지게 된다.

그림 5에 항복이 일어난 경우 소자의 표면에서의 전계 분포를 나타내었다. 그림에서 볼 수 있듯이 표면 도핑된 영역의 깊이가 깊어질수록 gate 영역 부근에서의 전계값이 증가하는 것을 볼 수 있다. 표면 도핑 영역의 깊이가 2.0 um인 경우의 전계값이 가장 크지 않음에도 항복전압이 낮아진 것은 RESURF 구조만의 특성 때문인데 일반적으로 RESURF 구조의 경우 에피층의 농도와 두께를 적절하게 조절하여 전계의 최고값이 gate 및 drain의 양쪽 끝에서 모두 나타나도록 함으로써 높은 항복전압을 얻고자 하는 구조이다. 하지만 표면 도핑의 깊이가 지나치게 깊어지게 될 경우 drain 끝



(a) 표면 전위 분포도



(b) 에피층-매몰 산화막 계면에서의 전위 분포

그림 6. 전위 분포도 : (a) 표면, (b) 에피층-매몰 산화막 계면.

Fig. 6. Potential distribution : (a) at surface, (b) at interface between epi-layer and buried oxide.

단에서의 전계값이 증가하는 정도에 비해 gate 부근에서의 전계값의 증가 정도가 더 크기 때문에 항복이 빨리 일어나게 되어 전체적인 전계의 값이 낮게 나타나게 된다. 그림 4에서 보면 1.5 um 깊이의 표면 도핑 농도를 가지는 경우의 항복전압이 138 V로 가장 높게 나타나는데 그림 5(a)의 전계 분포도에서 보면 gate 및 drain 양쪽에서 나타난 전계의 임계값이 비슷한 것을 알 수 있으며 전체적인 전계의 크기도 가장 큼을 알 수 있으며 이로 인해 1.5 um 깊이로 표면 도핑 하였을 때의 항복전압이 가장 크게 나타난다.

그림 6은 표면 도핑의 깊이에 따른 표면 및 에피층과 매몰 산화막 계면에서의 전위 분포도를 나타낸 것이다. 1.5 um 깊이로 표면을 도핑한 경우

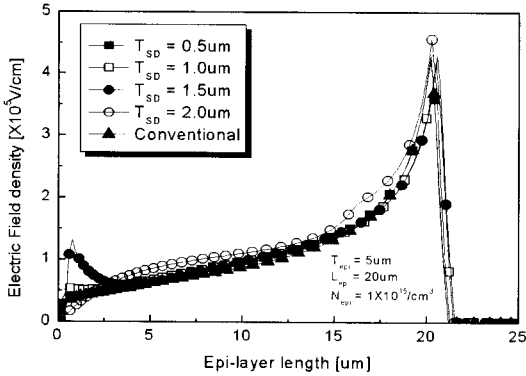


그림 7. 에피층-매몰 산화막 경계면에서의 전계 분포도.

Fig. 7. Electric field distribution at interface between epi-layer and buried oxide.

의 항복전압이 가장 높게 나타났는데 그림 6(a)에서도 볼 수 있듯이 이때의 전위 분포도가 가장 완만한 형태를 이루고 있음을 알 수 있다.

다른 깊이로 표면 도핑을 한 경우에도 기존의 구조에 비해서는 전위의 변화가 급격하지 않아 항복전압이 증가하고 있음을 알 수 있으나 drain 영역 부근에서는 전위의 변화가 급격하게 일어나고 있어 1.5 μm 깊이로 표면 도핑을 한 경우에 비해서는 낮은 항복전압을 가지게 된다. 에피층과 매몰 산화막 경계면에서의 전위 분포도에서도 역시 1.5 μm 깊이로 표면 도핑을 한 경우의 전위 분포가 가장 완만한 형태를 이루고 있음을 알 수 있다.

그림 7은 항복이 일어났을 때의 소자 내에서의 전계 분포도를 나타낸 것이다. 표면 도핑을 한 구조와 기존의 구조 모두 에피층과 매몰 산화막의 경계면에서 가장 높은 전계 값을 나타내고 있음을 알 수 있다. 주어진 에피층 농도에서의 parallel-plane 임계 전계 임계값이 0.3 MV/cm 임을 감안할 때 표면 도핑을 한 구조와 기존의 구조 모두 0.4 MV/cm 이상의 전계값을 나타내므로 항복이 일어난 상태임을 알 수 있으며, 에피층과 매몰 산화막의 경계면에서 항복이 일어났음을 알 수 있다.

3. 결론

표면 도핑된 SOI RESURF LDMOSFET에 대해 표면 도핑 깊이에 따른 온-저항 및 항복전압 특성의 변화를 분석하였다. 표면 도핑 구조의 경우에

에피층의 농도와 두께에 민감한 기존의 RESURF 구조의 문제점을 해결할 수 있다는 이점이 있으며, 온-저항과 항복전압간의 trade-off 관계 또한 개선시킬 수 있다는 장점이 있다. 표면 도핑의 깊이를 0.5 ~ 2.0 μm 까지 변화시켜가며 시뮬레이션을 수행한 결과 온-저항은 0.18 ~ 0.143 Ω/cm^2 까지 변화하였다. 항복전압의 경우에도 73 ~ 138 V까지 변화하였으며, 표면 도핑 농도의 깊이를 1.5 μm 로 한 경우에 138 V로 가장 높은 항복전압이 나타났다.

온-저항의 경우 표면 도핑 영역의 깊이가 1.5 μm 일 때 표면 도핑을 하지 않은 경우에 비해 약 21.7 %까지 향상되었다. 온-저항의 경우 표면 도핑 영역의 깊이가 깊을수록 낮아져 2.0 μm 의 깊이로 표면 도핑을 한 경우 0.143 Ω/cm^2 로 가장 낮은 값을 보이지만 항복전압과 온-저항간의 trade-off 관계를 고려할 때 1.5 μm 의 깊이로 표면 도핑을 한 경우가 항복전압 및 온-저항 모두 가장 좋은 값을 나타낸다.

감사의 글

본 연구는 핵심연구기술개발사업 연구비로 지원된 "PFC IC 및 모듈기술 개발"과제에 의한 것입니다.

참고 문헌

- [1] B. Murari, F. Bertotti, and G. A. Vignola, "Smart Power ICs", New York, Springs, 1995.
- [2] 박훈수, 이영기, "공정 및 설계 변수가 고전압 LDMOSFET의 전기적 특성에 미치는 영향", 전기전자재료학회논문지, 17권, 9호, p. 911, 2004.
- [3] 문승현, 강이구, 성만영, 김상식, "스마트 파워 IC를 위한 P+ Driver 구조의 횡형 트랜지 IGBT", 전기전자재료학회논문지, 14권, 7호, p. 546, 2001.
- [4] 강이구, 성만영, "레지엄 특성의 개선과 고속 스위칭 특성을 위한 다중 게이트 구조의 새로운 LIGBT", 전기전자재료학회논문지, 13권, 5호, p. 371, 2000.
- [5] V. Parthasarathy, R. Zhu, W. Peterson, M. Zunino, and R. Baird, "A 33 V, 0.25 $m\Omega\text{-mm}^2$, n-channel LDMOS in a 0.65 μm smart power technology for 20-30 V application", Proc.

- 10th ISPSD, p. 61, 1998.
- [6] Y. Kawaguchi, K. Nakamura, A. Yahata, and A. Nakagawa, "Predicted Electrical Characteristics of 4500 V Super Multi-resurf MOSFET", Proc. 11th ISPSD, p. 95, 1999.
- [7] H.-W. Kim, Y.-I. Choi, and S.-K. Chung, "Linearly-graded surface doped SOI LDMOSFET with recessed source", Micro-electronic Engineering, Vol, 51-52, p. 547, 2000.
- [8] Silvaco TCAD Manuals, ATLAS, ATHENA, Silvaco International Co. USA.