

Multi Chip Package의 SRAM을 위한 웨이퍼 Burn-in 방법

Wafer Burn-in Method for SRAM in Multi Chip Package

윤지영¹, 유장우¹, 김후성², 성만영^{1,a}

(Jee-Young Yoon¹, Jang-Woo Ryu¹, Hoo-Sung Kim², and Man Young Sung^{1,a})

Abstract

This paper presents the improved burn-in method for the reliability of SRAM in Multi Chip Package (MCP). Semiconductor reliability is commonly improved by the burn-in process. Reliability problem is very significant in the MCP which includes over two chips in a package because the failure of one SRAM chip has a large influence on the yield and quality of the other chips such as Flash Memory, DRAM, etc. Therefore the quality of SRAM must be guaranteed. To improve the quality of SRAM, we applied the improved wafer level burn-in process using multi cell selection method in addition to the previously used methods and it is found to be effective in detecting particular failures. Finally, with the composition of some kinds of methods, we achieved the high quality of SRAM in MCP.

Key Words : Burn-in, Multi chip package, SRAM, Stress, Reliability

1. 서 론

최근 반도체 기술의 발전으로 전자산업이 급속하게 성장하면서 휴대폰, 디지털 카메라, MP3 플레이어 등의 많은 휴대용 기기가 우리 생활에 전반적으로 널리 사용되고 있다. 휴대용 기기들은 점차 고성능·대용량화되고 있으며 빠르게 변하고 있는 디지털 시장에 대응하기 위해 반도체 기술 분야에서도 고성능의 메모리가 개발되고 있다. 또한 DRAM, SRAM, FLASH 메모리 등 기존의 여러 메모리를 하나의 패키지로 구현한 복합메모리(Fusion Memory)를 사용함으로써 기기의 동작특성을 향상시키고 면적과 제조원가를 감소시킬 수 있다. 이와 더불어 메모리 크기도 기존의 것보다 대용량이 요구됨에 따라 기존 DRAM cell을 사용하면서 SRAM의 인터페이스를 유지하는 고용량 SRAM이 개발되었으며 이를 1-트랜지스터 SRAM이라 한다.

SRAM의 한 개의 트랜지스터의 결함이 전체 복합 메모리 또는 Multi Chip Package (MCP)의 다른 DRAM, FLASH 메모리의 불량률에 초래하며 따라서 전반적인 복합메모리의 신뢰성을 감소시킨다 [1]. 메모리 칩의 신뢰성은 칩 내부에 존재할 수 있는 불량을 미리 검출하기 위해 높은 전압이나 높은 온도에서 스트레스를 인가하는 burn-in 과정을 통하여 향상될 수 있으며 고온, 고전압, 장시간의 공정에서도 같은 결과를 보인다[2]. 본 논문에서는 MCP의 1-트랜지스터 SRAM의 신뢰성을 향상시키기 위해 새로운 burn-in 방법을 기존의 방법에 추가된 형태로 제안하였다.

2. 기존 방식에 대한 고찰

메모리 테스트는 보통 그림 1과 같은 순서를 따른다.

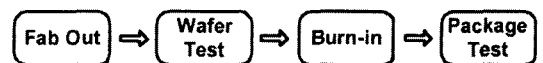


그림 1. 기존 메모리 칩의 테스트 순서.

Fig. 1. Test sequence of memory products.

1. 고려대학교 전기공학과
(서울시 성북구 안암동 5가 1)
2. 삼성전자(주) 메모리사업부
a. Corresponding Author : semicad@korea.ac.kr
접수일자 : 2005. 1. 28
1차 심사 : 2005. 4. 11
심사완료 : 2005. 5. 9

그림 1에서 볼 수 있듯이 메모리 테스트는 웨이퍼 테스트 (Wafer Test)와 패키지 테스트 (Package Test)로 나뉘며 신뢰성 및 품질 향상을 위해 두 테스트 사이에 burn-in 과정을 진행한다. burn-in은 100 °C 이상의 고온과 칩의 동작 전압보다 높은 전압을 인가하여 엄격한 조건에서 진행된다[3].

최근 메모리 칩이 여러 종류의 메모리들을 포함함에 따라 조립 공정 전의 웨이퍼 레벨 (wafer level)에서의 품질이 매우 중요해졌다. 따라서 대부분의 반도체 제조회사들은 웨이퍼 레벨에서도 burn-in 공정을 수행한다[4].

2.1 기존의 웨이퍼 레벨 Burn-in 방식

대부분의 메모리 칩에 쓰이는 웨이퍼 레벨 burn-in 과정에서는 각각의 워드 라인 (word line; W/L)과 비트 라인 (bit line; B/L)들이 서로 다른 전기적 레벨을 가지며 인접한 라인에 효과적으로 스트레스를 인가한다. 현재 주로 쓰이는 웨이퍼 레벨 burn-in 방식은 다음과 같다.

- (i) True/Complement 방식
 - W/L 0, 3 과 W/L 1, 2의 전기적 레벨이 다름.
- (ii) Even/Odd 방식
 - W/L 0, 2 와 W/L 1, 3 의 전기적 레벨이 다름.
- (iii) 센싱 방식
 - 셀 데이터를 읽을 때 B/L의 전기적 레벨이 다름.

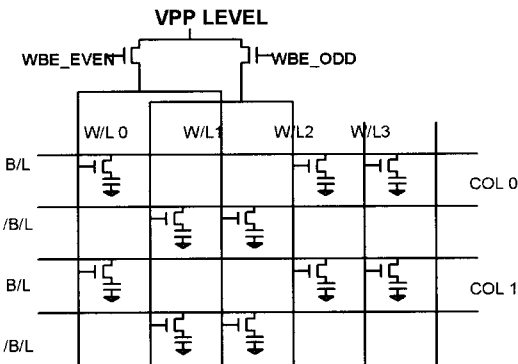


그림 2. 기존 Burn-in 방식에 따른 개념도.
Fig. 2. The typical schematic structure for burn-in.

위의 방법을 이용하여 테스트 모드를 위해 메모리 셀에 외부 신호와 함께 전기적 스트레스를 가할 수 있다. 그림 2는 기존의 burn-in 방식으로 스트레스를 인가하도록 구현된 제어 신호와 메모리 어레이를 나타낸 그림이다. 인가된 스트레스는 게이트 산화막 결함, 과도 접합 누설, 층간 절연막 파괴 등을 야기한다. 또 모든 워드 라인들이 선택된 후 비트 라인 센싱을 통하여 비트 라인과 비트 라인 사이, 셀과 셀 사이에 스트레스를 가할 수 있다.

2.2 웨이퍼 레벨과 패키지 레벨 Burn-in 비교

MCP에서는 한 칩에 발생한 불량률이 전체 칩들의 불량률을 야기하므로 웨이퍼 레벨의 특성의 신뢰성이 매우 중요하다. 그림 3과 그림 4는 패키지 레벨 burn-in의 경우 불량률의 결과를 보여준다. 대표적인 불량에는 셀 블럭(cell block)에서의 비트 라인 불량, 싱글 비트 (single bit) 불량, 센싱 회로에서의 비트 라인 불량률이 있다.

웨이퍼 레벨과 패키지 레벨의 불량률의 특성을 비교하기 위해 기존의 웨이퍼 burn-in 방법을 이용하여 표 1과 같은 조건으로 특성평가를 진행하였다. 측정 결과 그림 5에서와 같이 burn-in 시작 후 약 10분 후부터 불량률이 더 이상 발생하지 않아 불량발생률이 0에 가까운 값을 보였다. 표 2를 그림 3과 비교했을 때 불량 종류에 따른 불량발생률에서 웨이퍼 레벨 burn-in과 패키지 레벨 burn-in이 차이를 보였으며 센싱 회로의 비트 라인의 불량발생률에서 가장 큰 차이를 보였다.

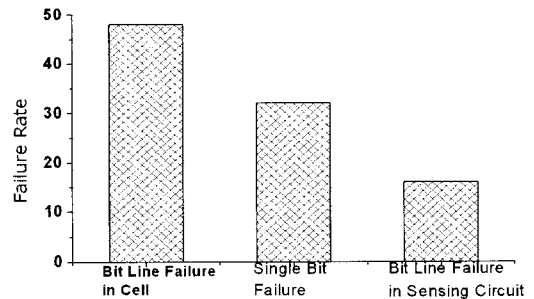


그림 3. 패키지 레벨 burn-in 후 불량률의 종류와 불량발생률.

Fig. 3. The types of failures after the package level burn-in.

웨이퍼 레벨의 불량은 공정 중에 발생한 불순물 입자로 인한 결함에 의한 것으로 예측된다. 불순물 입자는 칩 면적의 가장 많은 부분을 차지하는 셀 블록에 큰 영향을 끼치며, 그로 인해 싱글 비트 불량률이 패키지 레벨에서보다 더 높게 나타나는 것으로 추정된다.

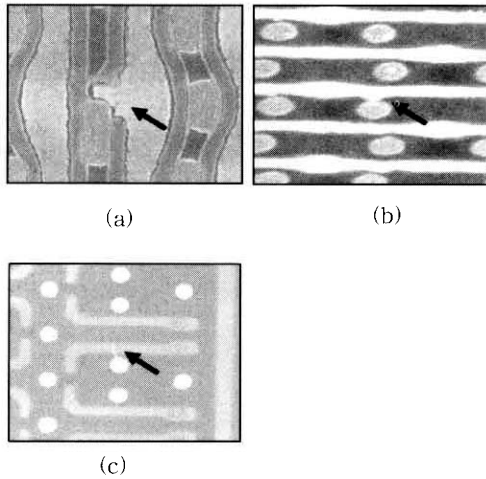


그림 4. 패키지 레벨 burn-in 후 불량.
 (a) 셀 블록에서의 비트 라인 불량.
 (b) 싱글 비트 불량.
 (c) 센싱 회로에서의 비트 라인 불량.
Fig. 4. Physical appearance of failures after the package level burn-in.
 (a) bit line failure in cell block.
 (b) single bit failure.
 (c) bit line failure in sensing circuit.

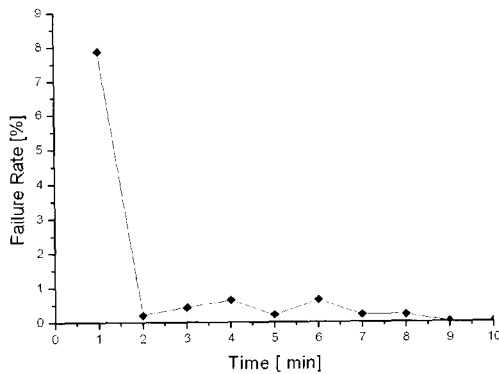


그림 5. 웨이퍼 레벨 burn-in의 스트레스 시간에 따른 불량발생률.
Fig. 5. The wafer level burn-in bath-tub curve.

표 1. 기존 웨이퍼 레벨 burn-in 조건.

Table 1. The conventional wafer level burn-in conditions.

Burn-in 방식	Activation Cell	주기	전압레벨
True/Comp.	Half Word Line	1 ms	5.7 V
Even/Odd	Half Word Line	1 ms	5.7 V
센싱	Half Word Line	5 ms	5.7 V

표 2. 기존 방법의 웨이퍼 레벨 burn-in 후의 불량 발생률.

Table 2. The types of failures after the conventional wafer level burn-in.

불량 종류	발생률
싱글 비트 불량	46 %
셀 블록에서의 비트 라인 불량	41 %
워드 라인 불량	5 %
센싱 회로에서의 비트 라인 불량	2 %

3. 개선된 Wafer burn-in 방법

MCP의 SRAM의 특성을 향상시키기 위해 웨이퍼 레벨 burn-in 방법이 이용된다. 그러나 검출되지 않는 불량이 존재하며 이는 그림 4(c)에서와 같이 주로 데이터 라인 (data line)과 셀 블록 사이의 센싱 회로에 위치한다. 기존의 wafer burn-in 방법은 셀 블록에만 전기적 스트레스를 가하므로 셀 블록 밖의 회로에서 발생하는 불량을 검출하기 위해서는 이 부분에 전기적 스트레스를 주는 방법이 필요하다.

센싱 라인에 전기적 스트레스를 인가하기 위해서 쓰기 (write)와 읽기 (read) 동작에 데이터 라인을 이용한다. 기존 burn-in 방법은 보통 burn-in 과정만을 위해 인가되는 외부 신호에 이용되지만 데이터 라인을 이용하면 테스트 시간이 증가하는 문제가 있다. 따라서 테스트 시간 증가의 문제점을 해결하기 위해 동시에 멀티 셀 블록을 선택하는 방법을 이용하고 전기적으로 다른 값을 가지는 데이터가 주어진다. 즉, 쓰기와 읽기 동작 동안 멀티 셀이 선택되고 데이터가 센싱 라인으로 전달된다.

그림 6에 표시된 (1)은 센싱 회로의 비트 라인 불량이 발생하는 위치이며 데이터가 셀 블록으로부터 출력 신호 라인으로 전달되는 곳이다. CSL은

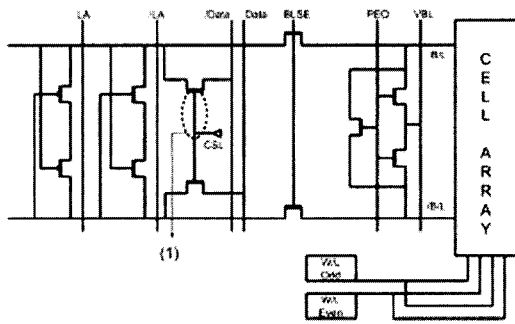


그림 6. 센싱 회로에서 비트 라인 불량 (1)의 위치.

Fig. 6. The location of the bit line failure in the sensing circuit [defect point : (1)].

표 3. 개선된 웨이퍼 레벨 burn-in 방법을 이용했을 때의 검출 불량수.

Table 3. The number of detected failures after the improved wafer level burn-in.

방식	총 검출 불량수	싱글비트 불량	비트라인 불량	센싱회로 불량
True/Comp	35	19	16	0
Even/Odd	27	13	14	0
센싱	47	26	21	0
제안한 방식	40	24	13	3

셀 데이터 라인과 출력 신호 라인 사이의 게이트 신호를 말하며, 그림 4(c)에서 볼 수 있듯이 CSL과 센싱 라인 콘택트 사이에서 불량이 발생한다. 층간 절연막이 파괴되어 텅스텐 (Tungsten) 콘택트와 폴리실리콘 게이트 층이 만난 것을 볼 수 있다.

개선된 방법에서는 새로운 회로가 추가되며 이는 면적이 작아서 전체 칩의 면적에 영향을 거의 주지 않는다. 개선된 방법을 이용한 웨이퍼 레벨 burn-in의 결과를 표 3에 나타내었다. 워드 라인과 비트 라인만을 이용하는 기존의 방법과 달리 개선된 방법으로 센싱 라인의 불량을 검출할 수 있었다.

4. 결론

본 논문에서는 기존의 웨이퍼 레벨 burn-in 방법으로 검출할 수 없었던 불량률을 검출하기 위해

데이터 라인을 이용하여 셀 블록에 스트레스를 인가하는 방안을 적용하였으며, burn-in 공정 시 발생하는 테스트 시간 증가 문제를 해결하기 위해 멀티 셀을 선택하는 방법을 제안하였다. 이 방법의 적용으로 패키지 테스트 단계에서 많이 발생하는 센싱 회로에서의 불량률을 웨이퍼 테스트 단계에서 검출함으로써 MCP 등의 응용에서 신뢰성 개선에 크게 기여할 것으로 예상된다.

감사의 글

본 연구는 산업자원부 “표준화기술개발사업 (10016900)”의 지원에 의해 수행되었음.

참고 문헌

- [1] 이동희, 최복길, 성만영, 문병무, 성영권, "MOS 커패시터 절연막의 수명예측법에 관한 연구", 전기전자재료학회논문지, 12권, 7호, p. 611, 1999.
- [2] H. H. Huston, M. H. Wood, and V. M. De Palma, "Burn-in effectiveness - theory and measurement", International Reliability Physics Symposium, p. 271, 1991.
- [3] J. H. Lee, M. J. Jang, K. S. Yoon, Y. J. Park, H. G. Yoon, and H. D. Lee, "Characterization of stress-induced p+/n junction leakage failure for sub-0.15 um CMOS technology", J. Korean Phys. Soc., Vol. 40, No. 4, p. 610, 2002.
- [4] D. Hodges, W. Adamjee, C. Corona, J. M. Czarnowski, R. Eklund, J. Guajardo, and A. Youngblood, "Flip chip MCM-L using known good die", International Conference on Multichip Modules and High Density Packaging, p. 358, 1998.
- [5] K. Nierle and A. Norris, "Methods for Increasing Burn in Efficiency for DRAMs", International Reliability Workshop Final Report, p. 183, 2000.
- [6] A. D. Singh, "On wafer burn-in strategies for MCM die", International Conference and Exhibition Multichip Modules, p. 255, 1994.
- [7] 배지철, 이용재, "분석 조건에 따른 p-MOSFET의 게이트에 유기된 드레인 누설전류의 열화", 전기전자재료학회논문지, 10권, 1호, p. 26, 1997.