

임의 형상의 금속-유전체-금속 전력배분기판에 대한 빠른 임피던스 계산 방법

Fast Computation Algorithm for the Impedance Calculation of Irregular Shaped Metal-dielectric-metal Type Power Distribution Plane

서영석^{1,a}
(Young-Suk Suh^{1,a})

Abstract

This paper presents a method for analyzing irregular shaped power distribution networks. The irregular shaped metal-dielectric-metal plane is split into several piece of rectangular segments to calculate the impedance of the irregular shaped plane. Impedance matrix for each rectangular segments is calculated using the Mobius transform method to reduce the calculation time. Then the segmentation and de-segmentation method is applied to the piece of rectangular segments. Applied to the 6 inch by 5 inch size irregular shaped board, the proposed method shows 10 times faster than the electromagnetic or circuit analysis method.

Key Words : Power integrity, PCB, Simultaneous switching noise

1. 서론

복잡한 디지털 시스템을 구성하기 위해서는 많은 수의 단위 소자들을 상호 유기적으로 연결해야 하는 물리설계과정을 거치게 되는데, 금속-유전체-금속으로 이루어진 다층 평면 기판은 개별적으로 패키징된 전자소자의 신호선 연결과 이들 소자에 전력을 공급하기 위해 반드시 필요한 부품이다.

디지털 시스템을 구성하는 디지털 소자의 동작속도는 점점 빨라지고 있으며 4 GHz대역의 클럭을 가지는 개인용 컴퓨터가 상용화되기에 이르렀다. 이와 같은 디지털 시스템의 고속, 고집적화 추세로 인해, 기판에서 배치 및 소자 사이의 배선, 타이밍(timing), 클럭동작(clocking), 전력배선(power distribution)과 같은 신호의 무결성(signal integrity)에

관한 기술들이 점차 중요해 지고 있다.

고속 디지털 시스템에서 신호의 무결성을 저해하는 요인은 주로 “보드상의 전원 및 그라운드 공급체계상의 잡음”, “신호 전송선로 자체의 잡음”, “신호선과 이웃한 신호선로 사이의 간섭에 의한 잡음”이며 이들 세 가지 요소에 의해서 고속 디지털 시스템의 동작에 대한 신뢰도가 결정된다.

이들 요소 중 “보드상의 전원 및 그라운드 공급체계상의 잡음”을 분석하고 이에 대한 설계를 하기 위해서는 그림 1과 같은 임의형태의 금속-유전체-금속 기판에 대해, 기판위의 임의 두 지점사이의 임피던스를 계산해야한다. 이때 두 지점은 외부전원이 기판위에 전력을 공급하는 지점과 전력을 소비하는 개별소자의 전원단자에 해당된다.

임의형상의 금속-유전체-금속 기판 형태의 전력-접지층을 해석하는 기존의 방법은, 전자장 방정식을 수치해석으로 푸는 방법과[1-3], 기판을 작은 셀로 나누고 각 셀에 대해 등가회로를 만들어서 SPICE와 같은 회로 해석도구로 푸는 방법이 있다[4]. 전자장 수치 해석법은 전력-접지층 전체의 전압 분포를 한꺼번에 계산할 수 있는 장점이 있지

1. 영남대학교 전자정보공학부
(경북 경산시 대동 214-1)

a. Corresponding Author : yssuh@yu.ac.kr

접수일자 : 2005. 3. 6

1차 심사 : 2005. 4. 8

심사완료 : 2005. 4. 14

만 계산시간이 많이 걸리고 기판의 임의 지점에 커패시터와 같은 소자가 붙어 있을 경우 해석이 복잡해지는 단점이 있다. 전력-접지층을 작은 셀 등가회로로 구성된 대규모 회로망으로 모델링하고 SPICE로 해석하는 방법은, 특정 두 지점의 임피던스를 계산할 때 전자장 해석법에 비해 시간이 적게 소요되고 기판에 존재하는 커패시터와 같은 소자를 쉽게 처리할 수 있어서 많이 사용되고 있다[4].

본 논문에서는 전력배분 기판위의 임의의 두 지점 사이의 임피던스를 계산함에 있어서 주어진 전력-접지층을 여러 개의 직사각형으로 분리하고, 각각의 기판에 대해 Mobius변환을 이용하여 임피던스들을 계산하고, 이들 임피던스 값들을 서로 결합시켜서 두 지점사이의 임피던스를 계산하는 새로운 알고리즘을 개발하였다. 제안된 방법을 적용할 때, 기존의 SPICE를 이용한 방법에 비해 계산시간을 대폭 줄일 수 있음을 보였다.

2. 임의형상의 전력/접지층에 대한 임피던스 계산

그림 1에 직사각형 형태가 아닌 임의의 형상을 가지는 전력/접지 기판의 한 가지 예를 보였다. 그림 1(a)는 기판의 전력-접지층의 평면도이고 크기는 대략 가로최대크기(x_m)가 6인치, 세로최대크기(y_m)가 5인치인 임의의 형상의 기판의 평면도를 나타낸 것이다. 그림 1(b)는 기판의 단면도이며 4개의 금속판(S,P,G,S)과 3개의 유전체로 이루어져있다. 그림 1(b)에서 맨 윗층은 소자사이의 신호선 연결을 위한 신호선층(S)이며 두 번째 층은 소자의 전력공급을 위한 전력층(P)이며 세 번째 층은 전력공급을 위한 접지층(G)이고 맨 밑바닥 층은 신호선층(S)이다. 전력층(P)과 접지층(G)사이에는 비유전율 ϵ_r 을 가지고 일정한 두께(h)를 가지는 유전체로 채워져 있다.

기판위의 B지점은 보드위에 장착된 여러 개의 소자에 전력을 공급하기 위한 직류전원장치의 출력이 연결되는 부분이다. 보드위의 모든 소자는 B 지점으로 부터 공급되는 DC전력을 사용하게 된다. 이때 기판위에 장착된 여러 가지의 디지털 칩은 빠른 속도로 클럭동작을 하며 이때 발생하는 노이즈는 기판 전체에 공진을 발생시킬 수 있고 다른 칩에 잡음을 부가할 수 있다. 이러한 잡음을 분석하기 위해 전력/접지층의 전원공급지점(B)과 전력수요지점(A) 사이의 등가2단자 임피던스를 알아야 하며, 적절한 임피던스를 가지도록 보드를 설계하

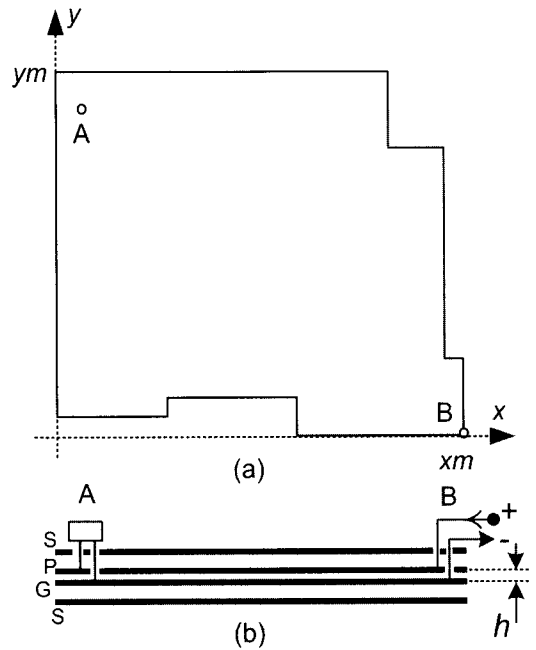


그림 1. 임의의 형상을 가지는 전력/접지 기판의 한 가지 예.

Fig. 1. An example of irregular shaped power/ground plane.

기 위해 임피던스 계산을 반복적으로 계산해야한다. 따라서 원활한 전력/접지층 설계를 위해 계산시간을 줄일 수 있는 임피던스계산 알고리즘은 대단히 중요한 요소이며, 본 논문은 전력/접지층 임피던스계산에 있어서 계산시간을 단축할 수 있는 방법에 관한 것이다.

임의의 형상에 대한 전력-접지층 임피던스를 계산하는 기존의 방법은 미소등가회로를 이용하는 방법과 전자장해석방법이 있다. 전자장해석방법은 그림1과 같은 형상을 전자장해석 도구에 3차원적으로 묘사한 다음 FEM이나 FDTD와 같은 수치해석 방법으로 해석하는 방법이다. 이 방법은 기판의 모든 영역에서의 전자장과 임피던스를 한꺼번에 구할 수 있는 장점이 있지만 계산시간이 많이 걸리는 단점이 있다. 미소등가회로를 이용한 방법은 그림 2와 같이 기판을 작은 영역의 조각으로 나누고 개개의 조각에 대해 인덕터-저항으로 이루어진 직렬성분과 커패시터로 이루어진 병렬성분의 등가회로로 대체하고 SPICE와 같은 CAD도구에 구현한 다음 회로를 해석하는 방법이다.

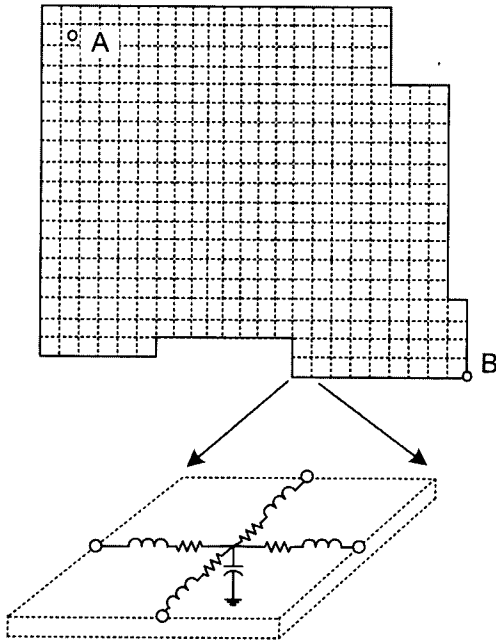


그림 2. 미소영역에 등가회로를 적용한 전력/접지층 회로모델링.

Fig. 2. Equivalent circuit modeling using the distributed micro cell network.

본 논문에서 제안하는 방법은 그림 3과 같이 보드를 분할해서 계산하는 방법이다. 이와 비슷한 방법은 마이크로스트립 안테나 설계를 위해서 처음으로 고안되었다[5,6]. 본 논문에서는 이를 전력-접지층 임피던스를 계산하는 방법에 적용시켰고, 계산시간을 줄이기 위해 분할된 직사각형의 임피던스를 구하는 과정에서 Mobius변환을 적용시켰다. 제안된 방법을 차례대로 설명하면 다음과 같다.

(1) **기판분할**; 직사각형의 기판에 대해서는 기판상의 임의의 두 지점사이의 임피던스를 계산을 위한 해석적인 방정식이 존재한다. 따라서 그림 1과 같은 임의의 형상의 기판을 그림 3과 같이 기판 1, 기판 2, 기판 3, 기판 4, 기판 5의 5개의 부분적인 직사각형의 기판으로 분할하고 해석적인 방정식을 이용해서 임피던스를 계산하고 다시 합성하면 비정형 기판에 대해서도 임피던스를 구할 수 있다. 기판 분할시 되도록 적은 수의 직사각형을 가지도록 분할해야 임피던스 계산을 빠르게 할 수 있다. 분할된 기판은 그림 3과 같이 인접한 기판과 여러 개의 전선으로 연결된 것으로 모델링 할 수 있다.

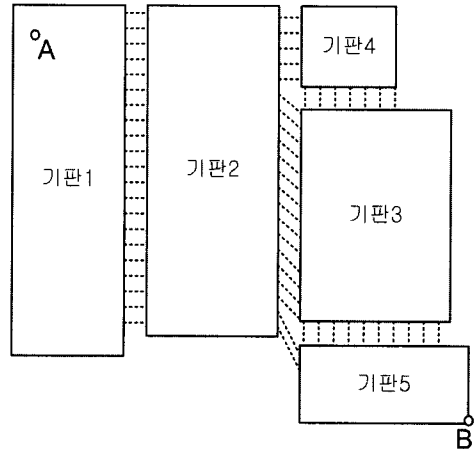


그림 3. 임의형상의 기판을 직사각형의 기판으로 분할.

Fig. 3. Segmentation of irregular shaped board into the rectangular plane.

(2) **단자의 설정**; 직사각형으로 분할된 기판에 설정해야 하는 단자는 두 가지 종류가 있다. 하나는 그림 3 기판 1의 A지점이나 기판 5의 B지점과 같이 계산하려는 임피던스와 관련된 포트이며 나머지 하나는 기판 1과 기판 2사이에 점선으로 연결된 것과 같은 분할된 기판을 서로 연결해 주는 선로에 설정하는 단자이다. 인접한 기판사이에 연결된 선로의 개수는 충분히 많이 설정하여 조밀한 구조를 가지도록 해야 높은 주파수 영역까지 잘 예측될 수 있는 임피던스가 구해진다. 분할된 기판의 선로의 간격은 구하려는 최대 주파수의 한 파장에 비해 충분히 작아야 한다.

(3) **직사각형 기판의 임피던스 계산**; 분할된 직사각형 기판에 설정된 단자의 자기 임피던스와 단자 사이의 상호 임피던스는 다음과 같은 직사각형에 대한 해석적인 방정식을 사용하였다[4].

$$Z_{mn} = j\omega\mu h \sum_{m=0}^M \sum_{n=0}^N \frac{x_{mn}^2}{w_x w_y (k_n^2 + k^2)} \cos\left(\frac{2m\pi x_e}{2w_x}\right) \times \cos\left(\frac{2n\pi y_e}{2w_y}\right) \cos\left(\frac{2m\pi x_a}{2w_x}\right) \cos\left(\frac{2n\pi y_a}{2w_y}\right) \quad (1)$$

여기서 ω 는 $2\pi f$ 인 각속도이며 f 는 주파수이다. h 는 기판의 두께이고, w_x 및 w_y 는 각각 기판의 x 축 방향 및 y 축 방향의 폭이다. x_{mn} 은 m 과 n 에 따른

상수이다. $m=n=0$ 일 때 $x_{mn}=1$ 이며, m 이나 n 둘 중 하나가 0이면 x_{mn} 값은 $\sqrt{2}$ 이고, 둘 다 0 이 아닌 정수이면 x_{mn} 값은 2 이다.

$k_n^2 \equiv (\frac{m\pi}{w_x})^2 + (\frac{n\pi}{w_y})^2$ 로 정의하며, k 는 $\omega\sqrt{\epsilon\mu}$ 로 정의되고, μ 와 ϵ 은 각각 기판 유전체의 투자율과 유전율이다. 위의 2차원 무한급수식은 항의 차수가 증가할수록 특정한 값에 수렴하며, 일정 수준의 정확도를 얻기 위해서 되도록 많은 항을 합해야 하며, 통상 M 과 N 값이 70 넘으면 거의 일정한 값에 도달 한다.

위의 직사각형에 대한 임피던스 계산은 빠른 계산을 위하여 참고문헌[8]에서 개발된 Mobius변환을 이용한 임피던스 계산방법을 적용하였다. 이 방법은 위의 식 (1)의 임피던스를 계산할 때 특정 주파수에서만 계산한 후 Mobius변환, 주파수 영역에서의 근사화, Mobius역변환을 적용시켜 Z_{pq} 를 빠르게 구하는 방법이며, 이때 상용된 Mobius변환과 역변환은 다음식과 같다[8].

$$Z_{pqM} = \frac{Z_{pq} + c}{Z_{pq} - c} \quad (2)$$

$$Z_{pq} = c \frac{1 + Z_{pqM}}{1 - Z_{pqM}} \quad (3)$$

여기서 Z_{pq} 는 직사각형 보드의 p 노드와 q 노드 사이의 임피던스 이며, Z_{pqM} 은 Mobius변환된 임피던스 이다. 위의 식에서 c 는 변환을 위한 상수이며 전체 보드임피던스의 평균값이다. Mobius변환을 이용한 임피던스 계산방법은 기존의 식 (1)만을 사용해서 계산하는 방법에 비해 10배정도 빠른 계산 속도를 보여 준다[8]. 각각의 분할된 기판의 임피던스를 계산할 때 이와 같은 Mobius변환을 이용했다. 그림 4의 기판 1의 경우 단자가 22개이며 기판 2는 41개의 단자를 가지고 있다. 이 경우 22행 22열 및 41행 41열의 임피던스 행렬의 모든 요소 (Z_{mn})의 값을 위와 같은 방법으로 계산하게 된다.

(4) 단자의 종류 설정; 개별 직사각형의 임피던스 행렬이 구해진 후 이들 행렬을 이용해서 결합된 보드의 임피던스를 구해야 한다. 이 경우 두개의 행렬을 한 개의 행렬로 결합시키게 된다. 예를 들면 그림 4의 기판 1과 기판 2를 결합시켜 그림 5의 기판 12를 형성시키게 된다. 이때 기판 1과 2의 단자 중 서로 결합되어 없어지는 단자와 남아 있게 되는 단자를 구분하여야 한다.

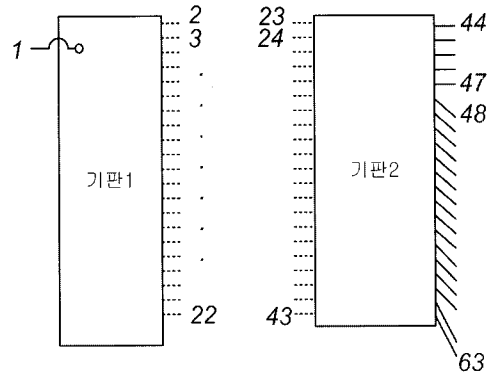


그림 4. 분할된 직사각형 기판에 대한 연결 단자 설정.

Fig. 4. Connection node define for the segmented rectangular plane.

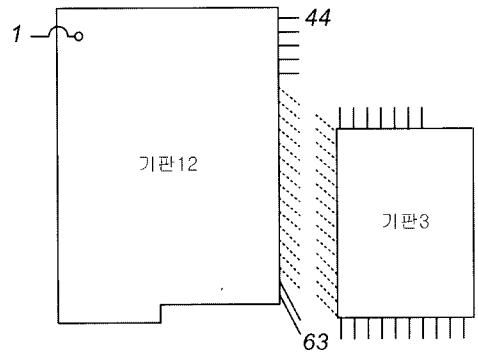


그림 5. 기판 1과 2의 합성 및 기판 3의 단자설정.
Fig. 5. Synthesize of plane 12 and node definition for plane 3.

그림 4의 기판 1에 대해 단자를 두개의 그룹으로 나눈다. 하나는 다른 기판과 결합 후 남아있게 되는 단자이고, 나머지 하나는 다른 기판과 결합된 후 없어지는 단자이다. 예를 들면 1번 단자는 기판 12로 결합된 후에도 남아 있어야 하는 단자이므로 이단자를 절점p그룹이라 하고, 2번~22번 단자는 기판 12로 결합된 후 없어지는 단자이므로 이를 절점q그룹이라 하면, 기판 1에 대해 다음과 같은 임피던스 방정식을 세울 수 있다.

$$\begin{pmatrix} V_p \\ V_q \end{pmatrix} = \begin{bmatrix} Z_{pp} & Z_{pq} \\ Z_{qp} & Z_{qq} \end{bmatrix} \begin{bmatrix} I_p \\ I_q \end{bmatrix} \quad (4)$$

여기서 V_p 및 V_q 는 절점p그룹 및 절점q그룹에 대한 여러 개의 노드에 대한 전압벡터들이다. 예를 들면 V_p 및 V_q 는 다음과 같다.

$$V_p = [V_1]^T \quad (5)$$

$$V_q = [V_2, V_3, V_4, \dots, V_{22}]^T \quad (6)$$

여기서 $V_1 \sim V_{22}$ 는 단자 1~단자 22에 대한 전압이다. p 및 q그룹의 전류들 I_p 및 I_q 도 같은 방법으로 정의할 수 있다. 즉, $I_p = [I_1]$, $I_q = [I_2, I_3, \dots, I_{22}]^T$ 이다.

그림 4의 기판 2에 대해서도 같은 방법으로 행렬을 정의할 수 있다. 그림 4의 기판 2의 단자 중에서 기판 1과 결합하여 없어지는 단자를 절점x그룹이라 하고 (그림 4의 단자 23~단자 43), 없어지지 않고 남아있게 되는 기판 2의 단자를 절점y그룹이라 하면 다음과 같은 행렬식으로 표시할 수 있다.

$$\begin{pmatrix} V_x \\ V_y \end{pmatrix} = \begin{bmatrix} Z_{xx} & Z_{xy} \\ Z_{yx} & Z_{yy} \end{bmatrix} \begin{bmatrix} I_x \\ I_y \end{bmatrix} \quad (7)$$

이 경우 그림 4의 23~43 단자에 대한 전압벡터와 전류벡터가 V_x, I_x 이며 이는 기판 1과 결합되어 기판 12를 형성할 때 없어지는 단자들이다. 그림 4의 단자 44~63에 대한 전압벡터와 전류벡터는 V_y 및 I_y 이다. 즉, $V_x = [V_{23}, \dots, V_{43}]$, $I_x = [I_{23}, \dots, I_{43}]$, $V_y = [V_{44}, \dots, V_{63}]$, $I_y = [I_{44}, \dots, I_{63}]$ 가 된다.

(5) 결합된 보드의 임피던스 행렬 계산; 두개의 기판에 대해 설정된 행렬식을 이용해서 이들 기판이 결합될 때 발생하는 결합된 기판의 행렬식을 구할 수 있다. 그림 4의 기판 1과 기판 2를 결합시키면, 단자 2~22는 단자 23~43과 연결되게 된다. 이렇게 연결되면 전압은 동일하게 되고, 전류는 크기는 같고 부호가 반대가 된다. 즉, $V_q = V_x$ 가 되고 $I_q = -I_x$ 가 되게 된다. 따라서 이러한 조건을 이용하여 식 (4)와 식 (7)의 절점q와 관련된 전압벡터 V_q 및 전류벡터 I_q 와 절점x와 관련된 전압벡터 V_x 및 전류벡터 I_x 를 소거할 수 있다. 소거된 방정식은 그림 5의 기판 12에 대응되는 행렬식이 되며 남은 단자는 p와 y 단자만 남게 되고 단자p 및 y와 관련된 전압전류로 표시되는 행렬식은 다음과 같이 유도된다[6,7].

$$\begin{pmatrix} V_p \\ V_y \end{pmatrix} = Z_{PYI} \begin{bmatrix} I_p \\ I_y \end{bmatrix} \quad (8)$$

여기서 Z_{PYI} 는 다음과 같이 표시되는 행렬이다.

$$Z_{PYI} = \begin{bmatrix} Z_{pp} & Z_{py} \\ Z_{yp} & Z_{yy} \end{bmatrix} = \begin{bmatrix} Z_{pp} & 0 \\ 0 & Z_{yy} \end{bmatrix} + \begin{bmatrix} Z_{pq} \\ -Z_{yq} \end{bmatrix} [Z_{qq} + Z_{xx}]^{-1} [-Z_{qp}, Z_{xy}] \quad (9)$$

위의 행렬 Z_{PYI} 는 그림 5의 기판 12에 대한 임피던스를 표시하는 행렬이다.

(6) 개별기판에 대한 결합과정 적용; 지금까지 두개의 기판을 결합하는 과정을 보였다. 이와 같은 과정을 남은 개별기판에 적용시켜서 전체 기판을 결합할 수 있고 최종적으로 관심 있는 두 단자 사이의 임피던스 행렬식을 얻을 수 있다.

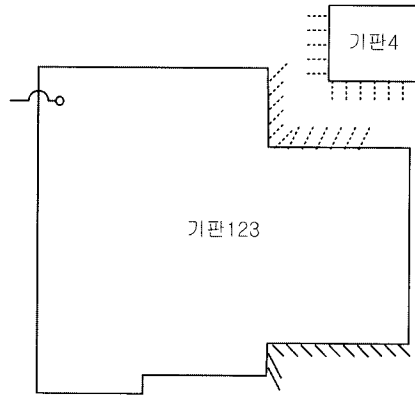


그림 6. 기판 123과 기판 4를 결합시키기 위한 모형.
Fig. 6. Synthesize of plane 1234 from the plane 123 and plane 4.

그림 6은 기판 12와 기판 3을 결합시켜서 만든 기판 123과 기판 4를 결합시키기 위한 모형이며 그림 7은 결합된 기판 1234와 기판 5를 최종적으로 결합시키기 위한 모형도이다. 이와 같은 과정을 거쳐 결과적으로 모든 직사각형으로 이루어진 부분 기판을 결합하면 단자 A와 단자 B만 남긴 기판이 얻어지고 이들 두 단자 사이의 임피던스가 계산된다.

(7) 임피던스계산의 정확도 및 속도 비교; 본 논문에서 제안된 위와 같은 알고리즘의 계산속도 개선효과를 검증하기 위해 그림 1과 같은 기판에 대해 기존의 몇 가지 방법으로 임피던스를 계산하고 본 논문에서 제안한 방법과 계산속도 및 결과

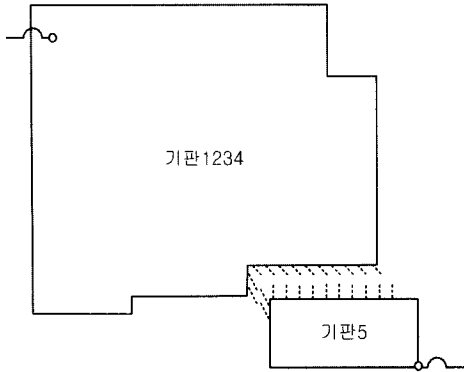


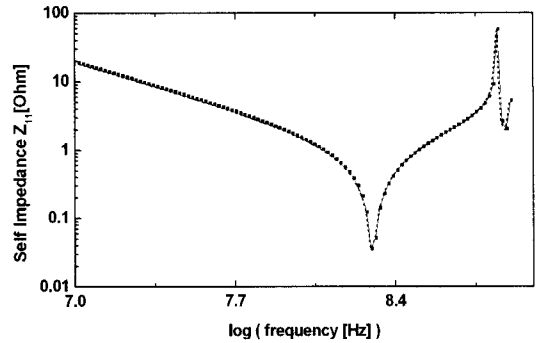
그림 7. 기판 1234와 기판 5를 결합시키기 위한 모형.

Fig. 7. Synthesize of plane 12345 from the plane 1234 and plane 5.

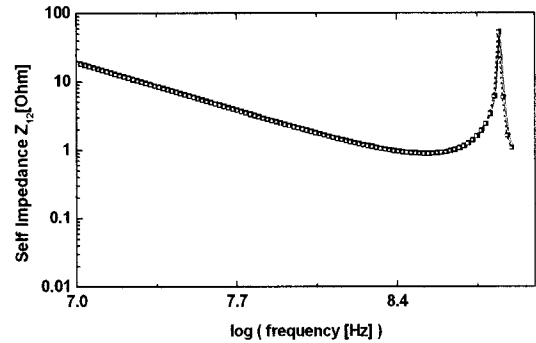
를 비교하였다. 시뮬레이션에 사용한 기판은 그림 1과 같은 비정형(irregular)인 형태를 가지고 있으며 기판의 $x_m=6$ inch, $y_m=5$ inch이고 기판의 두께는 2 mil이며 유전체의 유전율은 4이다. 소자의 위치A는 그림 1의 좌표계에서 원점으로 부터 $x=0.4$ inch, $y=4.5$ inch에 위치하고 있으며 B는 원점으로 부터 $x=6$ inch, $y=0$ inch되는 지점이다.

이들 두 지점사이의 임피던스를 10 MHz~800 MHz사이에서 log 간격으로 100개의 주파수 지점에서 임피던스를 계산하였다. 계산 방법은 첫째로 제안한 본 논문의 방법, 둘째로 그림 2와 같이 분포회로로 모델링한 후 SPICE로 시뮬레이션 하는 방법, 세 번째로 전자장해석도구를 이용하는 방법을 적용시켰다. 두 번째 방법인 회로해석은 참고 문헌 [4]의 방법을 따랐으며 회로해석도구는 Avant사의 HSPICE를 사용하였다. 세 번째 방법인 전장해석을 위한 회로해석도구는 Agilent사의 HFSS를 사용하였다.

그림 8은 세 가지 방법으로 해석결과를 나타낸 것이다. 그림에서 점으로 표시된 데이터는 전자장 해석 및 회로해석결과이며, 점선은 SPICE를 이용한 회로해석방법의 결과 이며, 실선은 본 논문에서 제안한 알고리즘에 따른 해석 결과 이다. 대부분의 주파수 영역에서 임피던스는 해석방법에 상관없이 모두 동일함을 알 수 있다. 그러나 해석시간은 많은 차이를 나타내었다. 모든 계산은 인텔사의 2.7 GHz 클럭을 가지는 펜티엄4 CPU가 장착된 개인용 컴퓨터로 계산하였다. 보드의 지점A와 B 사이의 임피던스를 계산하기위해 전자장 해석방법은



(a)



(b)

그림 8. 전자장수치해석(점), 회로망해석(점선), 및 제안된 알고리즘(실선)에 의한 그림 1의 기판의 A지점에서의 자기 임피던스(a) 및 A와 B사이의 상호 임피던스 값(b).

Fig. 8. Self impedance at the point A (a) and trans-impedance between the point A and B (b) of the board in Fig. 1 by the electromagnetic method (dot), circuit analysis method(dotted line), and the proposed method (line).

621초가 걸렸으며, 회로 해석방법은 233초 및 본 논문에서 제안한 방법은 19.5초의 시간을 소비하였다. 제안된 방법은 전자장해석법과 비교할 때 30배 이상의 속도저감 효과를 보였으며 기존에 가장 많이 사용되고 있는 회로해석방법과 비교할 때 11배의 속도개선효과를 나타내었다.

3. 결론

본 논문은 직사각형이 아닌 임의의 형상을 가지는 전력/접지 기판을 빠르게 해석하는 방법에 관한 것

이다. 기존의 회로해석 도구를 이용한 방법이나 전자장 수치해석 방법에 비해 계산에 소요되는 시간을 줄이기 위한 새로운 알고리즘을 제시했다. 임의 형상의 금속-유전체-금속 기판을 직사각형의 결합으로 분해하고, 각각의 직사각형 기판에 대한 임피던스계산에 소요되는 시간을 줄이기 위해 Mobius 변환, 근사 및 역변환 과정을 적용시켰다. 제시된 알고리즘의 속도에 대한 검증은 위해 가로6인치 세로5인치인 기판에 적용시켰으며, 제시된 알고리즘은 기존의 방법에 비해 약10배 이상 빠른 결과를 보였다. 개발된 새로운 임피던스 계산방법은 반복적인 계산이 많이 필요한 전력/접지층 설계에 활용될 수 있을 것이다.

감사의 글

이 논문은 영남대학교 학술연구비의 지원을 받았습니니다. 감사드립니다.

참고 문헌

- [1] S. Berghe, F. Olyslager, D. Zutter, J. Moerloose, and W. Temmerman, "Study of ground bounce caused by the power plane resonances", *IEEE Trans. Electromagn. Cmpat.*, Vol. 40, No. 2, p. 111, 1998.
- [2] G.-T. Lei, R. W. Techentin, and B. K. Gilbert, "High-frequency characterization of power/ground-plane structure", *IEEE Trans. on Microwave Theory and Techniques*, Vol. 47, No. 5, p. 562, 1999.
- [3] D. G. Swanson and W. J. R. Hoefer, "Micro-wave Circuit Modeling Using Electromagnetic Field Simulation", Artech House, 2003.
- [4] Istvan Novak, "Reducing simultaneous switching noise and EMI on ground/power planes by dissipative edge termination", *IEEE Trans. on Advanced Packaging*, Vol. 22, No. 3, p. 274, 1999.
- [5] H. H. Wu, W. Meyer, K. Lee, and A. Barber, "Accurate power supply and ground plane pair models", *IEEE Trans. on Advanced Packaging*, Vol. 22, No. 3, p. 259, 1999.
- [6] T. Okoshi and T. Takeuchi, "Analysis of planar circuits by segmentation method", *Electronics and Communication in Japan*, Vol. 58-B, No. 1, p. 71, 1975.
- [7] P. C. Sharma and K. C. Gupta, "Desegmentation method for analysis of two-dimensional planar microwave circuits", *IEEE Trans. Microwave Theory Tech.*, Vol. MTT-29, p. 1094, 1981.
- [8] Y. S. Suh, "A fast computation method of power ground plane impedance using the mobius transform", *Trans. KIEE*, Vol. 54C, No. 1, p. 41, 2005.