

## IC 신뢰성 향상을 위한 내장형 고장검출 회로의 설계 및 제작

### Design and Fabrication of the Built-in Testing Circuit for Improving IC Reliability

유장우<sup>1</sup>, 김후성<sup>2</sup>, 윤지영<sup>1</sup>, 황상준<sup>1</sup>, 성만영<sup>1,a</sup>

(Jang-Woo Ryu<sup>1</sup>, Hoo-Sung Kim<sup>2</sup>, Jee-Young Yoon<sup>1</sup>, Sang-Joon Hwang<sup>1</sup>, and Man Young Sung<sup>1,a</sup>)

#### Abstract

In this paper, we propose the built-in current testing circuit for improving reliability. As the integrated CMOS circuits in a chip are increased, the testability on design and fabrication should be considered to reduce the cost of testing and to guarantee the reliability. In addition, the high degree of integration makes more failures which are different from conventional static failures and introduced by the short between transistor nodes and the bridging fault. The proposed built-in current testing method is useful for detecting not only these failures but also low current level failures and faster than conventional method. In normal mode, the detecting circuit is turned off to eliminate the degradation of CUT(Circuits Under Testing). The differential input stage in detecting circuit prevents the degradation of CUT in test mode. It is expected that this circuit improves the quality of semiconductor products, the reliability and the testability.

**Key Word** : Current testing, Built-in current sensor, BICS, Iddq testing, Testability

#### 1. 서론

CMOS 기술을 사용한 집적회로의 집적도와 크기가 매우 급격하게 증가함에 따라 복잡도(complexity)가 점점 증가하게 되고, 반도체 집적회로의 신뢰도를 보장하기 위한 테스트(testing)이 중요한 문제로 대두되고 있다. 최근 고집적 회로기술을 선도하고 있는 메모리의 경우, 집적도가 2~3년마다 4배로 증가하여 giga-bit DRAM의 시대까지 오게 되었고 전체 제조 원가 중 테스트 비용이 차지하고 있는 비율이 절반을 넘어서고 있다. 따라서 이러한 대용량 메모리나 고집적 논리회로의 효율적인 이익 창출을 위해서는 테스트 용이도(testability)를 고려한 제조와 설계가 필요하다.

현재까지의 테스트 방법으로는 고착고장(stuck-at fault)을 가정한 전압 테스트 방법이 많이 사용되었다. 그러나 집적도가 향상됨에 따라 공정 중에 발생할 수 있는 고장은 양상이 다양하고 복잡해져서 종래의 고착 고장으로 모델링이 불가능한 내부 노드(node)간의 저항성 합선(short)에 의한 브리징 고장(bridging fault)과 트랜지스터 단자들 사이의 합선에 의한 고장이 증가하고 있다[1-6]. 이러한 고장들은 논리 오류를 발생시키지 않고 신호의 지연 등을 유발시킬 수 있으며 시간이 흐름에 따라 상태가 악화되어 신뢰성 문제를 야기시키는데 이를 효과적으로 검출하는 방법으로 제시된 테스트 방법이 전류 테스트 방법이다[5,7].

CMOS 회로는 정적 상태(quiescent state)에서는 거의 전류가 흐르지 않지만 게이트-산화막 합선이나 드레인-소스 합선 등의 고장이 발생하면 정적상태에서 공급 전원과 접지 단자 사이에 전도 경로가 형성되어 큰 고장 전류가 흐르게 되므로 이를 감지하여 고장의 존재를 판별한다[5,7-9]. 전

1. 고려대학교 전기공학과  
(서울시 성북구 안암동 5가 1)  
2. 삼성전자(주) 메모리 사업부  
a. Corresponding Author : semicad@korea.ac.kr  
접수일자 : 2005. 3. 18  
심사완료 : 2005. 4. 12

류 테스트는 전압 테스트보다 적은 수의 테스트 임력을 사용하여 합선과 같은 물리적인 고장뿐만 아니라 신뢰도(reliability)에 영향을 미치는 누설 전류(leakage current)의 검출에도 응용될 수 있다. 또한 고장의 효과를 출력단까지 전파하는 과정이 불필요하고[10,11] 단지 칩의 공급전원에서 전류의 양을 측정하여 고장을 검출할 수 있는 장점이 있다[12,13]. 공급전원에서 전류의 양을 측정하는 방법에 따라 외부 전류 테스트(off-chip current testing)와 내장형 전류 테스트(built-in current testing)으로 구분된다. 외부 전류 테스트는 출력단 회로를 통하여 고장 전류를 측정하기 때문에 작은 양의 고장을 측정하기 어려운 뿐 아니라 고속 테스트가 불가능하다. 내장형 전류 테스트는 전류 감지 회로(current sensor)를 이용하여 칩의 내부에서 고장전류를 측정하기 때문에 작은 양의 고장도 측정이 가능하다. 또한 이 방법은 측정이 어려운 전류 값의 변화를 전압 값으로 관찰할 수 있도록 한 것으로 기존의 테스트 장비를 이용할 수 있고 외부 부하가 존재하지 않으므로 고속 테스트가 가능한 장점이 있다. 그러나 칩의 내부에 전류 감지 회로가 내장되기 때문에 칩 면적이 증가하고 시험 대상 회로의 전압강하로 접지전위 불안정(Ground Bounce)등의 문제점이 야기되어 출력 전압이나 동작 속도 등에서 성능 저하가 발생할 수 있는 단점이 존재한다.

## 2. 전류감지회로의 제안과 특성해석

### 2.1 내장형 전류 감지 회로의 설계와 구성

내장형 전류 테스트를 위한 여러 전류감지회로가 제안되었다. P. Nigh와 W. Maly에 의해 제안된 전류 감지 회로는[14] 바이폴라 트랜지스터의 지수적 전압-전류 관계에 의해서 작은 양의 결합 전류도 검출할 수 있는 장점이 있지만, 두 개의 클럭 신호와 세 개의 외부 신호가 필요하고 BiCMOS공정을 이용해야 하는 단점이 있다. M. Favalli에 의해 제안된 전류 감지 회로는[17] 구현하기에 단순하고 용이하지만 각 게이트마다 두 개의 트랜지스터를 연결해야하는 부담 때문에 전체 칩의 면적이 커진다는 단점이 있다. Nigh가 제안한 회로에서 사용된 회로 차단기를 다이오드로 대체한 전류 감지 회로가 T. L. Shen 등에 의해 설계되었다[15]. 이 회로는 빠른 동작 속도 때문에 여러 분야에 적용되고 있지만 '0'상태의 전위가 다

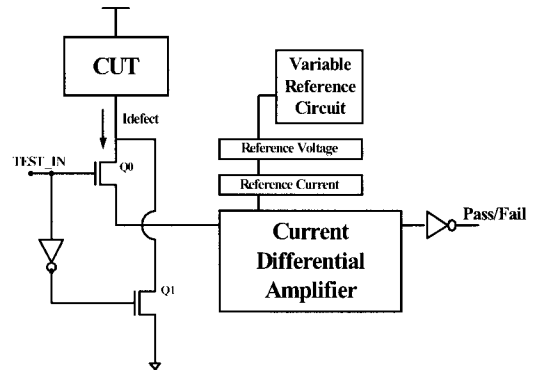


그림 1. 제안한 내장형 전류 감지 회로의 구성.  
Fig. 1. Structure of proposed built in current testing circuit.

이오드의 턴-온 전압만큼 상승한다는 단점이 여전히 존재한다. J. J. Tang 등은 성능 저하를 감소시키기 위한 하나의 방법으로 연산 증폭기를 이용한 전류 감지 회로를 제안하였다[16]. 이 방법은 성능 저하가 무시할 만하다는 장점이 있으나 연산 증폭기를 만드는 것은 많은 비용이 소요되며 연산 증폭기를 위한 자체의 두 개의 공급 전원이 필요하다는 단점이 있다.

그림 1는 본 논문에서 제안한 내장형 전류 감지 회로의 블록도를 나타낸다. 제안한 내장형 전류 감지 회로는 전류 입력단 트랜지스터 2개, 가변형 기준 전압 회로 1개, 기준 전류 회로 1개, 전류형 차동 증폭기 1개와 Pass/Fail출력용 인버터로 구성되어 있다. (CUT : Circuit Under Test) 제안한 내장형 전류 감지 회로는 정상 동작 모드와 전류 테스트 모드의 두 가지 동작 모드를 갖는다. Test\_in 이라는 전이 입력신호에 따라 감지회로의 기능이 동작과 비동작을 수행하게 된다. 정상 동작 모드에서는 Test\_in 전이 입력 신호가 0 V가 되어 내장형 전류 감지기는 시험 대상 회로로부터 격리되어 시험 대상 회로의 동작 성능에 영향을 주지 않게 된다. 그러나 Test\_in 전이 입력 신호가 VDD가 되어 내장형 전류 감지 회로가 활성화되면 시험 대상 회로에서 흐르는 전류는 전류 감지기로 흘러 들어가게 된다. 이 전류 테스트 모드 동안에 시험 대상 회로 내부로 테스트 벡터가 입력되어 다양한 내부 로직 값을 갖게 되고 그 순간에 흐르는 전류를 측정한다.

고속 전류 테스트 과정에서 시험 대상 회로 내 신호의 전이에 따라 과도 전류가 발생한다. 그렇지

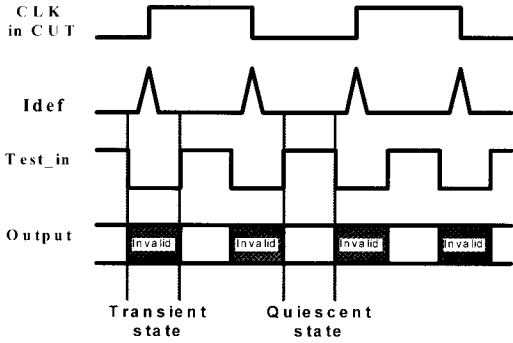


그림 2. 전류 테스트를 위한 타이밍 다이어그램.  
Fig. 2. Timing diagram for current testing.

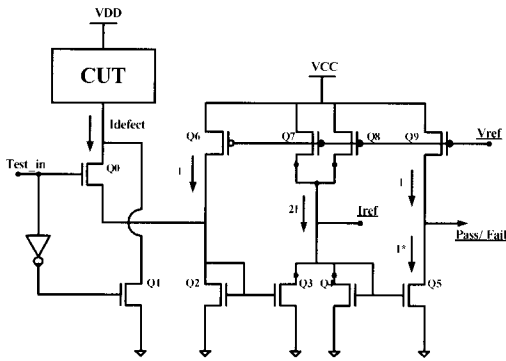


그림 3. 제안한 내장형 전류 감지 회로도.  
Fig. 3. Schematic of proposed built-in current testing circuit.

만 이런 과도 전류는 결함전류가 아니므로 최종 출력단에서 fail로 나타나는 안 된다. 고속의 전류 테스트를 과도 전류가 발생하는 타이밍에서는 그림 2 에서처럼 Test\_in 신호가 항상 0 V를 유지하여 전류 감지 회로가 동작하는 것을 차단하였다.

제안한 내장형 전류 감지 회로내의 전류형 차동 증폭기를 이용한 비교기는 그림 3에서 보여주는 것과 같이 4개의 PMOS 트랜지스터와 4개의 NMOS 트랜지스터를 사용하였다. 접지 단자 쪽의 Q2/Q3, Q4/Q5 NMOS는 각 게이트가 드레인에 연결되어 전류 미러 형태를 이루고 있다. Q2와 Q3는 동일한 비로 설계하여 동일한 전류가 흐르게 하였고, Q4와 Q5는 Q9의 전류에 맞춰서 크기를 조절하였다. 고장 검출을 위해 Test\_in 신호를 입력한 상태에서 IDEF(결함 전류)가 시험 대상 회로에서 발생되면 IDEF는 전도 상태인 Q0를 통해 전류형 차동 증폭기의 한쪽 입력 신호가 된다. Q0를 통과한 IDEF는 Q6에서 흐르는 전류 I와 합해져서 Q2로 흐르게 되고  $I + I_{DEF}$ 는 Q3로 복제가 된다. Q3와 Q4의 드레인 전류는 Q7과 Q8에서 흐르는  $2I$ 와  $I_{REF}$ (기준전류)의 합이 된다. 그 결과 Q4에는  $2I - (I + I_{DEF}) + I_{REF}$  인 전류가 흐르게 된다. Q4에 흐르게 되는 전류값은 Q5에 복제되어 Q9의 전류 I와 비교된다. 그 결과 Q5와 Q9의 접점 노드에서  $I_{REF} - I_{DEF}$ 의 값에 따른 부호에 따라 약간의 전위 변동이 발생되고 출력단 인버터를 통해 Pass/Fail을 출력하게 된다. 최종 출력단은 Q5와 Q9 간의 접점 노드에서 근소한 전류 차에 의해서 발생하는 전위 변동을 입력으로 하는 인버터기 때문에 작은 aspect

표 1. 시험 대상 회로 내 불량 유발 시 흐르는 결함 전류.

Table 1. Defecting current in CUT occurred failure.

		[단위 $\mu A$ ]							
시험 회로 입력 신호	A	H	H	H	H	L	L	L	L
	B	H	H	L	L	H	H	L	L
	C	H	L	H	L	H	L	H	L
RES0"H" RES1"L"	시뮬레이션	0.03	0.03	0.52	44.9	0.01	45.4	45.4	53.2
	시뮬레이션*	0.05	0.06	0.47	58.5	0.05	58.6	59.8	67.9
	칩 측정	0	0.06	0.41	72.1	0	71.6	72.5	80.4
RES0"H" RES1"H"	시뮬레이션	0.02	0.02	0.27	61.3	0.01	61.3	61.3	71.7
	시뮬레이션*	0.11	0.12	0.18	76.3	0.04	76.3	78.3	88.5
	칩 측정	0	0.06	0.39	109.1	0	108.7	111.8	109.3

시뮬레이션 : 시험 대상 회로중 고장을 삽입한 1-bit의 결함 전류

시뮬레이션\* : 시험 대상 회로중 고장을 삽입한 1 bit의 결함 전류를 포함한 4 bit 전체의 공급 전원 전류 - 칩 전류 측정과 동일한 조건

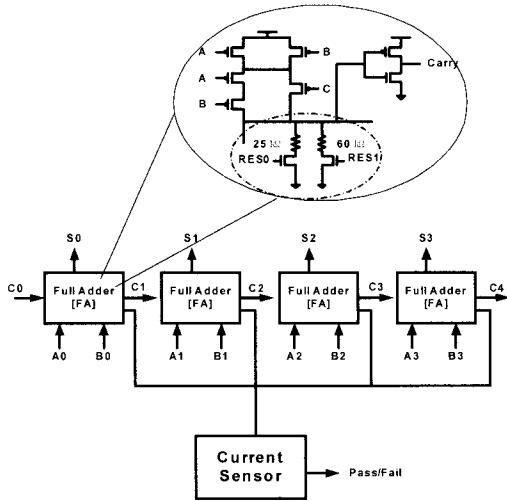


그림 4. 시험 대상 회로 내에 삽입된 고장의 구조.  
Fig. 4. Structure of CUT(circuit under testing).

ratio(폭/길이)를 갖는 인버터를 사용하여 점차 큰 ratio를 갖는 인버터로 연결시켰다. 전류 비교를 위해 Q6~Q9의 전류원을 사용하기 때문에 상시 흐르는 전류가 존재하는데 이 전류에 의한 전력 소모는 약 2 mA 정도의 높은 수준이다. 그러므로 시험 대상 회로와 전류 감지 회로 간에 공급 전원을 이원화시켜서 전류 감지 회로의 전력 소모가 시험 대상 회로까지 영향을 미치지 않게 조정하였다. 시험 대상 회로가 정상적인 동작을 하는 동안에는 Test\_in 신호와 전류 감지 회로의 공급 전원 VCC는 모두 0 V를 유지하다가 전류 테스트를 하기 원할 때는 Test\_in신호와 공급 전원 VCC는 모두 VDD와 동일 전압을 인가하였다.

**2.2 제안한 전류 감지 회로의 특성 시뮬레이션과 측정결과**

시험 대상 회로로 4-bit 전가산기(full-adder)를 사용하였다. 전류 테스트를 효과적으로 적용할 수 있도록 폴리실리콘 저항을 사용하여 회로의 내부 노드를 합선시키는 방법으로 첫 번째 bit의 전가산기에 인위적인 고장을 삽입하였다. 삽입한 저항은 그림 4에서 볼 수 있듯이 각각 25 kΩ, 60 kΩ을 병렬로 연결시키고 각 저항을 스위칭 트랜지스터(RES0, RES1)로 조절할 수 있게 하였다.

시험 대상 회로는 고장 유발 위치가 내부 Node와 접지 단자 간이므로 외부 입력 신호 A, B, C의 조합에 따라 흐르게 되는 결함 전류가 달라지

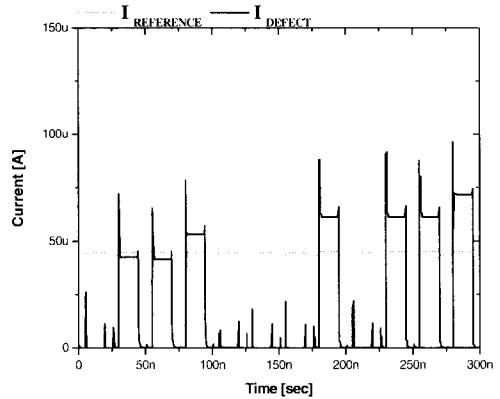


그림 5. 시험 대상 회로의 결함 전류와 기준 전류 파형.  
Fig. 5. Waveform of defect current and reference current in CUT.

표 2. 시험대상 회로의 전류 감지 회로 삽입 전후 시뮬레이션 특성 비교.

Table 2. Simulation characteristics before and after inserting current detecting circuit.

Parameter	전류 감지 회로 삽입전	전류 감지 회로 삽입후	시험대상 회로고장 유발시
t <sub>PLH</sub>	3.34 nsec	3.35 nsec	-
t <sub>PHL</sub>	2.27 nsec	2.27 nsec	-
t <sub>PD</sub>	2.80 nsec	2.81 nsec	-
P <sub>d</sub>	0.033 mW	0.034 mW	1.74 mW
면적 증가분	-	3.8 %	

며, RES0와 RES1의 트랜지스터 입력 신호에 따라 합선 저항의 크기가 달라지므로 이에 따라 결함 전류가 변화된다.

전류 감지 회로를 삽입한 전후의 시험 대상 회로의 동작과 결함이 존재하는 시험 대상 회로의 동작에 대한 시뮬레이션을 진행하여 시험 대상 회로에 대한 영향을 살펴보았다. 전류 감지 회로가 내장되지 않은 회로와 내장된 회로의 동작에는 고장이 거의 동일한 특성을 확인하였으며 감지되지 않은 경우에 대해서는 고장이 삽입하였을 때와 확연히 다른 파형의 동작을 보였다.

먼저 그림 5과 같이 내부 기준 전류원에서 발생하는 기준 전류(I<sub>REFERENCE</sub>)와 결함이 존재하는 시험 대상 회로에서 발생하는 결함 전류(I<sub>DEFECT</sub>)의

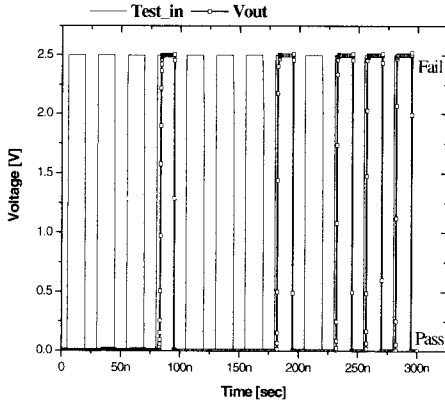


그림 6. 결함 전류 발생에 따른 전류 감지 회로 출력 파형.

Fig. 6. Output waveform of current detecting circuit when the failure is occurred.

관계를 기본 입력으로 하였다. 기준 전류원 값은 45  $\mu\text{A}$  수준으로 발생되고 있으며, 결함 전류는 입력 신호의 조합에 따라 40~70  $\mu\text{A}$  수준까지 변화되고 있다. 그림 5는 4-bit 전가산기 내부에서 유발된 고장에 의해 발생한 결함 전류가 전가산기 입력 신호와 Test\_in 신호의 천이에 따라 변화하는 모습을 보여주고 있다. 또한 시험 대상 회로의 A, B, C 신호가 천이하는 순간에 과도 전류가 순간적으로 크게 흐르는 것도 보여주고 있다. 이러한 과도 전류 구간에는 Test\_in 신호를 0 V로 하여 전류 감지 회로가 동작하는 것을 막아주어야 한다.

그림 6에서 과도 전류가 흐르는 구간은 Test\_in 신호가 0 V가 되면서 입력 결함 전류가 0  $\mu\text{A}$ 가 되어 pass/fail 신호는 항상 0을 유지하여 과도 전류가 전류 감지 회로의 오동작을 야기시키지 않음을 알 수 있다.

그림 7에서 측정된 검출 시간의 결과는 4.4 nsec로 가장 작은 결함 전류가 흐르는 구간에서도 비교적 빠른 특성을 보였다. Test\_in 신호가 인가된 이후 4.4 nsec 이내에 결과가 출력되는 고속의 전류 테스트가 가능해짐으로써 과도 전류가 흐르는 구간인 Test\_in 신호가 0 V인 구간이 5.6 nsec 이하가 된다면 100 MHz 이상에서도 고장 검출이 가능하게 된다. T. L. Shen에 의해 제안된 전류 감지 회로와의 비교를 위해 결함 전류를 300  $\mu\text{A}$  까지 증가시킨 후 측정하고 결함 전류 발생 구간 역시 2 nsec로 동일한 조건을 인가하여 비교하였다[15].

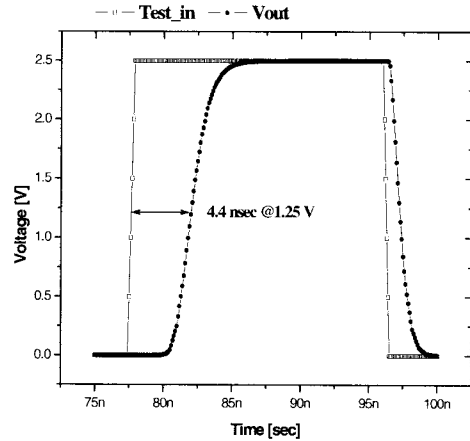


그림 7. 결함 전류 발생에 따른 전류 감지 회로 출력 파형(75~100 nsec 구간 확대).

Fig. 7. Output waveform of current detecting circuit when the failure is occurred (zoom in 75~100 nsec).

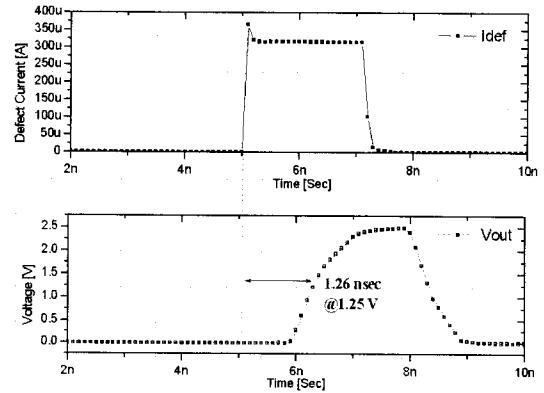


그림 8. 결함 전류가 300  $\mu\text{A}$  흐를 경우의 고장 검출 시간 - 1.26 nsec.

Fig. 8. Detecting time in the case of 300  $\mu\text{A}$  defect current. - 1.26 nsec.

그림 9는 결함 전류의 크기별 고장 검출 시간을 측정된 결과이다. 결함 전류가 100  $\mu\text{A}$  이상이 되면 검출시간이 2 nsec 이하로 급격히 줄어드는 걸 알 수 있다. 제안한 내장형 전류 감지 회로를 기존의 연구 중 가장 빠른 동작 특성을 가지고 있는 T. L. Shen에 의해 제안된 회로와 비교하였을 때 시험 대상 회로의 성능 저하 문제가 발생하지 않으

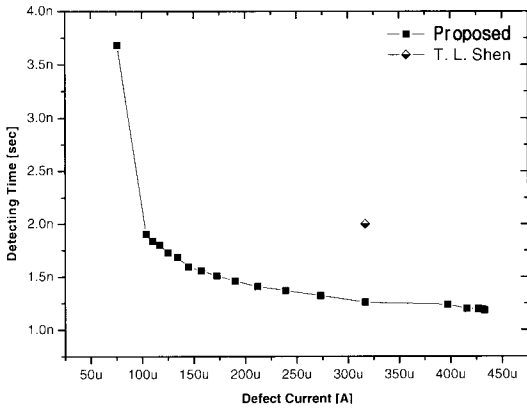


그림 9. 고장에 의해 유발된 결함 전류 크기에 따른 고장 검출 시간.

Fig. 9. Failure detecting time versus defect current.

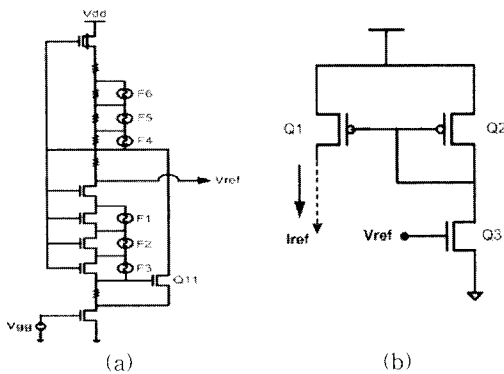


그림 10. a) 기준 전압원 회로와 b) 기준 전류원 회로.

Fig. 10. a) voltage bias circuit and b) current bias circuit.

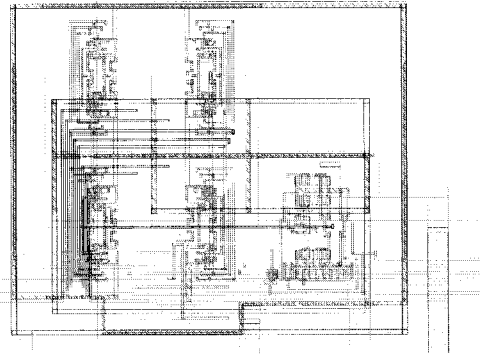


그림 11. 4-bit 진가산기를 채용한 전류 감지 회로의 레이아웃.

Fig. 11. Layout of current detecting circuit containing 4-bit full adder.

면서도 동일 조건에서 더욱 빠른 검출 시간을 가짐을 알 수 있다. 제안한 회로의 구조와 기존의 연구에서 알려진 구조와의 비교는 다음의 표 3과 같다. 외부 테스터에 대한 부담을 줄이기 위하여 기준 바이어스 회로를 칩 내부에 제작하였는데 퓨즈 방식을 채용하여 해당 퓨즈 cutting에 따라 일정 범위 내에서 출력 값을 조절할 수 있게 하였다. 기준 바이어스 전압의 조절에 따라 기준 전류의 값을 변화시킬 수 있어 그에 따라 검출하려는 결함 전류의 크기를 가변할 수 있게 하였다.

본 연구에서 제안한 내장형 전류 감지 회로는 0.25  $\mu\text{m}$  CMOS 공정을 사용하여 그림 11과 그림 12와 같이 제작하여 실용성을 검토하고 특성의 해석결과의 검증을 실시하였다. 그 결과 본 논문에서 제안한 고장 검출 회로를 탑재한 경우 IC 신뢰성을 개선할 수 있다고 판단된다.

표 3. 기존의 여러 감지 회로와 제안한 전류 감지 회로와의 구성 비교.

Table 3. Comparison proposed circuit with conventional detecting circuits.

	Number of Device	Clock Signal	Speed Degradation	Mode Select	Control Pin	Output Pin	Power Supply	Power Dissipation
Nigh's Design[11]	Tr: 14 BJT: 1	Two Phase Clock	20 %	Y	3	1	-	-
Favalli's Design[14]	Tr: 2*gates 1	not used	not reported	Y	1	1	5 V 1 ea	-
Shen's Design[12]	Tr: 13 Diode: 1	Two Phase Clock	14.4 %	N	3	2	5 V 1 ea	
Tang's Design[13]	Tr: 24 R: 1	Single Clock	negligible	N	3	1	5 V 1 ea	-
Proposed Design	Tr: 19 R: 1	Single Clock	negligible	Y	1	1	2.5 V 2 ea	1.61 mW

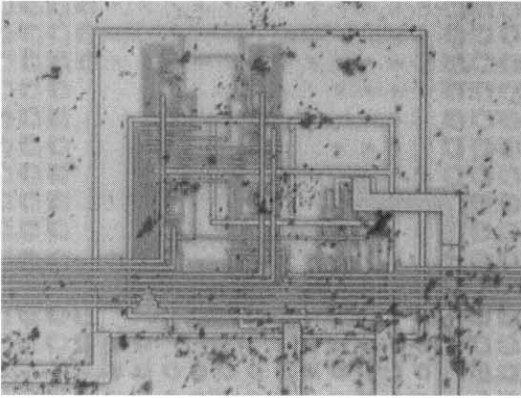


그림 12. 제작된 시험 대상 회로와 전류 감지 회로.  
Fig. 12. Fabricated figure of CUT and current detecting circuit.

### 3. 결론

본 논문에서는 논리 값만을 비교하는 기존의 전압 테스트에 비하여 여러 가지 장점을 가지는 전류 테스트를 위한 새로운 내장형 전류 감지 회로를 설계, 제작하였다. 결합 전류 입력단 트랜지스터 4개, 전류형 차동 증폭단 트랜지스터 8개로 이루어져 있으며 기준 바이어스 회로도 칩 내부에 포함시켰다. 설계한 회로에 대한 배치 설계 결과 칩의 전체 면적에서 차지하는 면적 소모는 약 3.8%로 매우 작아서 대부분의 칩에 적용하기에 면적 소모에 대한 부담이 없다. 제안한 회로는 두 가지 동작 모드를 갖고 있어서 정상 동작 모드 시에는 감지 회로가 차단되어 시험 대상 회로의 성능 저하를 최소화하였으며 감지 회로 내부에는 전류를 입력으로 하는 차동 증폭단을 사용하여 테스트 모드에서도 시험 대상 회로의 성능 저하가 발생하지 않게 하였다. 제안한 내장형 전류 감지 회로는 시험 대상 회로에서 발생하는 결합 전류와 내부에서 생성되는 조결 가능한 기준전류에 대해 전류형 차동 증폭기를 이용하여 비교함으로써 시험 대상 회로의 고장 존재 여부를 감지하여 Pass/fail 신호를 발생시킨다. 결합 전류에 대한 검출 회로를 내장하여 Pass/fail에 대한 진압 값을 출력함으로써 외부에서 결합 전류를 측정하는 외장형 전류 테스트에 비해 빠른 검출 능력을 확보하게 되었고 T. L. Shen의 연구에서 측정된 2 nsec 보다 빠른 1.26 nsec 이하의 검출 속도를 가지게 되었다. 또한 수십  $\mu$ A 단위의 작은 결합 전류 검출도 가능하게 되었다.

었다. 제안한 회로는 감지 회로 내부에 항상 전류 전도 통로가 존재하기 때문에 전력 소모가 크다는 단점이 있는데 시험 대상 회로와 감지 회로의 공급 전원을 여분의 pad를 통해 분리하고 테스트에서 선별적으로 인가하는 방법을 해결책으로 제시하였다. 본 논문에서 제안한 내장형 전류 감지 회로는 기존의 반도체 제품에 삽입되어 논리 테스트에서 검출하지 못하는 많은 미세한 합선 고장에 대한 빠른 검출을 가능하게 하여 반도체 제품의 품질 및 향후 신뢰성 향상에 많은 도움을 줄 수 있을 것이다.

### 감사의 글

본 연구는 산업자원부 “표준화기술개발사업(10016900)”의 지원에 의해 수행되었음.

### 참고 문헌

- [1] W. Maly, "Realistic fault modeling for VLSI testing", in Proc. Design Automation conf., p. 173, 1987.
- [2] H. S. Kim, J. Y. Kim, and M. Y. Sung, "Wafer burn-in method of SRAM for multi chip package", Trans. EEM, Vol. 5, No. 4, p. 138, 2004.
- [3] 김철운, 김영민, 김태성, "T- $\mu$ s 고장 검출을 위한 테스트 방법의 개선", 전기전자재료학회 논문지, 10권, 4호, p. 349, 1997.
- [4] F. J. Ferguson, and J. P. Shen, "A CMOS fault extractor for inductive fault analysis", IEEE Trans. Computer-Aided Design, Vol. 7, Iss. 11, p. 1181, 1988.
- [5] S. D. Millmann, E. J. McCluskey, and J. M. Acken, "Diagnosing CMOS bridging faults with stuck at fault dictionaries", in Proc. International Test conf., p. 860, 1990.
- [6] J. M. Soden, R. K. Treece, M. R. Taylor, and C. F. Hawkins, "CMOS IC stuck-open fault electrical effects and design consideration", in Proc. International Test conf. p. 423, 1989.
- [7] T. M. Storey and W. Maly, "CMOS bridging faults detection", in Proc. International Test conf., p. 842, 1990.

- [8] F. Vargas and N. Nicolaidis, "SEU-tolerant SRAM design based on current monitoring", in Proc. 24th International Symp. on Fault-Tolerant Computer., p. 106, 1994.
- [9] S. R. Mallarapu and A. J. Hoffman, "Iddq testing on a custom automotive IC", IEEE J. Solid State Circuit, Vol. 30, No. 3, p. 295, 1995.
- [10] R. Rajsuman, "Iddq testing for CMOS VLSI", in Proc. of the IEEE, Vol. 88, Iss. 4, p. 544, 2000.
- [11] P. Banerjee and J. A. Abraham, "Characterization and testing of physical failures in MOS logic circuits", IEEE Design and Test, Vol. 1, p. 76, 1984.
- [12] J. P. Hurst and A. D. Singh, "A differential built-in current sensor design for high-speed Iddq testing", IEEE J. Solid-State Circuit, Vol. 32, Iss. 1, p. 122, 1997.
- [13] V. Stopjakova, H. Manhaeve, and M. Sidiropulos, "On-chip transient current monitor for testing of low-voltage CMOS IC", in Proc. Euroean Test conf., p. 266, 1997.
- [14] P. Nign and W. Maly, "A self-testing ALU using built-in current sensing", in Proc. IEEE Custom Integrated Circuit conf., p. 22.1.1, 1989.
- [15] T. L. Shen, J. C. Daly, and J. C. Lo, "A 2-ns detecting time, 2-um CMOS built-in current sensing circuit", IEEE J. Solid-State Circuit, Vol. 28, No. 1, p. 72, 1993.
- [16] J. J. Tang, K. J. Lee, and B. D. Liu, "A practical current sensing technique for Iddq testing", IEEE Trans. Computer-Aided Design, Vol. 3, No. 2, p. 302, 1995.
- [17] M. Favalli, P. Olivo, M. Damiani, and B. Ricco, "Novel design for testability schemes for CMOS IC's", IEEE J. Solid-State Circuit, Vol. 25, Iss. 5, p. 1239, 1990.
- [18] Y. Miura and K. Kinoshita, "Circuit design for built-in current testing", in Proc. International Test Conference, p. 873, 1992.
- [19] 강성호, 박은세, 장 훈, 최호용, 홍성재, "테스팅 및 테스트를 고려한 설계", 홍릉과학출판사, p.19, 245, 1998.
- [20] J. B. Kim, S. J. Hong, and J. Kim, "Design of a built in current sensor for IDDQ testing", IEEE J. Solid State Circuit, Vol. 33, No. 8, p. 1266, 1998.
- [21] H. S. Kim, S. W. Park, S. W. Hong, and M. Y. Sung, "A study on the design of built-in current sensor for high-speed Iddq testing", 한국전기전자재료학회 2004학계학술대회논문집, p. 1254, 2004.