

저압화학증착을 이용한 실리콘-게르마늄 이종접합구조의 에피성장과 소자제작 기술 개발

Development of SiGe Heterostructure Epitaxial Growth and Device Fabrication Technology using Reduced Pressure Chemical Vapor Deposition

심규환^{1,a}, 김상훈², 송영주², 이내응³, 임정욱², 강진영²
(K. H. Shim^{1,a}, S. H. Kim², Y. J. Song², N. E. Lee³, J. W. Lim², and J. Y. Kang²)

Abstract

Reduced pressure chemical vapor deposition technology has been used to study SiGe heterostructure epitaxy and device issues, including SiGe relaxed buffers, proper control of Ge component and crystalline defects, two dimensional delta doping, and their influence on electrical properties of devices. From experiments, 2D profiles of B and P presented FWIIM of 5 nm and 20 nm, respectively, and doses in $5 \times 10^{11} \sim 3 \times 10^{14} \text{ cm}^{-2}$ range. The results could be employed to fabricate SiGe/Si heterostructure field effect transistors with both Schottky contact and MOS structure for gate electrodes. I-V characteristics of 2D P-doped HFETs revealed normal behavior except the detrimental effect of crystalline defects created at SiGe/Si interfaces due to stress relaxation. On the contrary, sharp B doping technology resulted in significant improvement in DC performance by 20~30 % in transconductance and short channel effect of SiGe IIMOS. High peak concentration and mobility in 2D-doped SiGe heterostructures accompanied by remarkable improvements of electrical property illustrate feasible use for nano-scale FETs and integrated circuits for radio frequency wireless communication in particular.

Key Words : δ -Doping, Reduced pressure chemical vapor deposition, SiGe, HMOS, RF-CMOS

1. 서 론

실리콘 CMOS를 중심으로 발전한 반도체기술은 sub-100 nm 시대에 들어섰으며, 정보통신기술의 발전에 더불어 기술예측보다 앞선 기술개발로 IT 산업을 견인하고 있다[1-6]. 그리고 최근에는 20 nm대에서 CMOS의 발전이 한계에 이를 것으로 예측되면서 Fin FET와 나노선과 같은 차세대 기

술에 대한 연구가 활발히 진행되고 있다[7,8]. 이와 함께 대략 40 nm대에서 저전력과 고속 동작에 대한 응용을 위해 SOI와 SiGe 반도체에 대한 기술적인 가치가 급증하고 있다[9,10].

특히, SiGe반도체는 쉽게 CMOS의 성능을 높일 수 있는 물리적 특성과 간단한 집적공정의 측면으로 인해 더욱 주목되고 있다. 예를 들어 인텔은 프로세서의 고속성능을 개선한 SRAM을 집적한 Prescott 에 SS(Strained-silicon) 기술을 적용하였다[3]. 또한 IBM은 65 nm급 이하에서 SS를 SOI(Silicon-on-insulator)에 제작하는 구조의 차세대 제품을 개발한다는 계획이며, AMD도 이에 가세하는 실정이다[2]. 그림 1과 같이 SiGe Heterojunction (이종접합)에 이차원 도핑을 적용하여 n-type과 p-type MOS소자를 제작할 수 있다. 이

1. 전북대학교 반도체물성연구소 반도체과학기술학과 (전북 전주시 덕진동 1가 664-14)
2. 한국전자통신연구원 기반기술연구소
3. 성균관대학교 재료공학과

a. Corresponding Author : khshim@chonbuk.ac.kr

접수일자 : 2004. 12. 9

1차 심사 : 2005. 2. 16

심사완료 : 2005. 3. 11

종접합 구조를 이용하여 양자채널로 운반자의 이동도를 높이고, 운반자의 구속으로 임계전압의 변화를 줄이고, subthreshold 전류를 제어하는데 효과적이다. 즉, 기존 Si CMOS가 나노스케일로 진입하면서 더욱 심각해지는 SCE(Short Channel Effect), I/f잡음, 신뢰성에 대한 문제를 간단하고 저렴한 제조공정으로 개선할 수 있을 것이다 [11-13].

SiGe 이종접합 구조 소자의 제작에 주요 핵심 기술을 이루는 SS-MOS 에피구조의 성장, 저온의 Germanosilicide 오믹접합, Si/SiGe구조의 게이트산화막 성장에 대한 기술개발이 요구된다. 특히, 운반자의 이차원 도핑은 이득을 높이고, 고주파잡음을 감소시키는 용도로 유용하며, 나노스케일 소자에서 접합저항이 작은 ultra shallow junction (USJ)에 적합하다. 근래에 SiGe/Si의 헤테로 시스템에서 B, P, As의 불순물에 대한 이차원 도핑에 대해 MBE(분자선 에피택시)를 사용한 에피성장과 MODFET (Modulation Doped FET) 소자가 발표된 바 있지만, RPCVD(Reduced Pressure Chemical Vapor Deposition)나 UHVCVD (Ultra High Vacuum CVD)와 같은 화학증착기술에 의한 이차원 도핑 특성에 대한 연구는 미미하다[4]. 이는 CVD 공정상 기판온도와 가스에 의한 auto-doping 현상으로 인하여 MBE에 비해 날카로운 도핑을 얻기 어렵기 때문이다.

따라서 본 논문에서는 SiGe/Si 이종접합 반도체의 CMOS기술에 있어서 이종접합 에피성장과 게면에서의 열적안정성, 고품위 산화막의 저온성장, modulation doping 기술의 물리적 기구에 대한 이해와 개발을 시도하였다. 그리고 기판온도와 SiGe/Si 에피층의 구조와 도핑가스의 유량에 따른 영향으로 인한 도핑피크와 분포특성에 대한 결과와 관련된 물리적 현상에 대해 분석하였다. 이차원 면밀도가 $10^{11} \sim 10^{14} \text{ cm}^{-2}$ 이고, 수 nm인 확산장벽으로 HMOS이 제작되었고, 고속-저잡음 RF 통신에 대한 응용의 가능성을 보였다.

2. 실험

본 실험의 에피성장에 사용한 RPCVD (Reduced Pressure Chemical Vapor Deposition)는 기판의 온도와 가스의 유량이 에피성장 속도나 균일도에 영향을 미치는 화학반응제어와 동역학제어가 중요한 공정조건에서 작동한다. 에피층의 성장을 위해 우선 P-type의 (100) 실리콘 웨이퍼를 RCA 세척하였고, 반응로에서 800~950 °C의 열과 수소분위

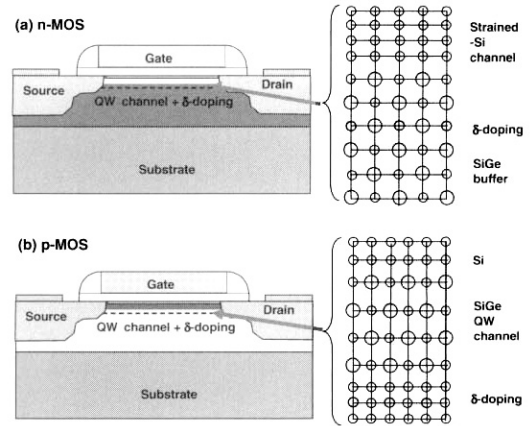


그림 1. SiGe/Si 이종접합구조를 이용하는 (a) n-type과 (b) p-type MOSFET의 개략도로써, 양자채널과 이차원 델타도핑으로 산란에 의한 이동도 감소와 접합을 통한 누설전류를 감쇄시켜 동작속도와 잡음을 개량.

Fig. 1. Schematic of (a) n-type과 (b) p-type MMOSFETs using SiGe/Si heterostructures, where quantum well channel and delta-doping layer attract interest for compensating mobility reduction and junction leakage increase due to inter-face scattering.

기를 이용하여 표면의 자연산화막을 제거한다[14]. RPCVD의 증착압력으로는 상압과 감압 모두 사용이 가능하지만, 증착조건을 재현성이 높게 하고 로딩 효과를 줄이기 위해 가압적 30~50 torr를 사용한다. 소스가스로 200 sccm의 SiH₄와 수소에 1.5% 희석된 GeH₄를 주입하며, 반응 캐리어용으로 수소를 10~30 LPM 유량으로 사용한다. 그리고 n-type과 p-type의 불순물을 도핑하는데는, 수소가스에 1000 ppm의 농도로 희석된 B₂H₆ 도펀트와 PH₃의 소스가스로 첨가하여 넓은 범위에서 농도를 제어하도록 사용한다.

Si/SiGe의 헤테로구조 에피층을 500~700 °C의 저온에서 성장시켜 이차원 도핑된 FET로 적용하기 위하여, 소자제작에 적용하여 전기적 특성을 측정하였다. 실리콘기판 위에 n-well 및 소자격리를 위한 필드 산화막을 형성한 후, Si 시드층, Si_{0.8}Ge_{0.2} 채널층, Si 캡층을 RPCVD를 이용하여 불순물 도핑없이 차례로 증착하였다. 필드 산화막 위의 에피층은 식각공정으로 제거하

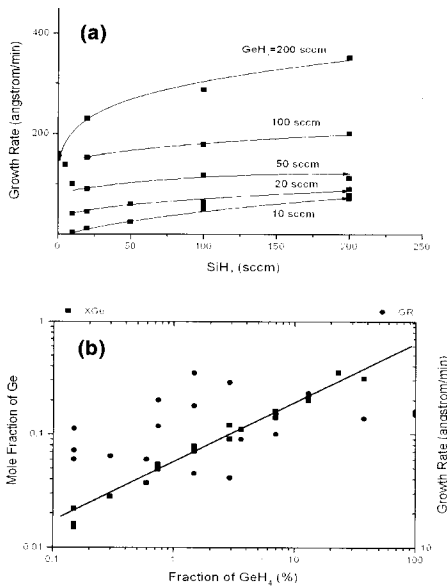


그림 2. SiGe의 RPCVD 에피성장특성: (a) SiH₄와 GeH₄의 유량에 따른 성장속도, (b) GeH₄의 유량에 따른 Ge의 함량과 성장속도의 변화.

Fig. 2. SiGe RPCVD epitaxy: (a) growth rate dependence on SiH₄ and GeH₄ flow, (b) Ge content and growth rate dependence on GeH₄ flow.

었고, 750 °C 이하의 저온에서 2.5 nm 두께의 산화막을 성장하고, 게이트 산화막 형성 후 RPCVD를 이용하여 phosphorus 도핑된 ($>10^{19} \text{ cm}^{-3}$) 게이트 나결정층을 550 °C에서 증착하였다[15]. 소스/드레인 접촉 형성을 위해 Ti 실리사이드 공정이 사용되었으며, 열처리는 820 °C에서 30초가 행해졌다. 후속 공정은 기존의 실리콘 CMOS 공정과 동일하게 진행되었다. 웨이퍼에 증착된 단결정 박막의 두께, 결정성, Ge의 함량, B의 농도를 SIMS, TEM 및 double crystal X-ray diffraction 측정시스템으로 분석하였으며, 소자의 I-V 측정에는 파라미터분석기를 사용하였다.

3. 결과 및 고찰

3.1 RPCVD 에피성장

대량의 수소를 사용하는 RPCVD는 증착속도가

빠르면서도 박막의 물성이 우수하다. 반면, 기판의 온도와 SiH₄와 GeH₄의 유량은 물론 도핑가스인 B₂H₆, PI₃에 의해서도 성장속도가 변하여 안정하면서 균일한 성장을 위한 에피기술의 최적화가 까다롭다. 그림 2(a)와 (b)에서 SiH₄, GeH₄의 유량에 따른 증착속도와 Ge의 함량변화에 대한 영향을 보여준다. 그림 2와 같이 SiH₄ 보다 해리에너지가 작은 GeH₄의 반응성이 높아서 GeH₄의 유량변화에 따라 성장속도가 심하게 좌우된다. Ge의 함량은 GeH₄/(SiH₄+GeH₄)에 선형적으로 비례하여 매우 안정한 제어가 가능하다. 동일한 Ge 함량인 에피층의 성장에 다른 성장속도의 조건을 사용될 수 있다. 그리고 동일한 Ge의 함량이라도 챔버압력과 반응가스의 총유량을 제어하여 2 nm/min~40 nm/min의 넓은 범위에 대해 성장속도의 제어가 가능하여 초격자나 10 nm 이하의 양자채널이 필요한 소자용 에피의 양산성을 높이기 위한 공정조건의 유연성이 우수하다.

그림 3은 RPCVD에서 GeH₄의 유량과 기판의 온도를 575~700 °C에서 조절하여 Ge 함량과 성장속도를 제어한 특성을 보인다. 그림 3(a)는 무결함의 단결정 에피를 보이고, (b)는 이완된 완층층, (c) 임계두께 이상의 에피층, (d) Stranski-krastanov(SK) 모드 에피층의 XTEM 이미지를 보이고 있다.

그림 3(a)는 Si와 SiGe 사이의 격자불일치로 인한 임계두께(t_c) 이하에서 결함 없는 에피성장이 가능하다. 특히 RPCVD에서 성장온도를 550 °C 이하로 낮추면 성장속도는 ~1 nm/min으로 극히 낮아지지만 Ge의 함량에 대한 임계두께를 MBE에 비해 1.2배 정도로 증대시키는 결과를 얻을 수 있다.

SiGe을 Si위에 성장할 때 임계두께 이상에서 응력이완이 발생되는데, 3~5 μm 이상의 두께로 성장해야 응력이 충분히 이완된다. 그러나 표면에 굴곡이 발생되고, 심하면 valley 부분에 응력이 집중되면서 결함이 발생하는 부분으로 된다. 따라서 smart cut이나 CMP와 같은 평탄화 기법이 적용되지 않고, 표면의 거칠기가 수 원자층의 수준에서 제어되기는 매우 어렵다. 그림 3(c)는 에피성장이 진행되는 가운데 응력이 축적되고, 성장온도가 낮아 표면에 결함발생이 시작되어 [111]면을 따라 결함이 발생된 형상을 보이며, 그림 3(d)는 저온에서 Ge 함량이 높은 경우 SK 모드로 에피성장이 되어, 섭형성장에 의한 양자점의 형태가 형성됨을 보인다.

그림 4(a)는 SiGe/Si 에피층의 (110)면 XTEM 이미지이며, (b)와 (c)는 (001) plane-view로서 (b)

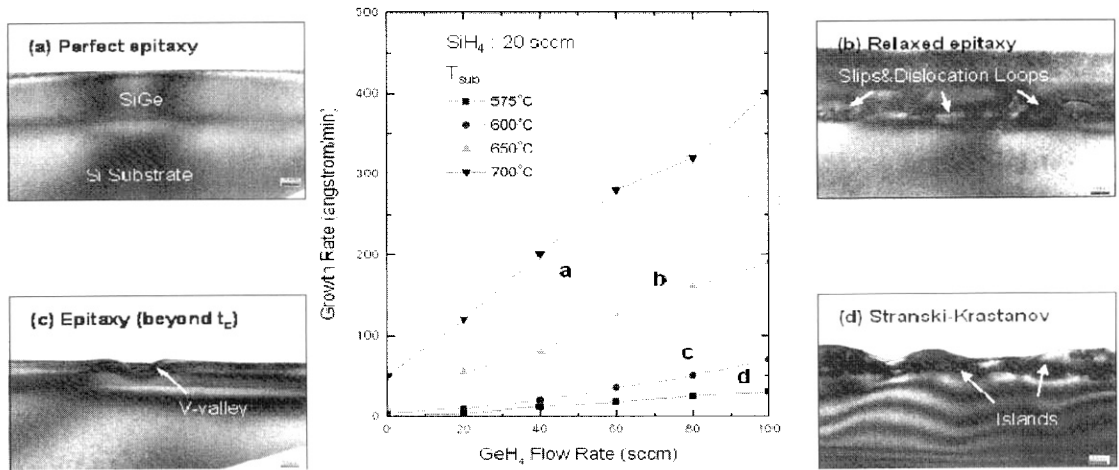


그림 3. SiGe의 RPCVD 에피성장특성: (a) 무결함 에피, (b) 이완된 완충층, (c) 임계두께 이상의 에피, (d) SK 모드로 성장된 SiGe/Si 층의 XTEM 이미지.

Fig. 3. SiGe RPCVD epitaxy properties: (a) defect-free epitaxy, (b) relaxed buffer, (c) epitaxy beyond the critical thickness, (d) cross-sectional TEM images of SiGe/Si grown by SK mode.

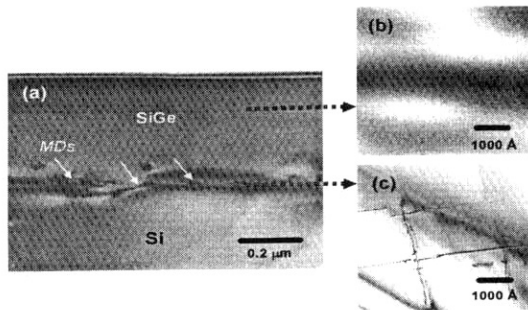


그림 4. SiGe/Si 에피층의 (a) XTEM, (b) 에피상층부의 plane-view, (c) SiGe/Si 계면부의 plane view로서 계면에 <110> 방향의 misfit 전위가 집중되어 0.2~0.3 μm 간격으로 존재하고, 응력이완에 의한 표면굴곡이 미세하게 발생.

Fig. 4. SiGe/Si epitaxy (a) XTEM, (b) Top view showing surface regime, (c) Plane view showing SiGe/Si interface regime. Misfit dislocations with <110> orientation exist mostly at interface regime with 0.2~0.3 μm intervals, and the slight surface undulation caused as a result of stress relaxation.

는 에피상층부를 (c)는 SiGe/Si 계면부의 이미지이다. 그림 4(c)와 같이 계면에 <110> 방향의 MD (Misfit Dislocation)가 집중되어 0.2~0.3 μm 간격으로 존재하고, 이에 따라 표면굴곡이 미세하게 발생하였다. Thermally driven relaxation(TDR) 기술로 에피성장 온도 650 $^{\circ}\text{C}$ 에서 1000 $^{\circ}\text{C}$ 로 급속히 열처리하여 SiGe/Si 계면에서 응력이 이완되도록 유도하고, 표면으로 전위가 전달되는 TD (Threading Dislocation)를 줄인다[16]. 임계두께보다 작은 두께의 SiGe층을 Si 위에 성장하여, 기판의 온도를 급속히 올리면 전위가 SiGe/Si의 계면에 집중되어 에피의 표면으로 전파되는 정도를 감소시키며, 응력이 축적되어 발생하는 표면굴곡도 줄어들면서 이완된 완충층을 성장할 수 있다[14].

TDR를 이용하여 SiGe 완충층을 성장하는 중도에 고온의 열처리를 통하여 SiGe층의 응력완화를 유도하고, 그 후에 다시 SiGe층을 성장하여 결함이 상부로 전파되지 못하고 SiGe완충층 아래에 집중된다. 특히 EPD가 $\text{mid} \times 10^{-1} \text{ cm}^{-2}$ 으로 제어되며, SiGe 완충층을 300 nm 정도의 두께에서 얻을 수 있어서 평탄구조에서 HIFET 제작이 가능하다. 그러나 뒤의 HFET 특성에서 측정된 바와 같이, 소스 드레인 사이에 발생하는 누설전류를 감소시키기 위해서 EPD를 더욱 감소시키고, 완충층의 두께도 $\sim 5 \mu\text{m}$ 으로 높여서 이용할 필요가 있다.

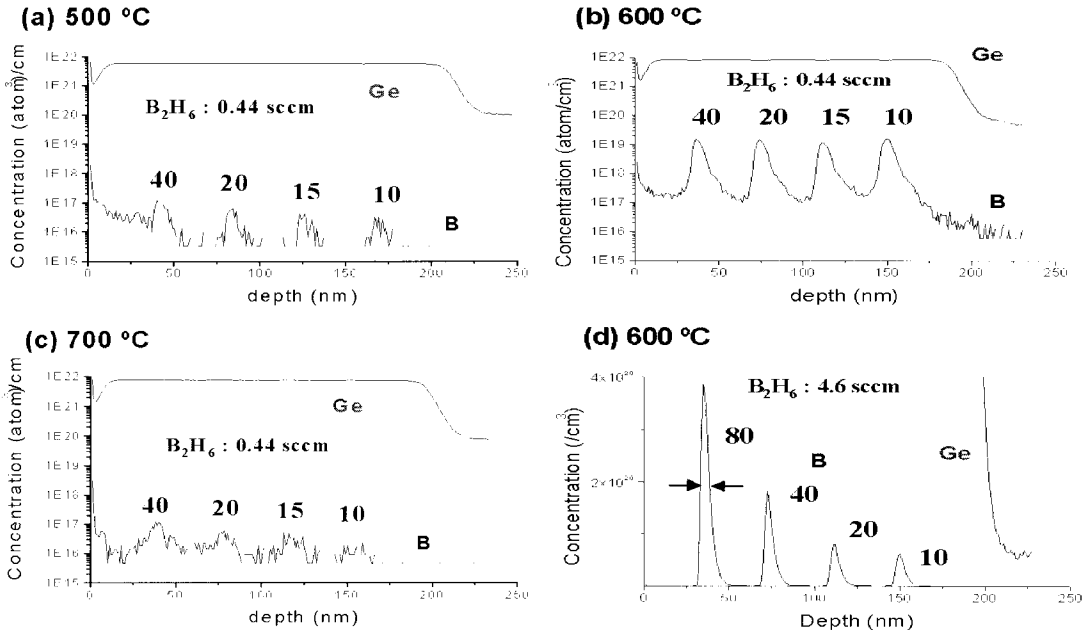


그림 5. SIMS 분석에 의한 Ge와 B의 깊이분포로서 B₂H₆의 유량이 0.44 sccm으로 낮은 상태에서, 기판의 온도를 (a) 500 °C, (b) 600 °C, (c) 700 °C와 (d) 유량을 4.6 sccm으로 높여서 600 °C에서 성장하였으며, B의 흡착을 위한 시간은 10, 15, 20, 40, 80 초를 사용.

Fig. 5. Depth profile of Ge and B for the samples grown at different substrate temperatures: (a) 500 °C, (b) 600 °C, and (c) 700 °C, where time intervals for boron adsorption were 10, 15, 20, 40 sec. The peaks look clear and sharp in (d) grown with high B₂H₆ flow rate of 4.6 sccm, where the y axis depicts the sharp distribution in linear scale.

3.2 붕소와 인의 이차원 도핑

Si에서 B의 확산에 대한 활성화에너지는 3.46 eV이고, 900 °C에서 고용도는 $7 \times 10^{19} \text{ cm}^{-3}$ 로 높다. 그리고 압축응력하의 SiGe($X_{\text{Ge}}=0.2$)에서 B는 2~4 배 확산계수가 감소하고, 응력이 완화된 효과를 보인다. 한편, Si에서 P의 확산활성화에너지는 3.66 eV이고, 고용도는 900 °C에서 $3 \times 10^{20} \text{ cm}^{-3}$ 으로 높으며, SiGe에서 확산계수는 실리콘에 비하여 ~2배로 높다[17]. 따라서 SiGe에서 B에 비해 P의 이차원도핑이 어렵다는 예측이 가능하다.

그림 5는 실리콘에서 델타도핑에 대한 실험결과로 Si/SiGe의 이중접합을 이용하여 실험한 결과이다. 특히, B의 이차원 도핑에는 도핑소스의 유량뿐만 아니라 기판온도는 웨이퍼의 표면에서 흡착-탈착반응에 대한 균형을 맞추는데 가장 중요한 변수이다. 500 °C와 700 °C의 저온과 고온에서 이차원도핑의 정도가 적절치 않은데 비하여, 600 °C의 온도에서는 날카로운 이차원의 프로파일을 나타낸다.

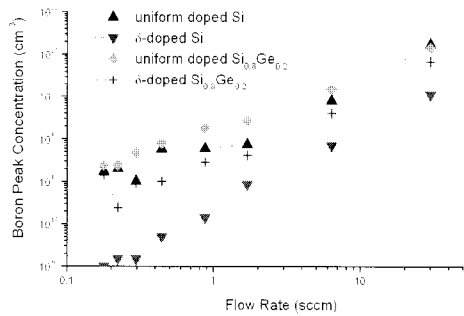


그림 6. B₂H₆의 유량변화에 따른 Si과 SiGe의 예외중에 도핑된 uniform 도핑농도와 이차원의 델타도핑의 피크농도.

Fig. 6. Boron peak-concentrations measured from Si and SiGe samples doped with uniform doping and δ -doping conditions, respectively, as a function of B₂H₆ flow rate.

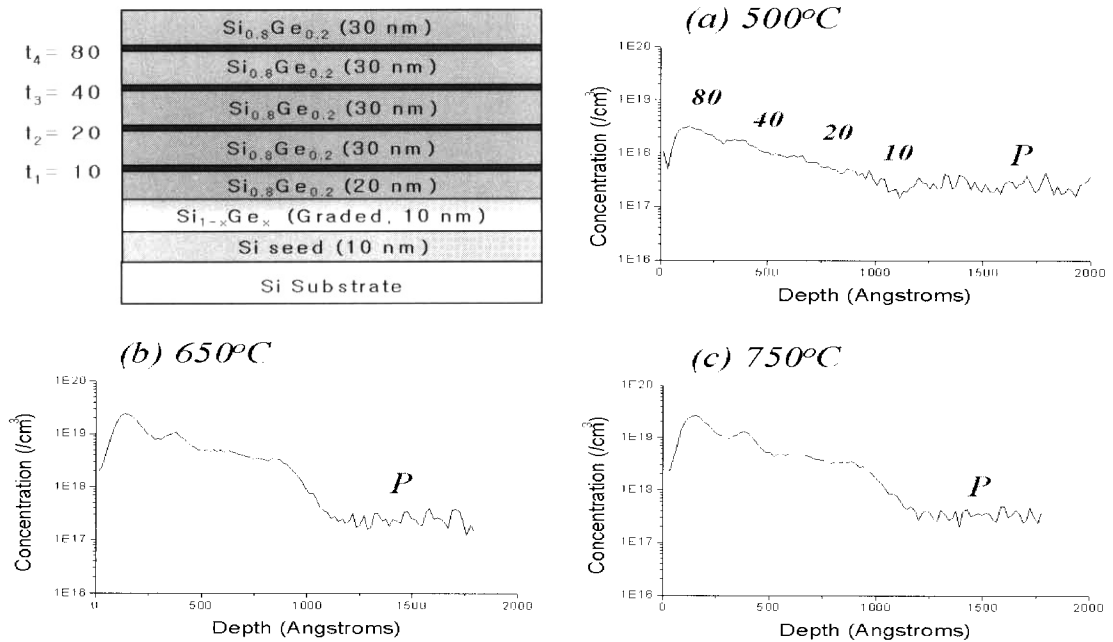


그림 7. SIMS 분석에 의한 Ge과 P의 깊이분포로서 기판의 온도를 (a) 500 °C, (b) 650 °C, (c) 750 °C에서 P의 흡착을 위한 시간을 10, 20, 40, 80 sec로 사용.

Fig. 7. Depth profile of Ge and P for the samples grown at different substrate temperatures: (a) 500 °C, (b) 650 °C, and (c) 750 °C, where time intervals for boron adsorption were 10, 20, 40, 80 sec.

SIMS에서 불순물의 상호혼합에 의한 분산효과를 반영하지 않았음에도 불구하고, 그림 5(b)와 (d)의 SIMS 데이터에서 붕소피크의 반치폭이 5 nm 이하임을 확인할 수 있다. 그리고 B₂H₆의 유량이 4.6 sccm으로 높을 때, 반치폭이 작은 고농도 피크를 얻기에 더욱 적합하다.

그림 5의 결과는 저온에서 에피 표면에 존재하는 수소결합과 관련된 표면반응의 현상으로 이해된다. 표면에 실리콘 원자와 결합한 수소원자는 550 °C 이상에서 분해가 증가하여 수소의 표면차폐가 감소하면서 B의 흡착이 급증하며, 10¹⁹ cm⁻³ 이상의 고농도에서 B의 도핑은 연속적으로 높아진다. 이와 다르게 700 °C 이상의 고온에서 확산에 의한 분산보다는 B의 높은 증기압으로 인하여 sticking 확률의 감소로 이차원 도핑이 어렵다는 점을 알 수 있다. 이러한 실험결과로부터 이차원 도핑을 위한 기판의 온도는 550~650 °C 부근에서 최적임을 제시할 수 있다. 그림 5(d)는 피크농도는 시간이 10, 20, 40, 80초로 증가함에 따라 거의 선형적으로 비례하여 5x10¹⁹, 7x10¹⁹, 1.8x10²⁰, 3.9x10²⁰

cm⁻³으로 증가함을 보인다.

그림 5에서 유의할 점은 적정한 기판온도와 소스가스의 분압이 유지되면 흡착을 위한 도핑가스를 에피의 표면에 노출한 시간은 피크농도나 반치폭에 거의 영향을 미치지 않는다는 점이다. 10초 이상 노출된 표면에서 농도의 변화가 크지 않은 것은 동역학적 평형이 10초 이내에 이루어져서 원자층의 수준에서 이차원도핑이 이루어짐을 의미한다. 그리고 저온에서는 기판표면의 원자와의 계면반응의 효율이 낮아 sticking coefficient가 작고, 고온에서는 열에 의해 탈착이 활성화 되어 incorporation이 감소한다.

SiGe에 Ge의 함량이 10 %로 증가되면 B의 도핑농도가 10배 이상 높아지므로 Si보다 SiGe에서 이차원 도핑이 극히 용이하다. 그림 6는 SiGe/Si의 헤테로구조의 샘플을 적용하여 소스유량의 효과에 대해 실험된 결과에서 취해진 균일 도핑농도와 이차원 도핑의 피크농도를 보여준다. Si 에피층에서 균일 도핑농도는 SiGe 층에서 보나 1/10보다 적으며, 이차원 도핑농도는 1/5배 이하로 적은 값을 보

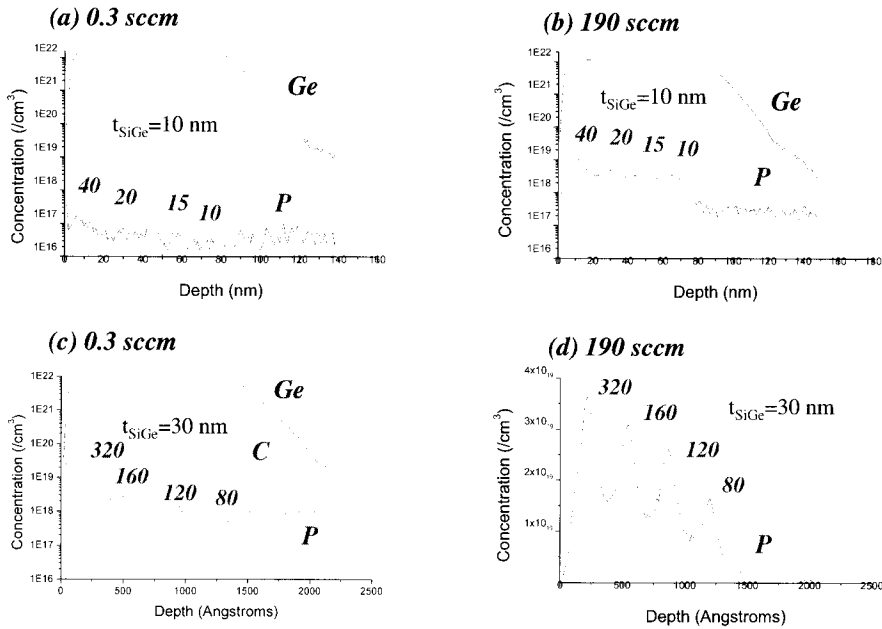


그림 8. SIMS 분석에 의한 Ge, P, C의 깊이분포로서 PH₃의 유량, P의 흡착을 위한 시간, 델타도핑 사이의 SiGe층 두께는 각각 (a) 0.3 sccm, 10~40 sec, 10 nm, (b) 190 sccm, 10~40 sec, 10 nm, (c) 0.3 sccm, 80~320 sec, 30 nm, (d) 190 sccm, 80~320 sec, 30 nm이며, 비교를 위해 (d)는 농도축에 선형 스케일을 사용.

Fig. 8. SIMS depth profile of Ge, P, C measured from SiGe layers with different PH₃ flow rate, delta-doping time, and film thickness: (a) 0.3 sccm, 10~40 sec, 10 nm, (b) 190 sccm, 10~40 sec, 10 nm, (c) 0.3 sccm, 80~320 sec, 30 nm, (d) 190 sccm, 80~320 sec, 30 nm, where the peaks look clear and sharp in (d) as plotted in linear scale.

인다. 특히 도핑소스 유량이 1 sccm 보다 적은 영역에서 농도가 $10^{17} \sim 10^{19} \text{ cm}^{-3}$ 부근으로 얻었지만 실리콘의 에피층에 이차원 도핑은 $1 \times 10^{17} \text{ cm}^{-3}$ 이하로 격감하였다.

반면, SiGe에는 $10^{18} \sim 5 \times 10^{20} \text{ cm}^{-3}$ 의 피크농도의 범위에서 이차원 도핑에 의한 농도가 제어될 수 있으며, 이차원 도핑의 반치폭이 5nm 이하이고, 이차원 도핑의 면농도는 $5 \times 10^{11} \sim 3 \times 10^{14} \text{ cm}^{-2}$ 으로 얻어졌다. 상술된 바와 같이 SiGe에서 B소스의 높은 incorporation 확률과 낮은 확산계수로 인하여 기판온도 600 °C 주위에서 소스가스의 분압을 제어하여 피크농도가 일정한 이차원 도핑을 재현성 있게 제작할 수 있다.

기판온도 600 °C에서 붕소원자의 확산거리는 무시될 정도이고, 더욱이 압축응력을 받는 SiGe에서 확산이 크게 감소하여 확산기구에 따르는 재분포

는 무시될 수준이다.

그림 7은 SIMS 분석에 의한 Ge과 P의 깊이분포로서 PH₃의 유량이 90 sccm인 상태에서, 기판온도를 (a) 500 °C, (b) 650 °C, (c) 750 °C에서 P의 흡착을 위한 가스의 노출시간을 10, 20, 40, 80 초로 사용하였다. 성장표면으로 편석이 심하여 농도분포가 완만하며, 기판온도가 500 °C인 경우는 피크농도가 낮지만, 650 °C와 750 °C에서는 비슷한 피크 농도를 보인다. 앞의 그림 5에서 검토된 B에 비하여 분포의 dispersion이 심각하고, 피크농도가 낮아서 날카로운 이차원 도핑의 흡착을 위한 성장 기술의 개발이 더욱 어렵다.

그림 8에는 SIMS 분석에 의한 Ge, P, C의 깊이분포로서 PH₃의 유량, P의 흡착을 위한 시간, 델타도핑에 분리층 (interlayer)인 SiGe 두께(t_{SiGe})가 각각 (a) 0.3 sccm, 10~40 sec, 10 nm, (b) 190 sccm,

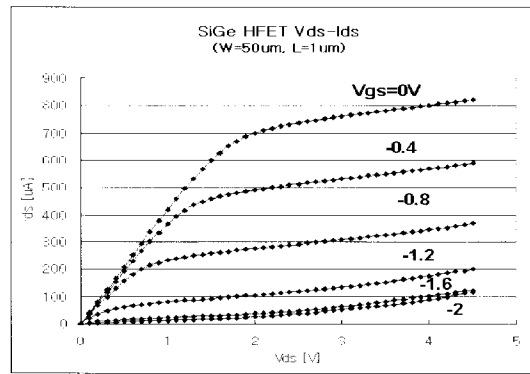
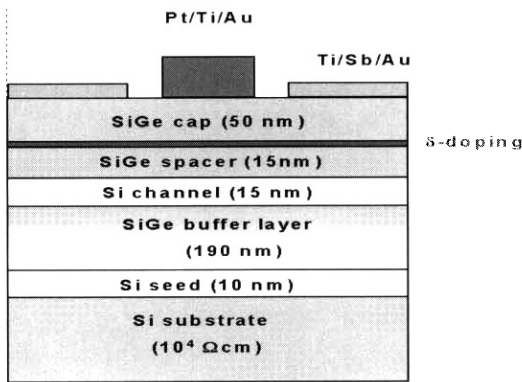


그림 9. SiGe 에피층에 P를 델타도핑하여 제작된 (a) n HFET의 구조와 (b) I-V 특성(LxW=1 μm x 50 μm). 쇼트키 게이트와 오믹을 위해 각각 Pt/Ti/Au와 Ti/Sb/Au의 금속 반도체 접합을 사용.

Fig. 9. (a) SiGe nHFET structure using phosphorous delta-doping, and (b) I-V characteristics (LxW=1 μm x 50 μm), where Schottky and ohmic contacts were made of Pt/Ti/Au and Ti/Sb/Au deposition using e beam evaporations.

10~40 sec, 10 nm, (c) 0.3 sccm, 80~320 sec, 30 nm, (d) 190 sccm, 80~320 sec, 30 nm 이며, 비교를 위해 (d)는 농도축에 선형 스케일을 사용하였다. 유량이 190 sccm 이상으로 충분하면, P의 피크농도는 시간이 80, 120, 160, 320초로 증가함에 따라 1.6×10^{19} , 2.6×10^{19} , 3.1×10^{20} , 3.7×10^{20} cm⁻³으로 변화하여 선형으로 증가하였다. 그러나 유량이 0.3 sccm으로 낮으면 PH₃가 기판표면에 노출되는 시간이 길어도 이차원도핑의 피크농도의 증가는 미미한 특성을 보였다.

따라서 PH₃의 증기압에 따라 피크농도가 심하게 좌우된다. 반면 190 sccm으로 유량이 충분히 높으면 노출시간이 80초 이상으로 증가하면서 이차원도핑의 피크형태가 확실해지며, 반치폭 ~20 nm를 그림 8(d)에서 보인다. 따라서 B보다 분산이 심해서 이차원 도핑이 어렵지만 10 nm 이상의 분리층을 사용한다면 소자적용에 유용한 에피성장 가능성이 가능하다.

더욱 날카로운 이차원 P 도핑을 유지하여 나노스케일 소자의 재현성을 높이기 위해서는 저온에서 고품위 산화막을 형성하거나 이온주입 및 활성화 같은 후속공정에서 제분포를 저지하는 기술이 필요로 된다[18]. 이러한 목적으로 SiGe:C나 SiGe:F 와 같이 B의 확산계수를 제어하는 다른 에피층의 성장이 고려되고 있으며, 수 원자층(< 1 nm) 정도의 이차원 도핑을 위해서 성장챔버에 잔류하

는 극미량 소스의 완전한 제거도 추가하여 요구된다.

3.3 SiGe 이종접합소자의 특성

초고속 소자의 모델링은 소자의 전기적 특성을 체계적으로 평가하기 위하여 SiGe/Si 에피의 두께, Ge몰농도, 도핑농도의 영향에 대하여 Silvaco의 2D 시뮬레이션툴을 사용하여 항복전압과 이동특성에 대한 소자의 구조(채널층과 cap층의 두께, 이차원도핑 농도, Ge의 몰분율)와의 관계를 고려하여 그림 9와 10과 같이 구조를 제작하였다[13].

이차원 도핑에 의하여 상온에서 운반자의 이동도가 n-type ~1100 cm²/Vs, p-type ~400 cm²/Vs의 얻었다. MES 구조에서는 쇼트키접합과 오믹접합 특성에 따라 HFET (Heterostructure FET)의 특성이 많이 좌우된다. Phosphorous의 도핑농도를 10¹⁷, 10¹⁹ cm⁻³으로 한 두께 100 nm의 Si_{0.83}Ge_{0.17}을 RPCVD로 성장하여 n-type에서 쇼트키와 오믹접합 실험을 수행하였다.

오믹접합으로 Ni/Sb/Au, Cr/Sb/Au, Ti/Sb/Au (10 nm/20 nm/50 nm) 의 다층금속박막을 사용하여 실험한 결과 300 °C의 열처리에서 10⁻³~10⁻⁶ ohm cm²의 접촉저항을 얻었다. 쇼트키접합의 경우 전위장벽은 0.5~0.65 eV로 금속(Cr, Ru, Au, Ir, Pt)의 일함수에 비례하고, 쇼트키 접합에서 n=1~2로 산포가 있었다. 소자제작에는 그림 9과 같이 쇼

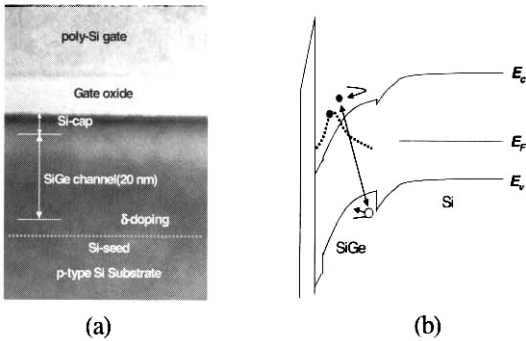


그림 10. n-type HMOS의 SiGe/Si 이종접합 구조의 (a) XTEM 사진과 (b) 에너지 밴드구조.

Fig. 10. (a) XTEM and (b) energy band structure of SiGe/Si heterostructures employed to n type HMOS fabrication. The discontinuous energy barrier in valence band play a significant role in reducing hole movement to Si side.

트키 접합에 Pt/Ti/Au를 오막에 Ti/Sb/Au의 금속 접합을 이용하였다.

그림 9는 n-type HFET를 제작하여 측정된 1 V 특성을 보인다. Triode 영역에서 소스-드레인간 저항(R_{DS})이 2 kohm으로 매우 높은 이유는 $W \times L$ ($50 \mu m \times 1 \mu m$)으로 큰 게이트 길이와 게이트 소스, 게이트와 드레인 사이의 간격이 $1 \mu m$ 으로 커서 존재하는 기생저항의 성분에 해당된다. 게이트 길이를 $0.1 \mu m$ 수준으로 낮추고 소스-드레인 사이에 이온주입공정이나 shallow junction 기술을 이용하여 n⁺ 접합을 형성시키면 소스-드레인 저항은 충분히 감소될 수 있다.

MES 소자의 임계전압보다 낮은 게이트전압에서 보이는 off 전류는 그림 4와 같이 채널하단부의 SiGe/Si 계면에 존재하는 전위결합에 의한 전류누설의 영향으로 판단된다. Buffer층의 두께를 $2 \mu m$ 이상으로 하여 전계에 의해 전위를 통한 전류를 방지하거나, 소자의 크기를 줄이면 이런 성분의 누설전류는 대폭 감소시킬 수 있다. 그러나 AC 동작에서 기판의 불안정한 기생성분으로 작용할 것이므로 이러한 특성은 심각한 성능저하를 유발시킬 수 있다. 따라서 EPD를 낮추는 SiGe/Si 에피구조 개선방안이나, 또는 heavily doped 층으로 차단시키는 방안이 근본적으로 요구된다.

HFET에서 사용되는 면농도가 $1 \sim 3 \times 10^{13} \text{ cm}^{-3}$ 이

므로 3 nm의 분리층을 사용하면 modulation 도핑 효과를 넣은 SiGe HMOS의 제작이 가능하다. CMOS에서 B의 이차원 도핑은 p 채널에 운반자공급하고, n-채널에는 pocket이온주입과 retrograded 도핑효과를 줄 수 있다[17]. SiGe 양자채널에 직접 이차원 도핑을 하여 소자의 trans conductance를 제어하는 효과는 나노스케일의 CMOS 공정의 집적도 및 성능향상에 유용하다[15]. 동작주파수의 증가와 RF잡음을 감소시키는 효과는 기존 CMOS가 지니는 문제점을 개선시키는 점에 있어서 RF 통신소자에 응용하는데 매우 유용한 장점으로 판단된다.

그림 10(a)는 SiGe HMOS에 적합한 SiGe/Si 이종접합 에피층의 XTEM 사진이다. 위로부터 Si의 나질경 게이트와 산화막, Si-cap, SiGe 채널, Si 스케이스, 델타도핑층, Si seed층을 차례로 위치한다. Si-cap층의 정확한 제어와 게이트 산화막의 성장 기술은 MOS의 전기적 특성을 좌우하는 변수가 된다. Ge의 확산이나 Auto-doping 정도로 Si캡층에 전달되면, 산화막과 실리콘의 계면에 많은 계면상태를 형성시켜 임계전압을 변화시키고, 계면산란에 의해 운반자의 이동도를 격감시키게 된다.

이러한 이종접합 구조를 그림 10(b)와 같이 nMOS를 제작하면, 장점으로 1) Sub threshold 진류감소, 2) floating body효과감소, 3) 게이트 전류감소, 4) 정공의 수명감소와 같은 특징을 더욱 개선시킬 수 있다. 헤테로구조에서 SiGe의 기저대역의 불연속적 에너지 장벽이 impact 이온화에 의해 발생된 정공이 bulk 방향으로 모여서 발생되는 floating body에 의한 Kink 현상을 제거하여, 현재의 PD SOI가 지닌 기생 bipolar의 turn-on 동작에 의한 kink를 줄이거나 제거시켜 IC의 개발이 가능하다. 단, SiGe/Si 계면산란에 의한 이동도 감소에 대한 문제를 해소하기 위해 Si-cap의 두께를 1 nm 정도로 줄이고, SiGe/Si 계면의 거친기를 줄이기 위하여 계면산란과 alloy 산란의 정도를 줄여야 할 것이다.

본 실험에서 게이트 산화막의 계면상태밀도는 E_v 에서 $4.4 \times 10^{10} \text{ cm}^{-2} \text{ eV}^{-1}$ 로 상당히 낮아 동일한 공정의 Si CMOS에서 측정된 $4.2 \times 10^{10} \text{ cm}^{-2} \text{ eV}^{-1}$ 과 거의 같은 수준을 유지한다[19]. 이렇게 낮은 계면상태밀도를 Si cap의 두께가 20 nm 이하에서도 얻었으면 하지만 표면에 존재하는 미량의 Ge도 계면상태의 성능을 크게 저하시킬 수 있다.

그림 11은 제작된 3종류의 SiGe HMOS과 Si

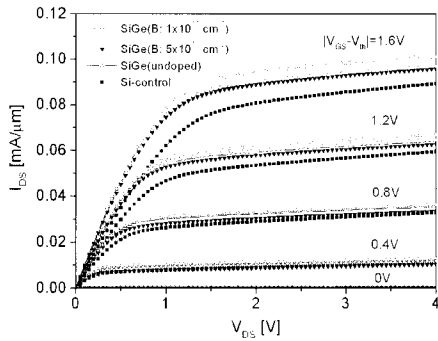


그림 11. SiGe 에피층에 B를 델타도핑하여 제작된 p-HMOS의 I-V 특성(LxW=0.35 μm x 30 μm). SiGe HMOS에서 델타도핑 농도는 각각 undoped, 1x10¹², 5x10¹² cm⁻²으로 조절하였으며, Si-control은 conventional 한 0.35 μm CMOS 제작공정을 적용.

Fig. 11. I-V characteristics of pHMOS developed using Boron delta-doping, where the delta-doping concentration conditions are undoped, 1x10¹², 5x10¹² cm⁻², and Si-control was made by conventional 0.35 μm CMOS fabrication technology.

control의 동작특성을 보인다. SiGe HMOS로는 에피구조에 델타도핑이 없는 undoped와 B를 1x10¹², 5x10¹² cm⁻²으로 이차원 도핑한 4종류의 소자구조를 사용하였다. 그림 11과 같이 HMOS 소자에서 모두 Si-control에 비해 높은 transconductance를 측정하였다. 그 중에서 1x10¹² cm⁻²으로 도핑된 HMOS에서 transconductance 특성이 가장 우수하여 델타도핑에 의한 전도특성에 미치는 효과가 상당함을 보여준다.

그리고 임계전압이 각각 -0.80 V, -0.87 V, -1.04 V, -1.12 V로 5x10¹² cm⁻², 1x10¹² cm⁻². no modulation doping, Si-control의 샘플에서 각각 측정되어, 델타도핑에 의해 공급되는 운반자로 인한 효과로 임계전압의 조절이 유효함을 보인다. 또한, DIBL (Drain Induced Barrier Lowering)효과를 분석하기 위해 드레인 전압을 0.1 V와 3 V 사이에서 변화하며 임계전압을 측정하였다. HMOS에서 DIBL이 21.6 mV/V으로 모두 측정되어, Si-control의 42.8 mV/V에 비하여 절반으로 감소한 특성을

나타냈다.

상기와 같이 델타도핑에 의해 운반자를 SiGe 채널에 구속하는 효과로 감소된 DIBL을 얻었다. 또한 HMOS는 1/잡음을 Si-control에 비해 1/10~1/100으로 감소하였다. 이에 대한 원인으로 게이트 산화막의 물성이 우수한 점이나 채널에서 number fluctuation이나 이동도의 fluctuation이 적다는 점을 들 수 있다. 이러한 잡음원이 얼마나 영향을 미치는지 정확히 제시할 수 없지만, 우선 SiGe이 게이트 산화막의 계면상태에 별로 열화작용을 일으키지 않는다는 점을 알 수 있다. 그리고 SiGe 채널은 운반자를 구속하여 게이트산화막에 존재하는 전하에 의한 쿨롱산란과 계면산란을 극히 감소시킨 것으로 해석된다.

이상과 같이 SiGe/Si의 이종접합 구조를 이용한 MOS소자에 있어서 도핑원소의 델타도핑과 채널구조, 이완된 SiGe 에피층을 이용하여 소자의 성능을 높일 수 있었다. 특히 SiGe p HMOS는 Si-cap과 게이트산화막의 저온성장으로 채널아래에 존재하는 델타도핑층의 날카로운 분포를 유지시킬 수 있었고, 채널에 운반자를 구속하여 속도와 잡음 특성을 개선시키는 효과를 보였다[15]. 더욱이 저온의 게이트 산화막 성장 기술을 적용하여 동일한 SiGe/Si 채널의 에피구조에서 CMOS를 제작하여 각각 nMOS와 pMOS의 성능을 개선시킬 수 있는 점은 큰 장점이므로 이에 대한 응용 가능성이 높다고 할 수 있다.

근래에 MOSFET 소자의 동작주파수가 200 GHz 대로 충분히 높아지면서, RF-CMOS의 적용이 GSM/PCS, WLAN, bluetooth의 주요 무선통신 칩에 대한 상품화가 확대되고 있다. 대표적인 디지털 융합 기술로 RF 프론트엔드와 디지털 모델과 메모리를 집적하여 SoC를 제작할 수 있는 장점이 중요해지면서, IT-SoC 비메모리반도체의 비중이 높다. 특히 Si CMOS의 응용이 1~5 GHz대를 넘어서 10 GHz 까지 높아지는데 있어서 SOI 및 SiGe 차세대반도체의 역할이 확충될 것으로 사료된다.

4. 결론

RPCVD를 이용한 SiGe/Si 에피의 성장에 있어서 B와 P의 이차원 도핑을 공정조건과 공정기술을 연구하였으며, 이차원 도핑을 적용한 SiGe/Si 헤테로접합 소자의 특성에 대해 고찰하였다. B와 P의 경우 FWHM이 5 nm, 20 nm 정도의 이차원도핑의 결과를 볼 수 있었으며, 도핑농도는 5x10¹¹~

$3 \times 10^{14} \text{ cm}^{-2}$ 수준에서 얻었다. 이러한 조건은 SiGe를 사용한 이중접합 채널의 높은 이동도와 국부적 농도제어로 나노스케일의 FET의 제작에 적합하다. P의 국부적인 도핑을 이용하여 제작한 HFET에서 측정된 I-V 특성에서 외부 소스-드레인 저항과 이완된 완충층에 발생된 결정결함의 영향을 보였다. 그리고 이차원 도핑된 B를 적용한 HMOS는 종래의 MOS에 비해 DC 이득과 SCE가 20~30% 개선된 특성을 얻었다. 따라서 이차원 도핑의 고품질 양자채널로 제작된 SiGe HMOS 소자는 <10 GHz 대역의 통신용 회로의 구현에 유용할 것으로 사료된다.

감사의 글

본 논문은 학술진흥재단의 신진교수연구지원사업(KRF-2004 003-D00189)으로 수행되었으며, 한국전자통신연구원(KETRI)의 SiGe소자팀 시설과 장비의 활용, 측정분석에 대한 협조에 감사드립니다.

참고 문헌

- [1] C. T. Chuang, K. Bernstein, R. V. Joshi, R. Puri, K. Kim, E. J. Nowak, T. Ludwig, and I. Aller, "Scaling Planar Silicon Devices", *IEEE Circuits & Devices Magazine*, p. 6, 2004.
- [2] J. S. Dunn, D. C. Ahlgren, D. D. Coolbaugh, D. R. Greenberg, R. A. Groves, A. J. Joseph, J. S. Rich, K. J. Stein, P. C. Wang, D. L. Harame, and B. S. Meyerson, "Foundation of rf CMOS and SiGe BiCMOS technologies", *IBM J. Res. & Dev.*, Vol. 47, No. 2, p. 101, 2003.
- [3] S. E. Thompson, M. Armstrong, C. Auth, S. Cea, R. Chau, G. Glass, T. Hoffman, J. Klaus, S. Tyagi, K. Mistry, M. Bohr, and Y. E. Mansy, "A logic nanotechnology featuring strained-silicon", *IEEE Electron Device Lett.*, Vol. 25, No. 4, p. 191, 2004.
- [4] C. K. Maiti and G. A. Armstrong, *Applications of Silicon-germanium Heterostructure Devices*, Institute of Physics Publishing, Bristol and Philadelphia, p. 196, 2001.
- [5] E. Kasper and K. Lyutovich, "Properties of Silicon Germanium and SiGe:Carbon", *INSPEC*, p. 327, 2000.
- [6] 심규환, 송영주, 민봉기, 강진영, "SiGe BiCMOS 기술", *전자공학회지*, 29권, 9호, p. 68, 2002.
- [7] D. O. Shin, S. H. Ban, Y. S. Ahn, N. E. Lee, and K. H. Shim, "Structural and electrical characteristics of epitaxial CoSi₂ grown on nSi_{0.85}Ge_{0.15}/n-Si(001) by reactive chemical vapor deposition using a Si capping layer", *Thin Solid Film*, Vol. 458, p. 269, 2004.
- [8] D. T. Lie and K. L. Wang, "Si/SiGe heterostructures for Si-based nano-electronics", *Handbook of Advanced Electronic and Photonic Materials and Devices*, Vol. 2, Chap. 1, p. 1, 2001.
- [9] 김영수, "SiGe 반도체 기술 동향 분석", *한국과학기술정보연구원, 기술동향 분석보고서*, 2003.
- [10] Y. J. Song, K. H. Shim, J. Y. Kang, and K. I. Cho, "DC and RF characteristics of SiGe pMOSFETs: enhanced operation speed and low 1/f Noise", *ETRI Journal*, Vol. 25, No. 3, p. 203, 2003.
- [11] K. H. Shim, H. S. Kim, J. Y. Lee, J. Y. Kang, and M. K. Song, "Low-temperature growth of in situ phosphorous-doped silicon films: two-step growth utilizing amorphous silicon buffers", *Thin Solid Films*, Vol. 369, p. 185, 2000.
- [12] K. H. Shim, Y. J. Song, and J. Y. Kang, "High performance SiGe pMOS using reduced pressure CVD", *Solid-state Technology*, p. 51, 2004.
- [13] Y. J. Song, J. W. Lim, J. Y. Kang, and K. H. Shim, "High transconductance modulation-doped SiGe pMOSFETs by RPCVD", *Electronics Letters*, Vol. 38, No. 23, p. 1497, 2002.
- [14] 김상훈, 이승윤, 박찬우, 심규환, 강진영, "증착과 식각의 연속공정을 이용한 저온 선택적 실리콘-게르마늄 에피성장", *한국전기전자재료학회논문지*, 16권, 9호, p. 657, 2003.
- [15] S. L. Wu, P. W. Chen, S. J. Chang, S. Koh, and Y. Shiraki, "Influence of delta-doping position on the characteristics of SiGe Si DCFETs", *IEEE Electron Device Lett.*, Vol.

- 25, No. 7, p. 477, 2004.
- [16] S. H. Kim, Y. J. Song, K. H. Shim, and J. Y. Kang, "High quality strain relieved SiGe buffer prepared by means of thermally-driven relaxation and CMP process", SiGe: materials processing and devices, Honolulu, Hawaii, 3-8, 2004.
- [17] A. Portavoce, P. Gas, I. Berbezier, A. Ronda, J. S. Christensen, and B. Svensson, "Lattice diffusion and surface segregation of B during growth of SiGe heterostructures by molecular beam epitaxy", J. Appl. Phys., Vol. 96, No. 6, p. 3158, 2004.
- [18] B. Mheen, Y. J. Song, J. Y. Kang, K. H. Shim, and S. Hong, "Low leakage and high performance of nMOSFET using SiGe layer as a diffusion barrier", Materials Science in Semiconductor Processing, Vol. 7, p. 375, 2004.
- [19] Y. J. Song, B. Mheen, J. Y. Kang, Y. S. Lee, N. E. Lee, J. H. Kim, J. I. Song, and K. H. Shim, "A low-temperature and high-quality radical-assisted oxidation process utilizing a remote ultraviolet ozone source for high-performance SiGe/Si MOSFETs", Semicond. Sci. Technol., Vol. 19, No. 7, p. 792, 2004.