

ZnO 바리스터의 단입계면 분석을 위한 마이크로 전극 제작과 전기적 특성 해석

The Fabrication of Micro-electrodes to Analyze the Single-grainboundary of ZnO Varistors and the Analysis of Electrical Properties

소순진¹, 임근영², 박춘배^{2,a}
(Soon-Jin So¹, Keun-Young Lim², and Choon-Bae Park^{2,a})

Abstract

To investigate the electrical properties at the single grainboundary of ZnO varistors, micro-electrodes were fabricated on the surface which was polished and thermally etched. Our micro-electrode had 2000 Å silicon nitride layer between micro-electrode and ZnO surface. This layer was deposited by PECVD and etched by RIE after photoresistor patterning process using by mask 1. The metal patterning of micro-electrodes used lift off method. We found that the breakdown voltage of single grainboundary is about 3.5~4.2 V at 0.1 mA on I-V curves. Also, capacitance-voltage measurement at single grainboundary gave several parameters(N_d , N_t , Φ_b , t) which were related with grainboundary.

Key Words : ZnO varistor, Single-grain boundary, Lift-off, RIE dry etching, Double-schottky barrier

1. 서론

최근 급속한 정보산업의 발달과 함께 정보통신 기기, 무인 자동화기기 등 전자·정보기기의 사용이 날로 확대되어 가면서 더욱 안정적인 고품질의 전력 공급이 요구됨에 따라, 낙뢰 개폐 서어지 (surge) 등 이상 과전압으로부터 계통을 보호하기 위한 기술이 중요한 과제로 대두되고 있다. 현재 국내 전력계통에는 약 63만개의 ZnO계 세라믹 바리스터 소자 피뢰기(Lighting Arrester)를 설치 운전 중에 있으며, 매년 피뢰기의 고장은 2,500~3,500건으로서 전체 선로계통 고장의 4~6 %를 차지하고 있다. 그 원인의 45 % 이상이 ZnO 소자의 경년열화 및 제품결함으로 밝혀지고 있으며, ZnO

소자 열화원인은 피뢰기 특성상 상시 과전압과 서어지 흡수에 의한 열화현상으로 알려져 있다[1-4].

ZnO 바리스터의 비선형 특성은 본질적으로 단입계면에 형성된 이중쇼트키장벽에 의해 이루어지고, 열화특성 또한 이 입계면의 열화현상에 기인되는 것으로 알려져 있다[5]. 현재까지는 벌크 상태에서 등가회로를 이용한 간접적인 분석을 시도하여 입계면에서 전기적 특성을 추정하는 형태의 정보를 보고하였다[3,4]. 이러한 미세구조 내에서의 전기적 특성의 부재로 바리스터의 개발이나 특성 개선은 경험적 접근법에 의존하고 있는 실정이다[4-7]. 현재까지 ZnO 바리스터 소자의 단결정립 및 단입계에서의 전기적 특성을 정확히 이해하는 것은 결정립간에 마이크로 전극을 형성하는 문제 때문에 많은 보고가 없었으며, 일부 전류-전압 특성을 보고하는 연구가 있으나[8-13], 단입계면에서의 전기적 특성을 이해하기에는 이 분야에 더 많은 연구가 요구된다.

따라서, 본 연구에서는 ZnO 바리스터의 미세구조 내에 반도체 공정에서 활용하고 있는 lift-off

1. (주)나리지·온
2. 원광대학교 공과대학 전기전자 및 정보공학부
(전북 익산시 신동동 344-2)
a. Corresponding Author : cbpark@wonkwang.ac.kr
접수일자 : 2004. 10. 25
1차 심사 : 2004. 12. 22
심사완료 : 2005. 2. 18

방식을 이용하여 마이크로 전극을 패터닝하였다. 특히, 본 연구에서는 다른 입계의 영향을 최소화하기 위해 실리콘 질화막을 사용하였으며, 이렇게 형성된 마이크로 전극으로부터 반도체 probing system을 이용하여 단일계면에서의 전류-전압 특성과 C-V 특성을 측정하였다. 이 결과와 벌크형 바리스터의 특성을 비교 분석함으로써 ZnO 피뢰기 소자의 근원적이고 핵심적인 기술적 자료를 확보하고자 한다.

2. 실험

2.1 마이크로 전극 제작을 위한 시편 제조

본 연구를 위해 제작된 ZnO 바리스터는 M. Matsuoka의 기본조성에 SiO₂를 2.0 mole% 첨가하여 표 1과 같은 조성비로 일반 세라믹 제조 공정 순서에 따라 시편을 제조하였다. 제조된 시편 크기는 지름과 두께가 각각 39.5 mm와 1.5 mm가 되도록 연마하였다. 마이크로 전극부착을 위한 반도체 공정을 활용하기 위해서는 표면 거칠기가 매우 중요한 요소이므로 polishing cloth와 diamond paste를 사용해서 표면 거칠기가 1 μm 이내가 되도록 정밀하게 연마하였다. 연마된 시편 표면의 입계면 형상을 확인하기 위해 ZnO-Bi₂O₃ 상태에서 구한 Bi₂O₃의 액화온도 750 °C에서 1시간 동안 열처리하였다.

표 1. 시편의 조성비[mol%].

Table 1. The composition of the specimens [mol%].

Bi ₂ O ₃	Sb ₂ O ₃	CoO	MnO ₂	Cr ₂ O ₃	SiO ₂	ZnO
0.5	1	0.5	0.5	0.5	2.0	95.0

2.2 마이크로전극 설계 및 제작

본 연구에 적용되는 마이크로 전극은 인접 결정립의 영향을 최소화하기 위해서 PECVD(Plasma Enhanced Chemical Vapor Deposition) 장비를 이용한 실리콘 질화물(silicon nitride)의 질연막(2000 Å)을 사용하였으며, 특정 영역을 RIE(Reactive Ion Etching) 장비를 이용 건식식각(dry etching) 하여 전극이 놓일 부분을 노출시켰다. 여기에 사용되는 RIE 건식 식각용 마스크가 첫 번째 마스크로 그림 1(a)에 나타내었다. RIE 공정이 끝나면 건식 식각에 사용되었던 PR(Photoresistor)를 아세톤과

메탄올에 의해 제거하고 Lift-off 공정을 활용하기 위해 2차 사진 식각공정을 진행하였다. 이때 메탈 패턴을 형성하기 위해 두 번째 마스크를 사용하였으며 설계된 마스크는 그림 1(b)에 나타내었다.

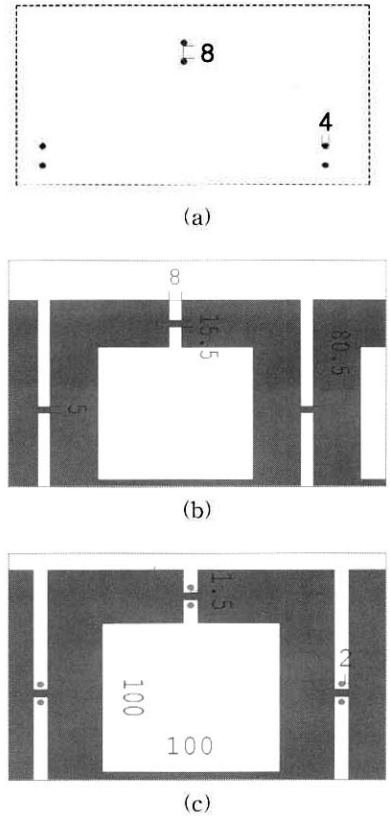


그림 1. 마이크로 전극 제작을 위한 사진식각공정의 마스크 디자인.

- (a) RIE 건식식각을 위한 마스크 #1 (청색 : clear, 흰색 : Cr), 단위 : μm.
- (b) 메탈 패턴 형성을 위한 Lift-off용 마스크 #2 (자주색 : clear, 흰색 : Cr), 단위 : μm.
- (c) 마스크 #1 + 마스크 #2, 단위 : μm.

Fig. 1. Mask design of photolithography to fabricate micro-electrodes.

- (a) Mask #1 for RIE drying etching (blue : clear, white : Cr), unit : μm.
- (b) Mask #2 for the metal patterning used Lift-off method (purple : clear, white : Cr).
- (c) Mask #1 + Mask #2, unit : μm.

마이크로 전극을 증착하기 전에 scum을 제거하기 위해서 O₂ 플라즈마를 이용한 Asher 공정을 200 W에서 120초 진행하였으며, 메탈 증착 전처리를 암모니아계 용액을 이용하였다.

메탈 증착은 E-beam 증착기를 이용하여 Ti/Al을 500 Å/15000 Å의 두께로 증착하였고, lift-off 공정을 거쳐 메탈 패터닝을 완료하였다.

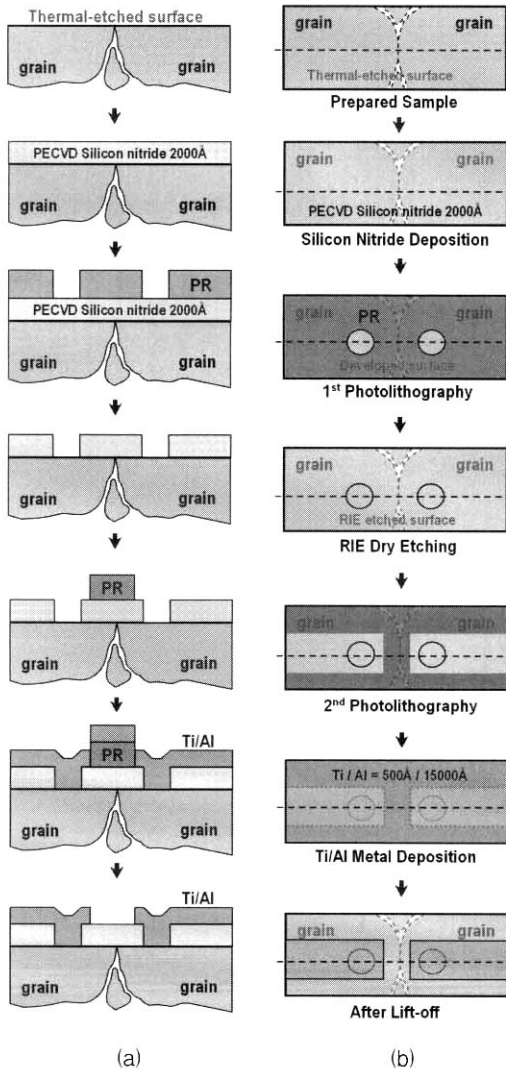


그림 2. 마이크로 전극 제작에 사용된 반도체 공정도 (a)단면도 (b)평면도.

Fig. 2. Summary of semiconductor process used at the fabrication of microelectrodes (a)side view (b)top view.

그리고 증착된 메탈의 옴직접촉 형성을 위해 540 °C에서 30분 동안 열처리하였다. 그림 2에 마이크로 전극을 제작하기 위한 반도체 공정도를 나타내었다.

2.3 특성 분석

벌크형 시편의 상분석과 미세구조분석은 각각 X-ray 회절분석기(XRD)와 전자현미경(SEM)에 의해 이루어졌다. 벌크형 시편의 전기적 특성을 분석하기 위해서, 표 1에 나타난 조성비로 제작한 시편을 지름 10 mm, 두께 1.2 mm의 디스크 형태로 제작하였다. 또한, 옴직접촉을 위해 전극은 실버패스트를 사용하였으며 열처리 온도와 시간은 각각 350 °C와 30분으로 하였다. 이렇게 제조된 벌크형 시편의 전압-전류(E-J) 특성은 컴퓨터와 PCI-GPIB 통신을 연결시킨 Electro-meter(Keithley-6517)를 이용하여 측정하였다. 측정된 E-J 특성곡선에서 비선형계수 α 는 관계식을 이용하여 계산하였다[5]. 마이크로 전극이 형성된 단입계면에서의 전기적 특성은 마이크로 프로버(Cascade 12000시리즈)와 Semiconductor Parameters(Agilent 4155) 그리고 Impedance Analyzer(Agilent 4284A)의 측정 시스템에 의해 분석되었다.

3. 실험 결과 및 고찰

이전 연구[4]에서 M. Matsuoka의 기본조성에 SiO₂ 첨가에 따른 전기적 특성과 열화특성을 보고한바 있다. SiO₂ 첨가량이 2.0 mol%인 시편에서 가장 우수한 전기적 특성과 열화특성을 나타내었으며, 본 연구에서는 이 시편에 추가로 마이크로 전극을 형성하고 미세구조 내의 단입계면의 특성을 연구한 것이다. SiO₂ 첨가량이 2.0 mol%인 벌크형 시편의 일반적인 특성을 요약하면, XRD 분석 결과에서 (101), (100) 등의 ZnO 주 peak와 미량의 스피넬 상을 나타내어 일반적인 Bi계 바리스터의 XRD 패턴을 보였다. 또한, 평균 결정립의 크기는 13.87 μm 로 나타났으며, 비선형계수 α 는 52.3으로 우수한 비선형 특성을 나타내었다. 결정립의 크기에 영향을 받는 1 mA/cm²에서의 전압인 바리스터 동작전압은 2.32 kV/cm를 나타내었다.

그림 3은 마이크로 전극이 부착된 시편의 광학현미경 사진을 보여준다. 그림 1의 마스크 설계와 같은 금속 전극패턴이 형성되었음을 알 수 있다. PECVD를 이용한 2000 Å 실리콘 질화막은 메탈에 반사되는 강한 빛의 세기와 ZnO 바리스터가

검정색에 가까운 어두운 색으로 그림 3에서는 명확히 구분되지 않고 있다. 금속 패턴은 단위 면적당 마이크로 전극의 밀도를 높게 하기 위해 긴 전극과 짧은 전극을 교대로 배치하였다.

한쪽 전극의 프로빙 패드는 $100\ \mu\text{m} \times 100\ \mu\text{m}$ 으로 하였고, 다른 한쪽의 프로빙 패드는 10개의 마이크로 전극을 폭 $100\ \mu\text{m}$ 로 하여 함께 연결되어 있다.

그림 4는 마이크로 전극에서 측정된 전류-전압 특성곡선을 보여주고 있다. 그림 4에서 1 GB(a)와

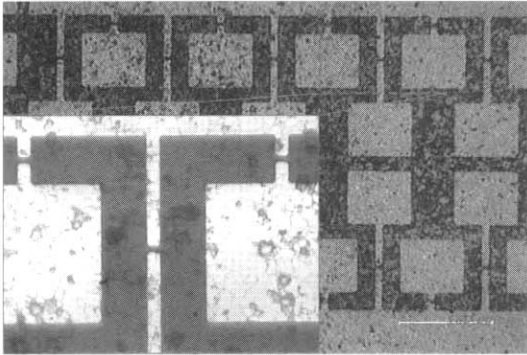


그림 3. 반도체 공정에 의해 제작된 마이크로 전극.
Fig. 3. Micro-electrodes fabricated by semiconductor process.

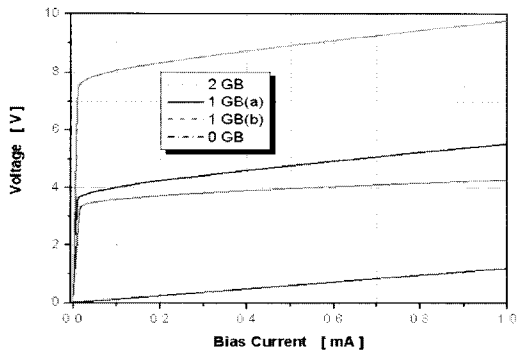


그림 4. 마이크로 전극에서 측정된 전류-전압 특성 곡선 (1 GB(a)와 1 GB(b): 1개의 결정입계, 2 GB: 2개의 결정입계, 0 GB: 결정입계 없는 단일 결정립).

Fig. 4. Current-voltage curves measured at micro electrodes (1 GB(a) & 1 GB(b): single grain-boundary, 2 GB: two grain-boundary, 0 GB: one grain without grain-boundary).

1 GB(b)는 1개의 결정입계를 가진 마이크로 전극에서, 2 GB는 2개의 결정입계를 가진 마이크로 전극에서 측정된 전류 전압 특성 곡선이다. 또한, 0 GB는 결정입계가 없이 단일 결정입계에서의 전류-전압 특성으로 그림에서 나타난 바와 같이 선형특성의 오믹(ohmic) 접촉이 형성되었음을 보여준다. 1개의 결정입계면에서 얻어진 전류-전압 특성곡선에서, 0.1 mA에서의 절연 파괴 전압 (breakdown voltage)은 3.5 V에서 4.2 V 사이에 존재하고 있음을 확인하였으며, 측정 과정에서 이 값의 거의 2배가 되는 2 GB 곡선을 얻었다. 결정입계가 2개가 되는 2 GB의 절연 파괴 전압은 8.1 V로 나타나 단위 결정입계당 절연 파괴 전압은 3.5 V에서 4.2 V 사이에 분포하는 것으로 확인되었다. 이는 다른 이전의 연구에서[11] 얻어진 절연 파괴 전압과 비교해 절연막 (실리콘 질화막)을 삽입한 본 연구에서도 거의 비슷한 수준의 값을 얻었음을 보여준다.

그림 5는 마이크로 전극을 가진 1 GB(a), (b)와 2 GB에 대한 정전용량-전압 측정으로부터 얻어진 $(1/C_b - 1/2C_{b0})^2$ 과 V_{gb} 관계를 나타내고 있다. 그림 5와 PN 접합 관계이론[14]으로부터 ZnO 결정립의 도너 농도 N_d 와 결정입계에서의 장벽 높이 Φ_b 를 다음 관계식으로부터 구할 수 있다.

$$\left(\frac{1}{C_b} - \frac{1}{2C_{b0}} \right)^2 = 2 \frac{(\Phi_b + V_{gb})}{q \epsilon N_d} \quad (1)$$

여기에서, C_b 는 결정입계의 단위 면적당 정전용량, C_{b0} 는 $V_{gb} = 0V$ 일때의 C_b , q 는 전자의 전하량, ϵ 는 ZnO의 유전율 ($-8.5\epsilon_0$)이다.

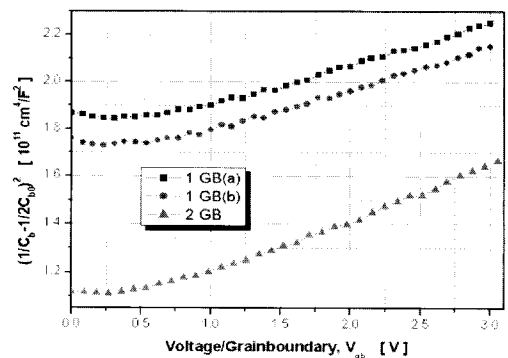


그림 5. 정전용량 전압 측정으로부터 구한 $(1/C_b - 1/2C_{b0})^2$ 과 V_{gb} 관계.

Fig. 5. $(1/C_b - 1/2C_{b0})^2$ vs. V_{gb} obtained from capacitance voltage measurement.

또한, 결정입계에서의 계면상태밀도 N_i 는 ZnO 결정립의 도너 농도와 결정립계에서의 장벽 높이를 이용하여 식 (2)로부터 얻어진다.

$$N_i = \sqrt{\frac{2\epsilon N_d \Phi_b}{q}} \quad (2)$$

결정입계 주변에 형성되는 Schottky 장벽의[5] 공핍층 두께 t 는 다음 식 (3)으로부터 계산되었다.

$$t = \sqrt{\frac{2\epsilon\Phi_b}{qN_d}} \quad (3)$$

그림 5와 PN 접합 관계이론의 위 식들로부터 얻어진 결정입계에 관련된 파라미터들이 표 2에 정리되었다. 단입계와 두 개의 결정입계에서 얻어진 관련 파라미터들을 보면 두 개의 결정입계에서 얻어진 파라미터 값이 단입계에서 얻어진 값에 비해 낮게 나타났다. 이는 두 개의 결정입계 중 낮은 쪽으로 값이 치우쳐지기 때문으로 사료되며, 또한 결정입계마다 특성의 차이가 있기 때문으로 추정된다. 단입계에서의 특성을 검토해보면, 1 GB(a)와 1 GB(b)에 대해 0.1 mA의 절연과피 전압이 각각 4.1 V와 3.6 V로 나타났는데, 절연과피 전압이 높을수록 결정입계에서의 장벽 높이, 공핍층 두께 등 모든 파라미터 값이 높게 나타났다.

본 연구에서 구한 결정입계와 관련된 파라미터 값들은 기존에 발표된 벌크형에서 구한 값과[15] 상당한 차이를 보였는데, 이는 기존 발표된 벌크형의 경우 미세구조 분석을 통한 평균 결정립의 크기를 바탕으로 계산된 값이고, 본 연구에서는 Bi계 바리스터이며 기존 보고는 Bi계가 아니라는 점이 다르며, 또한 기존의 보고에서는 단입계에 인가되는 전압이 겨우 0 ~ 0.7 V 정도의 수준으로 매우

낮은 영역에서 측정되어졌다는 점 등이 파라미터 값의 차이를 보인 것으로 사료된다.

결정입계에 관련된 파라미터 중, 특이한 부분은 장벽의 높이가 약 5~13 eV로 매우 높게 분석되었는데, 이는 입계층(Intergranular layer)이 존재하는 이중 Schottky 장벽 모델에서[5] 입계층의 장벽 높이와 입계층 양쪽에 존재하는 이중 Schottky 장벽이 함께 계산되었기 때문이다. 왜냐하면, 약 10 eV 정도의 장벽 높이가 존재한다는 것은 Schottky 장벽 외에 에너지 밴드 갭이 큰 절연층이 Schottky 장벽 사이에 존재함을 의미하기 때문이다. 이는 입계층이 존재하는 이중 Schottky 장벽 모델과 잘 일치한다.

본 연구는 단입계면에서 직접 전류-전압 특성을 측정·분석한 것 뿐만 아니라, 단입계면에서 정전 용량-전압 특성을 측정하여 결정입계와 관련된 파라미터를 최초로 분석한데 큰 의의가 있다. 그러나 앞으로 벌크형과 단입계간의 상호 관련된 보다 많은 연구와 입계층이 존재하는 이중 Schottky 장벽 모델에 적합한 전도 메커니즘의 해석, 그리고 결정입계에서의 이온 거동 등에 관한 연구가 필요할 것으로 본다.

4. 결 론

본 연구에서는 ZnO 바리스터의 단입계면에서의 전기적인 특성을 분석하기 위해 반도체 공정을 이용하여 마이크로 전극을 설계·제작하였다. 또한, 기존에 보고된 직접 포로빙 방식과 절연막이 없는 마이크로 전극과는 달리 외부 결정립의 영향을 최소화하기 하기 위해 절연막(실리콘 질화막)을 삽입하였다. 본 연구에서 얻어진 결과를 정리하면 다음과 같다.

표 2. 결정입계에 관련된 파라미터.

Table 2. Parameters related to grainboundary calculated at C-V measurement.

Test position	N_d [$\times 10^{21}$ /cm ³]	N_i [$\times 10^{14}$ /cm ²]	Φ_b [eV]	t [nm]
1 GB(a)	1.15	3.73	12.88	3.25
1 GB(b)	1.12	3.51	11.73	3.14
2 GB	0.84	2.07	5.45	2.47

- 1) 단입계에서의 전기적 특성을 분석하기 위해 절연막이 삽입된 새로운 형태의 마이크로 전극이 제작되었다.
- 2) 마이크로 전극의 제작은 마스크 2장을 사용하였는데 마스크 하나는 실리콘 질화막의 RIE 에칭을 위한 것이며, 다른 하나는 금속 패턴 형성을 위한 lift off 마스크였다. 그림 3에 나타낸 마스크 패턴과 같은 메탈 패턴이 형성되었다.
- 3) 마이크로 전극이 부착된 단입계의 전류-전압 특성 분석에서 한 개의 결정입계면에 대한

동작 전압(0.1 mA에서)은 3.5~4.2 V범위에서 분포하였다.

- 4) 단입계면에서 직접 계측된 정전용량-전압 특성을 분석함으로써, 입계에 관련된 파라미터들을 본 연구에서 최초로 보고하였다. 입계에 관련된 파라미터들은 표 2에 정리되었다.
- 5) 단입계면에 관련된 파라미터에서 장벽의 높이는 5~13 eV 정도로 높게 나타났는데 이는 입계층에 존재하는 이중 Schottky 모델에서 입계층의 절연특성 때문으로 사료된다.

감사의 글

본 연구는 산업자원부의 지원에 의하여 기초전력공학공동연구소(R-2003-B-102) 주관으로 수행된 과제임.

참고 문헌

- [1] 소순진, 김영진, 박춘배, “분위기 소결공정에 의해 제조된 ZnO 세라믹 바리스터의 열화기구 연구”, 전기전자재료학회논문집, 13권, 5호, p. 383, 2000.
- [2] 한세원, 조한구, 김은동, “국내 파괴기 기술 및 연구동향”, 전기전자재료학회지, 11권, 7호, p. 597, 1998.
- [3] Soon-Jin So and Choon-Bae Park, “Analyses of the degradation characteristics using E-PMA and the ambient sintering process in semiconducting ZnO ceramic varistors”, J. Kor. Phys. Soc., Vol. 38, No. 4, p. 416, 2001.
- [4] Soon-Jin So and Choon-Bae Park, “Improvement in the electrical stability of semiconducting ZnO Ceramic Varistors with SiO₂ Additive”, J. Kor. Phys. Soc., Vol. 40, No. 5, p. 925, 2002.
- [5] T. K. Gupta, “Application of zinc oxide varistors”, J. Am. Ceram. Soc., Vol. 73, No. 7, p. 1817, 1990.
- [6] Dongxiang Zhou, Congchun Zhang, and Shuping Gong, “Degradation phenomena due to dc bias in low-voltage ZnO varistors”, Materials Science and Engineering B, Vol. 99, No. 1-3, p. 412, 2003.
- [7] M. S. Castro, M. A. Benavente, and C. M.

- Aldao, “Degradation in ZnO Varistors”, J. Phys. Condens. Matt. 5, p. A341, 1993.
- [8] Kazuo Mukae and Akinori Tanaka, “Electronic characterization of single grain boundary in ZnO:Pr Varistors”, Ceram. International, p. 645, 2000.
- [9] Hsin Wang, Wangpei Li, and James F. Corrado, “Single junction in ZnO varistors studied by current-voltage characteristics and deep level transient spectroscopy”, Jpn. J. Appl. Phys., Part 1, Vol. 34, No. 4A, p. 1765, 1995.
- [10] Akinori Tanaka and Kazuo Mukae, “ICTS Measurements of Single Grain Boundaries in ZnO:rare-earth Varistor”, J. Electroceramics, p. 55, 1999.
- [11] Junji Tanimura, Osamu Wada, Hiroshi Kurokawa, Naomi Furuse, and Masahiro Kobayashi, “Characterization of single grain boundary in Bi-doped ZnO varistor using a focused ion beam system”, Jpn. J. Appl. Phys., Part 1, Vol. 39, No. 7B, p. 4493, 2000.
- [12] Kazuo Mukae, Akihiko Ohi, and Akinori Tanaka, “Electronic interface states at grain boundary in ZnO:Pr varistors by single grain boundaries measurements”, J. Eur. Ceram. Soc., Vol. 21, No. 10-11, p. 1871, 2001.
- [13] Shigeru Tanaka and Ken Takhashi, “Direct measurements of voltage-current characteristics of single grain boundary ZnO varistor”, J. Eur. Ceram. Soc., Vol. 19, No. 6-7, p. 727, 1999.
- [14] K. Mukae, K. Tsuda, and I. Nagasawa, “Capacitance-vs-voltage characteristics of ZnO varistors”, J. Appl. Phys., Vol. 50, No. 6, p. 4475, 1979.
- [15] 남춘우, 박춘현, 윤한수, “ZnO-Pr₆O₁₁-CoO-CeO₂계 세라믹스의 미세구조 및 바리스터 특성”, 전기전자재료학회논문집, 12권, 11호, p. 1025, 1999.