

90 nm급 텅스텐 폴리사이드 게이트 식각공정에서 식각종말점의 안정화에 관한 연구

A Study for Stable End Point Detection in 90 nm WSi₆/poly-Si Stack-down Gate Etching Process

고용득², 천희곤^{1,a}, 이징혁¹
(Yong Deuk Ko², Hui Gon Chun^{1,a}, and Jing Hyuk Lee¹)

Abstract

The device makers want to make higher density chips on the wafer through scale-down. The change of WSi₆/poly-Si gate film thickness is one of the key issues under 100 nm device structure. As a new device etching process is applied, end point detection (EPD) time delay was occurred in DPS+ poly chamber of Applied Materials. This is a barrier of device shrink because EPD time delay made physical damage on the surface of gate oxide. To investigate the EPD time delay, the experimental test combined with OES (Optical Emission Spectroscopy) and SEM (Scanning Electron Microscopy) was performed using patterned wafers. As a result, a EPD delay time is reduced by a new chamber seasoning and a new wavelength line through plasma scan. Applying a new wavelength of 252 nm makes it successful to call corrected EPD in WSi₆/poly-Si stack-down gate etching in the DPS+ poly chamber for the current and next generation devices.

Key Words : End point detection, EPD time delay, WSi₆/poly-Si stack-down gate etching, DPS+ poly chamber, Optical emission spectroscopy

1. 서론

텅스텐 폴리사이드 게이트(WSi₆/poly-Si/gate oxide/Si)는 비교적 낮은 면저항과 제조공정에서 높은 안정성으로 인하여 널리 사용되어 왔으며, 극히 미세한 CD(critical dimension) 조절과 높은 종횡비가 요구되는 100 nm 급 이하의 Si 메모리 소자에서도 채택되고 있다[1].

새로운 100 nm WSi₆/80 nm poly-Si 디바이스 구조(이하 100/80)는 기존의 100 nm WSi₆/100 nm poly-Si 디바이스 구조(이하 100/100)에 비해

여 poly Si의 두께를 20 nm 낮춤으로서 저 저항 동작, 낮은 전력 사용, 저 비용의 소자를 구현할 수 있는 구조이며, 특히 Inter-layer Dielectric(ILD) 공정 시 종횡비를 줄임으로서 void 개선에 크게 개선할 수 있는 구조이다[2].

그러나, 새로운 디바이스 구조에서 식각과 관련된 한 가지 중대한 문제점이 대두되었다. 이는 웨이퍼 장착 번호에 따른 식각종말점 시간이 크게 달라진다는 점과 이로 인한 게이트 산화막의 손상이 심각하다는 점이다.

예를 들어, 그림 1은 서로 다른 웨이퍼 구조를 갖는 디바이스에서 식각종말점의 변화를 보여주는 한 가지 실제 예로, 기존의 100 WSi₆/100 Poly막의 웨이퍼 구조에서는 식각종말점 시간 지연 현상이 발생하지 않았으나, 새로운 디바이스 구조인 100 WSi₆/80 Poly막의 웨이퍼에서는, 기존 디바이스에서 사용 중인 공정조건을 새로운 디바이스

1. 울산대학교 첨단소재공학부

(울산시 남구 무거2동 산 29)

2. (주) JSDMS

a. Corresponding Author : hgchun@mail.ulsan.ac.kr

접수일자 : 2004. 12. 13

1차 심사 : 2005. 1. 4

심사완료 : 2005. 2. 16

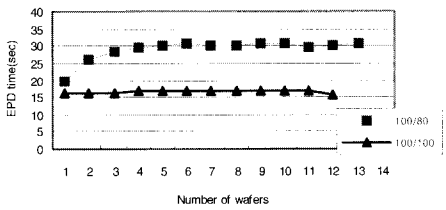


그림 1. 서로 다른 디바이스에서 식각종말점의 변화를 보여주는 실제 예.

Fig. 1. An example of EPD trend depending on different device structures.

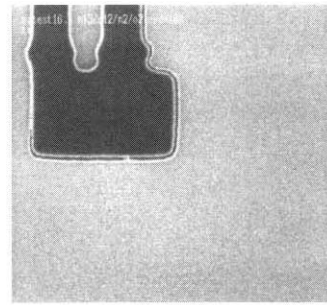
구조에 똑같이 적용했을 때, 식각종말점의 시간 지연 현상이 발생함을 알 수 있다.

또한 그림 2는 새로운 디바이스 구조에서 텅스텐 실리사이드 게이트 식각 이후 SEM 사진을 통하여 게이트 산화막 표면에서의 물리적 손상을 관찰한 사진으로 식각종말점의 시간지연현상이 없는 (a) 에서는 표면손상이 관찰되지 않았으나, 식각종말점 시간지연 현상이 발생한 웨이퍼에서는 (b)와 같이 식각종말점 시간이 길어지면서 게이트 산화막 표면에서 물리적 손상이 관찰되었다.

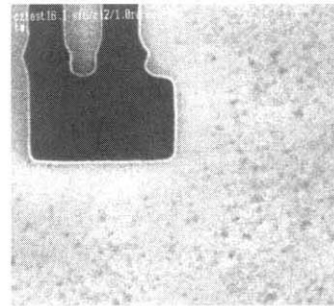
이와 같이 식각종말점 시간이 길어지면서 게이트 산화막 표면에 물리적 손상을 주는 현상을 식각종말점 시간지연(EPD time delay)이라고 하며, 이러한 현상은 극미세 소자의 텅스텐 폴리사이드 게이트 식각시 주로 발생하므로 그 원인을 분석하고 해결방안을 모색할 필요가 있다[2].

식각종말점 시간지연에 따라 물리적 손상이 발생하는 현상은 장비의 주기적인 정비, 부품교체 등의 이유로 일정한 시간 동안 공정을 진행하지 않은 챔버에서 나타나게 되는데, 챔버내의 초기조건 안정을 위한 전 처리 공정의 영향에 의하여 초기에 장착된 웨이퍼(특히, 1, 2, 3번)들을 식각할 때에는 챔버내의 공정 분위기가 연속공정 중의 상태와 다르기 때문일 것이라고 추정하고 있다[3].

현재까지 텅스텐 실리사이드 박막의 식각에서 식각종말점 검사방법에는 OES(Optical Emission Spectroscopy)를 이용하여 특정 파장인 288 nm를 기준으로 사용해 왔으나[4], 이번 문제점을 해결하기 위해서는 극미세한 구조에 민감하고 재현성과 신뢰도가 우수한 식각종말점 검출에 사용할 수 있는 새로운 파장을 다양한 각도에서 연구해 볼 필요가 있을 것으로 본다[2,5].



(a)



(b)

그림 2. 식각종말점 시간변화에 따른 게이트 산화막 표면의 물리적 손상 a) 손상이 없는 게이트 산화막 표면 b) 게이트 산화막 표면에서의 손상.

Fig. 2. Gate oxide pitting on the WSix/poly-Si gate surface due to EPD time delay a) No pitting on the gate oxide b) Pitting on the gate oxide.

본 연구에서는 Applied Materials사의 DPS+poly etch chamber를 이용하여 챔버내 초기단계에서 챔버 안정화(chamber seasoning) 공정조건을 변화시켜 게이트 산화막의 손상여부를 조사하였으며, 텅스텐 실리사이드 박막의 식각종말점을 더욱 더 정확히 찾아낼 수 있는 새로운 특정 파장을 찾아냄으로써 식각종말점 시간지연에 따른 문제점을 해결할 수 있는 방안을 제시하고 그 적용결과를 토의하고자 한다.

2. 실험

본 연구에서는 직경 200 mm, p-type (100) 실리콘 웨이퍼에 폴리사이드 게이트 구조로서 80 nm SiON/180 nm SiN/100 nm WSix/80 nm

poly-Si/4.5 nm gate oxide를 형성시킨 후 Applied Materials사의 DPS+ poly etching 장비에서 식각 공정을 진행하였다. 식각 안정화 조건을 찾기 위하여 새로운 챔버 안정화 조건이 도입되었다. 또한 정확한 식각종말점을 찾기 위하여 OES를 이용하였고 게이트 산화막 표면의 물리적 손상을 확인하기 위하여 Hitachi 5200 SEM을 이용하여 관찰하였다.

새로운 구조의 디바이스에서 식각종말점 시간지연현상을 규명하기 위하여 두 가지 다른 접근방법을 이용하여 실험을 진행하였다.

첫째, 표 1에서와 같이 챔버내에 존재하는 out-gassing의 영향을 바꾸기 위하여 챔버 안정화 조건을 증착모드(deposition mode)에서 제거모드(clean mode)로 전환하여 식각종말점 시간변화량을 관찰하였다.

표 1에서 A 조건은 폴리머 증착모드로서, 기존에 사용중인 챔버 안정화 조건이며 메인식각(Main Etch, ME)시간이 과식각(Over Etch, OE) 시간보다 짧은 경우이다. 이 경우는 "Br chemistry"의 양이 "F chemistry"의 양보다 많기 때문에 반응 부산물인 "Br chemistry" 폴리머들이 매우 많이 발생하고, 이 부산물들은 챔버내부 구성부품인 슬릿 밸브, 공정 키트, 세라믹과 퀴즈 부품 등에 증착되어 챔버내부를 오염시킬 뿐만 아니라 다음 웨이퍼 공정 진행시 플라즈마에 의해 "Br chemistry" 폴리머들이 out-gassing 되면서 식각종말점 시간에 영향을 주는 것으로 사료된다[6,7].

그림 3은 "Br chemistry" 폴리머가 증착되어 있는 챔버내부의 모습을 보여주고 있다. 표 1의 B 조건은 폴리머 제거모드로서 최근에 도입된 챔버 안정화 조건으로, ME시간이 OE시간 보다 많은 경우이다. 이 경우는 "F chemistry"의 양이 "Br chemistry" 보다 많기 때문에 반응 부산물들이 거의 발생하지 않는다. 따라서, 챔버내부 구성부품인 슬릿 밸브, 공정 키트, 세라믹과 퀴즈 부품 등에 증착되는 폴리머가 거의 발생하지 않으므로 챔버내부에 오염원이 존재하지 않는다. 따라서, 다음 웨이퍼 공정 진행시 플라즈마에 의한 폴리머들의 out-gassing이 거의 없기 때문에 식각종말점 시간에 영향을 주지 않는 것으로 사료된다[8].

그림 4는 "F chemistry"가 많은 조건하에서 챔버 안정화 공정을 진행한 후 찍은 챔버내부를 보여주는데, 여기에서는 폴리머가 프로세스 키트인 퀴즈 표면에 거의 증착되지 않음을 알 수 있다.

둘째, 플라즈마 내에 존재하는 특정한 이온들의

표 1. 챔버 안정화 조건.

Table 1. Chamber seasoning condition.

| | | |
|---------------------|-----------|---|
| A. Old seasoning | Main Etch | SF ₆ /Cl ₂ , X mT, Y Ws, Z Wb, 30 sec |
| | Over Etch | HBr/O ₂ , Xx mT, Yy Ws, Zz Wb, 60 sec |
| B. New seasoning | Main Etch | SF ₆ /Cl ₂ , X mT, Y Ws, Z Wb, 60 sec |
| | Over Etch | HBr/O ₂ , Xx mT, Yy Ws, Zz Wb, 30 sec |

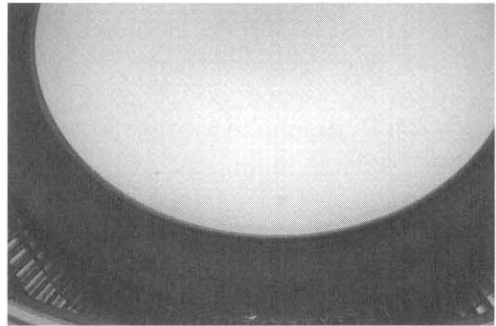


그림 3. 퀴즈 표면에 폴리머가 증착.

Fig. 3. Polymer deposition on quartz surface.

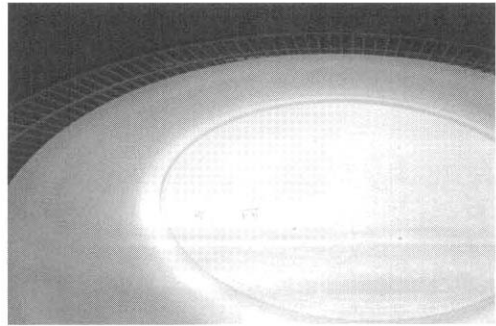


그림 4. 퀴즈 표면이 깨끗함.

Fig. 4. Less polymer deposition on quartz surface.

과장 세기를 비교하기 위하여 OES를 이용하여 200 nm에서 500 nm에 이르는 광범위한 과장을 스캔하고 플라즈마가 유지되는 동안 광케이블을 통해서 플라즈마 내에 존재하는 이온들의 농도를 검출하는데 사용하였다.

정확히 활용될 수 있음을 보여준다. 이때, 288 nm와 252 nm의 파장을 조사한 결과 두 파장 모두 poly-Si 계열의 이온인 것으로 조사되었다.

3. 결과 및 고찰

앞서 기술한 바와 같이 식각종말점 시간지연현상을 조사하기 위하여 여러 가지 실험을 수행하였다. 먼저 챔버 안정화 조건을 바꾸어 챔버내부에서 발생하는 out-gassing 양을 조절하였고, 다른 하나는 식각챔버에 장착되어 있는 OES를 사용하여 현재 사용하고 있는 식각종말점 파장을 스펙트럼 분석하여 보다 더 변별력이 높은 새로운 파장을 찾아내고자 하였다.

3.1 챔버 안정화 조건의 변경

Idling 후 가동되는 챔버의 내부조건, 분위기 등을 연속 정상가동할 때와 유사한 상태로 만들기 위하여 챔버 안정화 조건으로 ME와 OE의 두 연속단계로 진행한다.

ME 단계에서는 SF₆/Cl₂ chemistry를 이용하여 챔버 내부에 증착된 반응 부산물(주로 폴리머 성분)을 제거하며, 이를 폴리머 제거모드로 부르기드 한다. OE 단계에서는 HBr/O₂ chemistry를 이용하여 챔버 내벽이나 공정 kit에 반응 부산물을 두껍게 입히므로 폴리머 증착모드라고 한다[8].

표 1에는 현재 사용되고 있는 공정조건의 한 가지가 예로서 기술되어 있다. 기존에 사용하는 챔버 안정화 조건 (A조건)의 경우, ME 30초+OE 60초로서 OE 단계가 ME 단계보다 길어짐으로 폴리머가 주성분인 반응 부산물들이 많이 부착되어 챔버의 내부조건을 조기 안정화 시켜왔다.

이와 같은 공정조건에서 다음 웨이퍼의 식각공정에서 플라즈마가 커지게 되면 폴리머 속에 존재하는 기체 성분들이 out-gassing이 되어 식각반응에 직접 참여하여 식각속도를 변화시킨다. 이와 같은 과정은 식각종말점 시간에 직접적인 영향을 주게 된다고 추정된다[8]. 그러나, CD가 큰 디바이스에서는 A조건으로 진행하여도 식각종말점시간(EPD time)에 큰 영향을 주지 않으나, CD가 극히 작고 중형비가 매우 큰 nm 급의 디바이스에서는 매우 민감한 것으로 나타났다.

그림 6은 챔버 안정화 조건이 변경됨에 따라 식각종말점 시간의 변화를 보여주고 있다. 그림에서 A조건인 경우, 1번 웨이퍼는 19초, 2번 26초, 3번 28초 4번 이후에는 29초 이상이 되어 그림 2(b)와

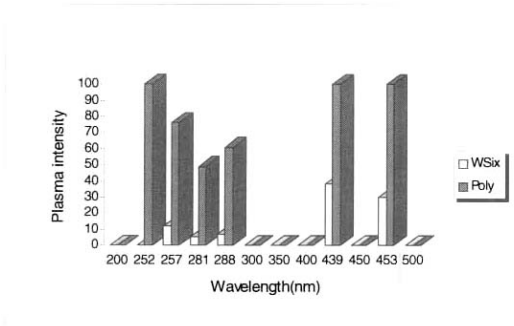


그림 5. WSix 박막과 poly-Si 박막의 식각에서 플라즈마 스캔을 이용한 플라즈마 강도의 비교.

Fig. 5. Plasma intensity of a WSix and a poly-Si film etching through plasma scan.

최적의 식각종말점을 찾아내기 위하여 제안된 여러 방법들 가운데 현재, 플라즈마 내에서 특정한 파장만을 모니터링 하여 찾아내는 방법이 가장 보편화되어 있다. WSix/poly-Si의 기존 디바이스 구조에서는 정확한 식각종말점을 얻기 위하여 288 nm라는 특정한 파장을 사용해 왔으나, 새로운 디바이스 구조의 웨이퍼를 식각시 기존 파장을 사용했을 때 식각종말점 시간지연이 발생하여 이를 개선하고자 OES를 이용하여 200 nm에서 500 nm에 이르는 파장을 스캔하고, 플라즈마 내에 존재하는 이온의 농도를 각 파장대에서 플라즈마 강도로 환산하여 그림 5에 도식화 하였다.

그림 5는 WSix와 poly-Si 각각의 박막을 식각하였을 때 얻은 스펙트럼이다. 플라즈마 강도가 낮은 파장들(밝은 막대부분)은 WSix 박막을 식각할 때 얻은 파장들로서 257 nm, 281 nm, 288 nm, 439 nm, 453 nm 등 5개의 피크로 나타난다. 플라즈마의 강도가 높은 파장들(어두운 막대부분)은 WSix 박막이 완전히 제거되고 poly-Si 박막이 플라즈마에 노출되면서 얻은 스펙트럼으로 252 nm, 257 nm, 281 nm, 288 nm, 439 nm, 453 nm 등 6개의 비교적 뚜렷하고 강한 피크를 얻을 수 있었다.

현재까지 사용해온 특정 파장은 288 nm로서 WSix/poly-Si 구조에서 플라즈마의 강도를 비교할 때 약 60%의 피크 변화량을 볼 수 있다. 그러나 새로운 파장으로 제안되는 252 nm에서는 거의 100%에 가까운 피크 증가를 보여줌으로써 252 nm 파장이 식각종말점 검사에 더욱 효율적이고

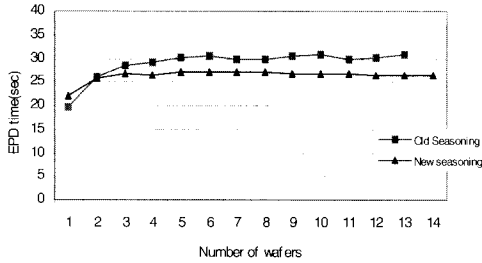


그림 6. 100/80 nm WSix/poly-Si gate 식각에서 챔버 안정화 조건 A, B에 따른 식각종말점 시간의 변화.

Fig. 6. EPD trend of A vs. B condition in 100/80 nm WSix/poly-Si gate etching.

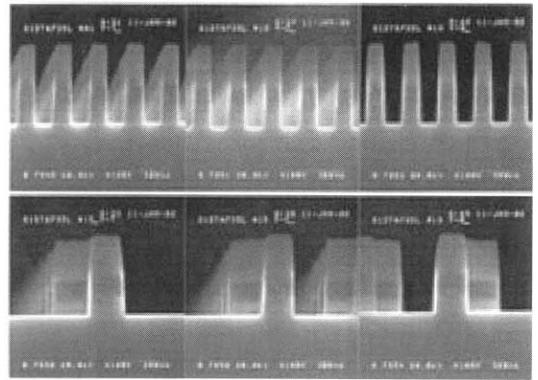
같이 게이트 산화막의 표면에 물리적 손상을 가하나, 새로이 제안되는 챔버 안정화 조건인 B조건에서는 1번 웨이퍼는 22초, 2번 26초, 3번부터는 27초로 유지되어 기존의 A조건에 비하여 식각종말점 시간의 변화폭이 줄어들어 게이트 산화막 표면에 물리적 손상을 주지 않는 것으로 확인되었다. 100 nm 급 이하의 민감한 소자에서 WSix/poly-Si 식각공정의 종말점을 안정화시키기 위한 방법으로 ME 60초+OE 30초 공정을 채택하여 진행한 새로운 조건에서는 SF₆/Cl₂ chemistry의 처리시간이 더 길어짐으로써 폴리머가 증착되는 양보다 제거되는 양이 많아지므로 실제로 챔버 벽면이나 공정 kit 표면에 부착되는 폴리머의 양은 매우 적어지게 된다.

따라서, out-gassing 되는 양도 현저히 감소하여 다음 웨이퍼의 식각 시 식각속도를 거의 변화시키지 않음으로 식각종말점 시간에 직접적인 영향을 주지 않게 되는 것으로 추정하였다.

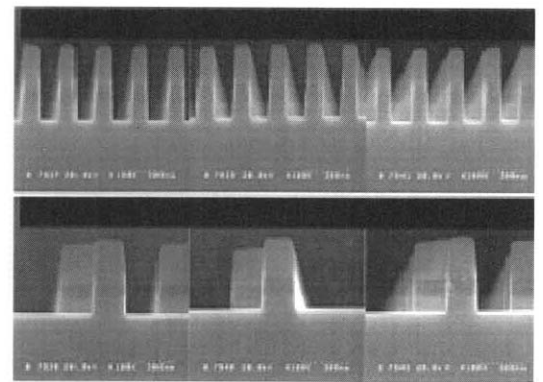
3.2 식각종말점 검사를 위한 새로운 파장의 선택

그림 7은 새로운 252 nm 파장을 이용하여 식각된 WSix/poly-Si gate의 식각 프로파일을 보여주고 있다. 이는 288 nm를 이용하여 얻은 식각 프로파일과 비교해도 큰 차이가 없는 것으로 보이며 기존 공정조건의 변화없이 사용할 수 있음을 보여준다.

그림 8은 252 nm를 적용 시 챔버 안정화의 유무에 관계없이 1, 2, 3번을 포함한 전체 웨이퍼에서 안정된 식각종말점 시간을 보여주고 있다. 실험



(a)



(b)

그림 7. 100/80 nm WSix/poly-Si gate 식각에서 252 nm 파장과 288 nm 파장에서 SEM 프로파일의 비교. (a) 252 nm 파장 (b) 288 nm 파장

Fig. 7. SEM photographs of 252 nm vs. 288 nm wavelength in 100/80 nm WSix/poly-Si gate etching. (a) 252 nm wavelength (b) 288 nm wavelength

결과에서 WSix 박막 식각시 288 nm와 252 nm의 파장 세기와 Poly 박막 식각시 288 nm와 252 nm의 파장 세기를 비교한 결과 288 nm의 파장 세기 변화보다 252 nm의 파장 세기 변화량이 더 큰 것으로 나타났다. 따라서 식각종말점 검사장치내부에 장착되어 있는 모노크로메터의 감도에 의해 파장 변화량이 더 큰 252 nm line이 더 안정되고 재현성이 매우 우수함으로써 식각종말점 시간을 안정적으로 보여주는 것으로 사료된다. 이러한 결과, 252 nm 파장을 사용하는 경우에는 현재 사용하고 있는 챔버 안정화 조건을 그대로 적용하여도 균일

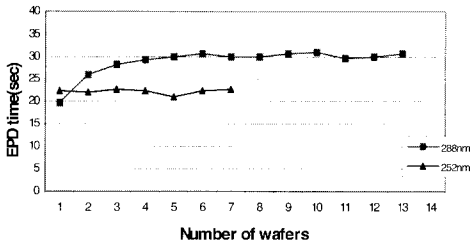


그림 8. 100/80 nm WSix/poly-Si gate 식각에서 파장에 따른 식각종말점의 시간변화.

Fig. 8. The EPD trend of 288 nm vs. 252 nm in 100/80 nm WSix/poly-Si gate etching.

한 공정 결과를 얻을 수 있다는 것으로 매우 획기적인 결과로 평가받을 수 있다.

이상과 같은 연구결과는 현재 현장에 적용되고 있으며, 특정 파장에 대한 WSix/poly-Si 박막의 감도에 대한 광물리학적 규명은 앞으로 더 연구되어야 할 것으로 본다.

4. 결 론

극 미세한 Si 디바이스의 텅스텐 폴리사이드 게이트 구조에서 식각공정의 안정화를 위한 연구의 하나로써 반응 챔버에 먼저 장입되는 각 웨이퍼들의 물리적 손상을 감소시킬 수 있는 방안을 모색하고자 하는 연구를 수행하였다.

그 결과, 첫째, 챔버 안정화의 광정조건에서 ME 단계를 OE 단계보다 더 길게 할 경우, 식각종말점 시간의 변화량이 줄어들어 게이트 산화막 표면에서 4번째 물리적 손상을 제거할 수 있었다.

둘째, 식각종말점을 찾아내는 특정한 파장으로 지금까지 사용해 온 288 nm 대신 252 nm를 사용한 결과, 식각종말점 시간의 변화량이 현저히 줄어들어 게이트 산화막 표면에서 물리적 손상이 발생되지 않았다.

이와 같은 결과가 생산현장에 적용되었을 시, 폴리사이드 식각공정에서의 수율이 현저하게 증대할 수 있음을 기대할 수 있으며 관련된 광물리학적 규명은 더 연구되어야 할 것으로 사료된다.

감사의 글

본 연구의 일부는 2003년 울산대학교 연구비 지원

원과 "과학기술부-한국과학재단 지정 울산대학교 기계부품및소재특성평가연구센터"의 지원에 의한 것 입니다.

참고 문헌

- [1] F. Leverd, L. Loisil, Th. Lill, J. Trevor, P. Van Holt, L. Van Autryve, T. Varga, and J. Chinn, IEEE/SEMI Advanced Semiconductor Manufacturing Conference, p. 246, 1999.
- [2] Y. D. Ko, J. Choi, K. Lee, H. G. Chun, A. Khan, and S. Deshmukh, "90 nm tungsten silicide gate etching with very high WSix to polysilicon selectivity and low tungsten silicide etch rate microloading in the high density plasma", J. of Vac. Sci. Technol. (in press).
- [3] V. Rao, J. Morgan, W. Hoesler, J. Barden, Y. Karzhavin, P. Van Holt, R. Petter, H. Ollendorf, K. Christensen, and D. Ricks, IEEE/SEMI Adv. Semicon. Manufact. Conf., p. 340, 2000.
- [4] R. Lee and F. Terry, J. of Vac. Sci. Technol. B9, p. 2747, 1991.
- [5] J. Garter, J. Holland, E. Peitzer, B. Richardson, E. Bogle, H. Nguyen, Y. Melaku, D. Gates, and M. Ben-Dor, J. of Vac. Sci. Technol. A11, p. 1301, 1993.
- [6] 고용득 "ULSI 제조공정에서 패턴이 형성된 텅스텐 박막의 플라즈마 식각에 관한 연구", 석사학위논문, 울산대학교, 1997.
- [7] 고용득, 천희곤, "SF₆와 SF₆-N₂ 가스를 이용한 텅스텐 박막의 플라즈마 식각에 관한 연구", 센서학회지, 8권, 3호, p. 81, 1999.
- [8] S. Su, Z. Sun, A. Chen, X. Pian, and D. Podlesnik, "Fluorocarbon polymer formation, characterization, and reduction in poly crystalline-Si etching with CF₄/added plasma", J. of Vac. Sci. Technol. A 19 (3), p. 99, 2001.