

# CSL-NOR형 SONOS 플래시 메모리의 멀티비트 적용에 관한 연구

## Investigation for Multi-bit per Cell on the CSL-NOR Type SONOS Flash Memories

김주연<sup>1,a</sup>, 안호명<sup>2</sup>, 이명식<sup>2</sup>, 김병철<sup>3</sup>, 서광열<sup>2</sup>

(Joo-Yeon Kim<sup>1,a</sup>, Ho-Myoung An<sup>2</sup>, Myung-Shik Lee<sup>2</sup>, Byung-Cheul Kim<sup>3</sup>, and Kwang-Yell Seo<sup>2</sup>)

### Abstract

NOR type flash 32 x 32 array are fabricated by using the typical 0.35 μm CMOS process. The structure of array is the NOR type with common source line. In this paper, optimized program and erase voltage conditions are presented to realize multi-bit per cell at the CSL-NOR array. These are considered selectivity of selected bit and disturbances of unselected bits. Retention characteristics of locally trapped-charges in the nitride layer are investigated. The lateral diffusion and vertical detrapping to the tunneling oxide of locally trapped charges as a function of retention time are investigated by using the charge pumping method. The results are directly shown by change of the trapped-charges quantities.

**Key Words** : SONOS, NOR type flash memory, Common source line, Multi-bit, Charge pumping method

### 1. 서론

현재 플래시 메모리 시장의 대부분은 부유 게이트형(floating gate type) 소자가 주류를 이루고 있지만 고집적을 위한 스케일다운의 한계에 이르고 있는 상황이다[1]. 최근 이를 대체할 수 있는 방법으로 SONOS (polySilicon-Oxide-Nitride-Oxide-Silicon) 구조를 기본으로 하는 멀티비트 소자가 많은 관심을 모으고 있다[2,3]. SONOS형 멀티비트 소자의 프로그램은 CHE(Channel Hot Electron) 주입을 사용하고, 소거는 터널링 방법이나 빠른 소거를 위한 고온 정공 주입 방법을 사용한다. 또한 읽기는 리버스(reverse) 방향으로 수행한다. 이러한 SONOS형 기억소자는 셀(cell) 면적이 작고, 드레인 턴온(drain turn-on)이 발생하지 않으며, 내방사

성, 내구성 특성이 우수한 장점을 가지고 있다[4]. 그러나 멀티비트 적용을 위한 새로운 공정 개발을 필요로 하고 국소적으로 저장된 전하의 측면 재분포 등[5]의 전하기억유지로 인한 문제점을 가지고 있다.

본 논문에서는 집적도를 더욱 향상시키기 위하여 CSL(Common Source Line)-NOR형 플래시 어레이를 초박막 게이트 유전막을 가진 SONOS 소자를 사용하여 제작하였다. CSL-NOR형 플래시 메모리를 멀티비트로 동작시키기 위하여 비트 선택성과 디스터번스 특성을 고려한 최적의 어레이 프로그램 및 소거 전압 조건을 구하였으며 질화막에 국소적으로 트랩된 전하의 기억유지특성을 조사하였다. 또한 전하 펌핑 전류 방법[6]을 사용하여 국소적으로 주입된 전하의 시간에 따른 측면화산과 터널링 산화막 쪽으로의 디트래핑 정도를 트랩된 전하량의 변화로 조사하여 신뢰성을 검증하였다.

- 1. 울산과학기술대학교 전기전자통신학부 반도체응용전공 (울산시 남구 무거 2동 산 29)
- 2. 광운대학교 전자재료공학과
- 3. 진주산업대학교 전자공학과

a. Corresponding Author : joo@mail.uc.ac.kr

접수일자 : 2004. 10. 18

1차 심사 : 2005. 1. 17

심사완료 : 2005. 2. 3

### 2. 실험

#### 2.1 소자제작

공통 소오스(CSL: common-source-line)를 갖는

NOR형 플래시 32 x 32 어레이를 통상의 0.35  $\mu\text{m}$  CMOS 공정을 이용하여 제작하였다. 드레인인 LDD 구조로 하였고 공통 소오스 라인을 갖는 소오스는 SAS(Self Align Source) 공정으로 형성하여 DDD 구조를 갖도록 하였다. 비록 소오스와 드레인의 접합 구조는 다르지만 멀티비트 동작을 위한 전기적 대칭성을 확보하기 위하여 동일한 항복 전압을 낼 수 있도록 설계하였다.

멀티비트 SONOS 셀 단면 구조와 제작된 어레이

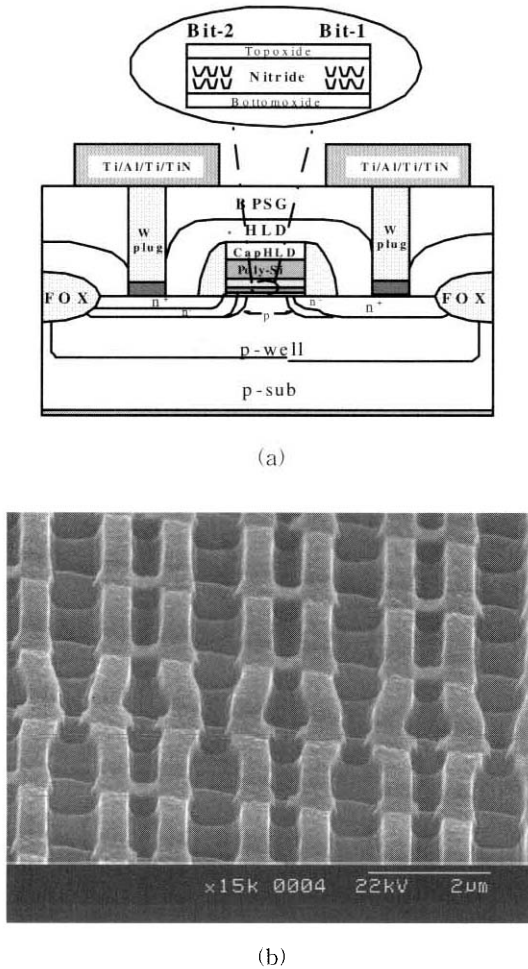


그림 1. 멀티비트 SONOS (a) 셀 단면, (b) 공통 소오스 라인을 갖는 32x32 어레이 TEM 측정 결과.

Fig. 1. Cross sectional view (a) and TEM image of 32 x 32 array with CSL (b) of the multi bit SONOS cell.

이의 TEM 측정결과를 그림 1에 나타냈으며 SONOS 기억소자의 유전막 두께는 터널링 산화막 (Bottom oxide), 질화막(Nitride), 플로킹 산화막 (Top oxide)이 각각 34 Å, 73 Å, 34 Å이었다.

### 3. 결과 및 고찰

#### 3.1 최적의 동작 전압조건

CSL-NOR형 SONOS 플래시 메모리를 멀티비트로 동작시키기 위하여 최적의 동작 전압 조건을 조사하였다. 사용한 32 x 32 어레이의 셀 채널 길이와 폭은 각각 0.5  $\mu\text{m}$ 와 0.6  $\mu\text{m}$ 이었다. 그림 2는 멀티비트 프로그램 전압 특성이다. 양쪽 비트의 문턱 전압을 소거 상태의 기준 전압인 3 V로 고정된 상태에서 비트 1(드레인 영역)의 시간에 따른 주입 특성을 포워드와 리버스 읽기로 조사한 다음 비트 1이 프로그램 되어 있는 상태에서 비트 2(소스 영역)의 프로그램 특성을 조사하였다. 프로그램 전압은 게이트와 드레인에 5 V, 소오스와 기판은 접지하였고 읽기 시 드레인 전압은 3.5 V로 하였다[7].

비트 1의 프로그램 시간이 500  $\mu\text{s}$  이상이 되면 비트 1은 국소 프로그램에 의하여 문턱전압이 높아진다. 이때 비트 2(비트 1의 리버스 읽기 특성)의 문턱전압도 미소변화를 나타내고 있다. 비트 1의 국소 프로그램 시간이 길어짐에 따라 트랩된 전하의 분포가 국소적이지 않고 소오스 영역 쪽으로 넓게 분포하게 됨을 알 수 있다.

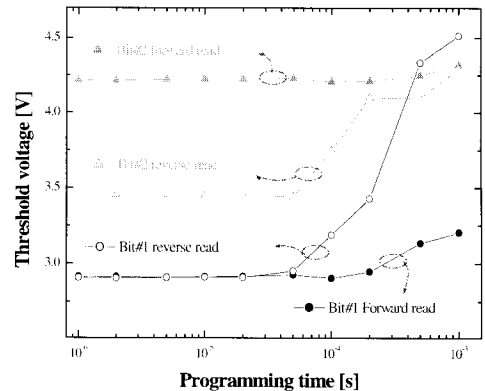


그림 2. SONOS 기억소자의 멀티비트 프로그램 특성.

Fig. 2. Multi-bit program characteristics of unit SONOS memory devices.

따라서 프로그램 시간은  $500 \mu\text{s}$  이하가 적당한 것으로 보인다. 이 상태에서 비트 2를 시간에 따라 프로그램 하였다. 비트 2의 리버스 읽기는 비트 1의 포워드 읽기와 같은 영역을 읽기 때문에 기준 문턱 전압이 비트 1의  $500 \mu\text{s}$  이상 조건에서 실시한 프로그램으로 인하여 조금 높아진 상태에서 시작되고 있지만 비트 1에 영향 없이 프로그램 되었음을 보여준다. 측정으로부터 비트 1과 비트 2를 개별적으로 프로그램 할 수 있는 프로그램 전압 조건을 확보함으로써 제작된 소자가 멀티비트 메모리 소자로서 동작 구현이 가능함을 확인할 수 있었다. 여기서 비트 2의 프로그램 시간이 비트 1보다 크게 나타나고 있는데 이는 소자 설계 시 소오스와 드레인이 전기적으로 대칭구조가 될 수 있도록 항복 전압을 같게 설계하였지만 실제 제작된 소자는 소오스 쪽 항복 전압이 큰 비대칭 구조로 제작되었다. 때문에 hot electron 형성이 소오스 쪽에서 덜 생김으로 인한 차이이다. 이 후 멀티비트 적용을 위하여 어레이의 소오스와 드레인을 대칭구조로 생각하여 조건을 설정하였다.

그림 3은 멀티비트 소거 전압 특성이다. 빠른 소거를 위하여 고온정공주입(Hot hole injection) 방법을 선택하였다. 항복 전압 특성에 따라 소스와 드레인에 인가되는 전압 조건은  $8 \text{ V}$ [7]로 정하였다. 양쪽 비트의 문턱 전압을 프로그램 상태의 기준 문턱 전압인  $4.25 \text{ V}$ 로 고정한 상태에서 먼저 비트 2를 소거한 다음 비트 1을 소거 시키면서 포워드와 리버스 읽기로 소거 시간에 따른 문턱전압의 이동을 조사하였다.

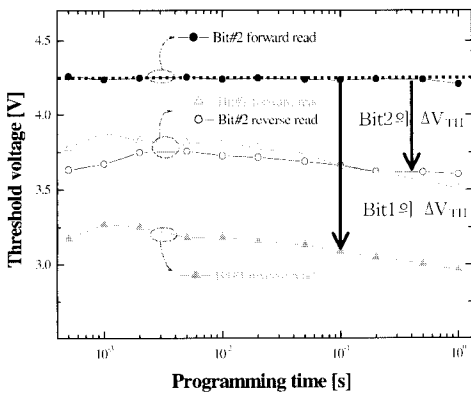


그림 3. SONOS 기억소자의 멀티비트 소거 특성.  
 Fig. 3. Multi-bit erase characteristics of unit SONOS memory devices.

소거 전압조건은 드레인과 기판을 접지로 두었으며, 게이트에는  $-3 \text{ V}$ 를, 드레인에는  $8 \text{ V}$ 를 인가하여 수행하였다. 그림 3에서 보는 바와 같이 소거 시간이  $500 \mu\text{s}$ 에서 비트 1은 기준 문턱 전압인  $3 \text{ V}$  까지 소거되는 빠른 소거 특성을 얻을 수 있었다. 비트 간의 소거 량의 차이는 전술한 비대칭구조 때문이다.

3.2 어레이 동작특성

공통 소오스 라인을 갖는 NOR형 어레이의 멀티비트 동작을 위해서는 선택된 비트만이 프로그램 되어야 하는 프로그램 선택성과 선택되지 않은 비트의 문턱전압에 변화가 생기는 디스터브(disturb) 현상이 생기지 않아야 한다. 그림 4는 본 실험에서 사용한 어레이 구조에서 발생할 수 있는 모든 디스터번스를 표시하였다.

비트 1(드레인 영역) 프로그램 시 발생할 수 있는 드레인 디스터브 셀 A는 선택된 셀과 드레인(비트라인)을 공유하고 있는 모든 셀들을 대표한다. 드레인 디스터브 셀 B는 선택된 셀과 게이트(워드라인)를 공유하는 모든 셀을 대표한다. 비트 2 프로그램 시에는 소오스 라인을 공통으로 사용하기 때문에 조금 복잡한 디스터브 가능성을 가지게 된다. 공통 소오스로 묶여있는 비트 2 쪽 프로그램 시 모든 셀의 소오스(비트 2)에는  $5 \text{ V}$ 가 인가된다. 이 셀을 대표하는 것이 소오스 디스터브 셀 A이다.

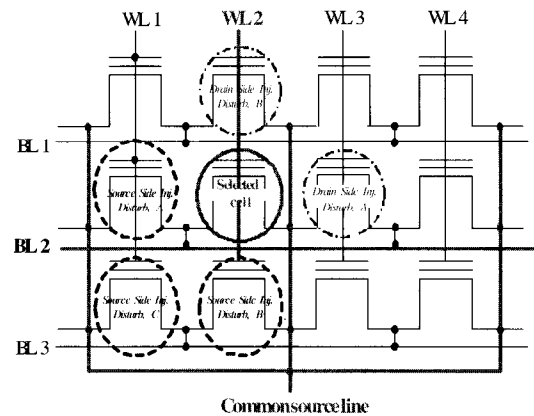


그림 4. CSL-NOR형 어레이에서 멀티비트 동작 시 발생 할 수 있는 프로그램 디스터번스.  
 Fig. 4. Program disturb mechanisms can occur as the CSL-NOR array is operated by multi-bit.

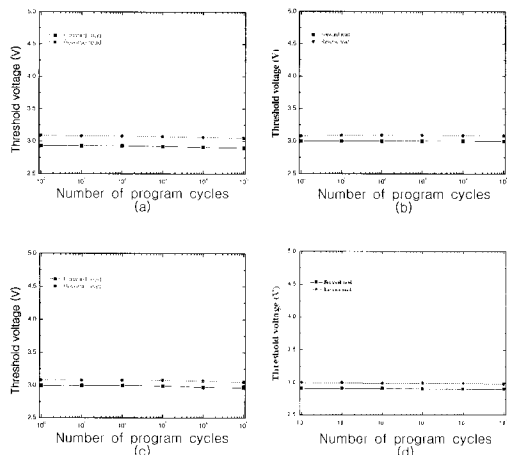


그림 5. 멀티 동작을 위한 프로그램 반복 회수에 따른 디스터번스 특성. (a) 드레인 사이드 디스터브 셀 A와 소오스 사이드 디스터브 셀 A, (b) 드레인 사이드 디스터브 셀 B, (c) 소오스 사이드 디스터브 셀 B, (d) 소오스 사이드 디스터브 셀 C.

Fig. 5. The characteristics of disturbance as a function of program cycling number for the multi-bit operation at the CSL-NOR array. (a) Drain side disturb cell A & source side disturb cell A. (b) Drain side disturb cell B. (c) Source side disturb cell B. (d) Source side disturb cell C.

소오스 디스터브 B는 공통으로 사용하는 소오스 외에도 선택된 셀과 게이트 전압(위드라인)을 공유하고 있는 셀들을 대표한다. 이 셀 B는 게이트에 프로그램 전압 5 V, 소스에 5 V, 드레인과 기판에 0 V가 인가된다. 선택되지 않은 셀이지만 프로그램 조건이 되어 셀 B의 비트 2(소오스 영역)가 프로그램 되어버려 오동작을 유발하게 된다. 따라서 셀 선택성을 위하여 드레인에 5 V를 인가하여 고온전자를 일으키는 측면전압을 상쇄시키고 디스터브를 조사하였다. 마지막으로 남은 디스터브 조건은 소오스 쪽 디스터브 C의 조건으로 소오스 쪽 디스터브 셀 B가 셀 선택성을 위하여 드레인에 소스전압을 상쇄시키기 위한 전압(5 V)을 인가하게 되면 셀 C는 셀 B와 드레인(비트라인)을 공유하고 있고, 또한 소스도 공유하고 있으므로 소스와 드레인에 각각 5 V, 게이트와 기판에 0 V가 인가되는 조건의 셀들을 대표하게 된다.

표 1. 프로그램과 소거 전압 조건.

Table 1. The voltage conditions of program and erase.

<b>Bit 1 Program</b>	SC*	D***-A	D-B	UC**	
Word Line(Gate)	5	0	5	0	
Bit Line(Drain)	5	5	0	0	
Source Line(Source)	0	0	0	0	
<b>Bit 2 Program</b>	SC	D-A	D-B	D-C	UC
Word Line(Gate)	5	0	5	0	0
Bit Line(Source)	0	0	5	5	5
Source Line(Drain)	5	5	5	5	0
<b>Erase</b>	Bit 1		Bit2		
Word Line(Gate)	-3		-3		
Bit Line(Drain)	8		0		
Source Line(Source)	0		8		

\*SC: Selected Cell, \*\*UC: Unselected Cell, \*\*\*D: Disturb

각 디스터번스 조건에 대하여 프로그램 반복회수에 따른 문턱전압의 이동을 포워드와 리버스 읽기로 조사하여 그림 5에 나타내었다. 선택된 비트만을 프로그램 할 수 있는 선택성을 확보하면서 모든 프로그램 디스터브 조건에 대하여 디스터브가 관찰되지 않는 우수한 특성을 보이고 있다. 따라서 공통 소오스를 가진 NOR형 플래시 메모리도 멀티비트 동작이 가능함을 알 수 있었다.

비트 선택성을 가지며 디스터브가 일어나지 않도록 한 최적의 프로그램 조건을 비트별로 선택된 셀과 선택되지 않은 셀의 각 데이터 라인의 프로그램과 소거 전압조건을 표 1에 나타냈으며 가능한 디스터브 전압 조건도 함께 나타냈다. 비트 1과 2의 비대칭 전압조건은 공통 소오스 쪽 비트들은 짝수 어드레스로 매핑하고 드레인 쪽 비트들은 홀수 어드레스로 매핑하여 프로그램 전압을 인가하도록 주변 로직 회로를 수정하면 메모리 동작에 문제가 없다. CSL-NOR형 플래시 메모리에서 멀티비트를 위한 소거는 두 번에 걸쳐서 이루어져야 한다. 고온정공을 생성하기 위해서는 소오스나 드레인 어느 한쪽에만 양의 전압을 인가해야하기 때문이다.

### 3.3 기억유지 특성과 국소 트랩전하 분포 조사

드레인 접합 부근 영역(비트 1)에 CHE 주입 후 진하 유지 특성을 forward와 reverse 읽기로 조사하여 그림 6에 나타냈다. 저전압 프로그램을 위하여 프로그램 전압을 5 V로 하였기 때문에 초기 문턱전압 윈도우가 약 0.7 V로 크지 않으며 10년 진

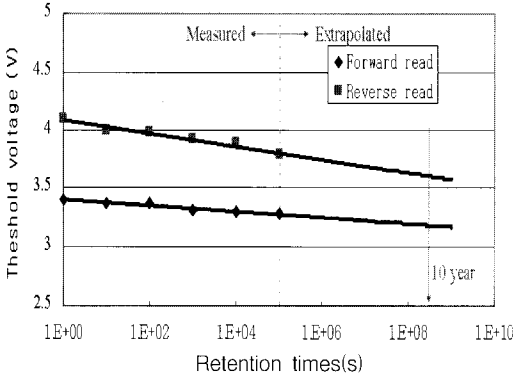


그림 6. 전하기억유지 특성.  
Fig. 6. The characteristics of retention.

하 기억 유지 특성을 외삽하였을 때 약 0.2 V의 문턱전압 감소를 나타내고 있어 그 값을 유지하고 있다고 볼 수 있고 읽기 게이트 기준전압을 3.5 V로 하였을 때 동작 가능함을 알 수 있다.

그림 6에서 조사된 바와 같이 시간이 길어짐에 따라 문턱전압이 감소하는 것은 트랩된 전하의 터널링 산화막 쪽으로 수직적 디트랩핑(detrapping) 때문이거나 트랩간의 측면확산에 의한 것으로 생각할 수 있다. 이러한 기억 전하의 손실 원인을 조사하기 위하여 전하 펌핑 전류(Icp) 특성을 조사하였다. 측정된 Icp전류로부터 채널 거리 x에서의 국소 문턱전압  $\Delta V_h(x)$ 를 구한[8] 다음 식 (1)과 (2)를 이용하여 거리 x에서 트랩된 전하의 수  $N_{ot}(x)$ 를 구하여 그림 7에 나타냈다.

$$Q_{ot}(x) = \Delta V_h C_{ox} \quad (1)$$

$$N_{ot}(x) = \frac{Q_{ot}(x)}{q} = \frac{\Delta V_h C_{ox}}{q} \quad (2)$$

전하 주입 전인 초기상태와 비교하여 전하 주입 직후, 104, 105 초가 경과한 후의 트랩된 메모리 전하 변화를 보여주고 있다. 비트 1 영역에서 국소적으로 전하 주입이 이루어지고 있음을 확연히 볼 수 있어 예상한 바처럼 개별 트랩에 국소적으로 전하가 트랩되어 멀티비트 동작이 이루어지고 있음을 보여주고 있다. 시간이 경과함에 따라서 트랩된 메모리 전하의 수직적인 감소는 나타나고 있지만 측면 확산의 징후는 나타나고 있지 않다. 전하

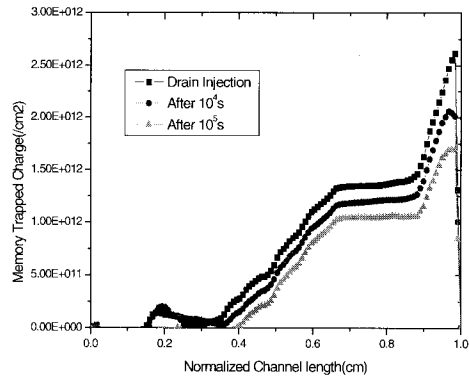


그림 7. 채널 기억 유지 시간에 따른 트랩된 메모리 전하 분포.

Fig. 7. Lateral profiles of trapped memory charge as a retention time.

유지특성에서 시간에 따른 문턱전압의 선형적 감소에 트랩된 전하의 터널링 산화막 쪽으로의 수직적 디트랩핑에 의한 것이 우선적으로 영향을 미치고 있음을 알 수 있다. 이것은 저전압 프로그램에 의한 영향으로 사료되며 또한 전하의 측면확산이 일어나지 않고 있음으로 보아 전하의 측면확산은 전하 주입 조건에 영향을 받는 것으로 보인다[6].

#### 4. 결론

SONOS형의 기억 소자를 통상의 0.35  $\mu\text{m}$  CMOS 공정 기술을 사용하여 32 x 32 CSL-NOR 어레이로 제작하였다. 제작된 ONO 막의 두께는 각각 터널 산화막(XOT)은 34 Å, 절화막은(XN) 73 Å, 블로킹 산화막(XOB)은 34 Å 이었고 어레이 셀의 채널 길이는 0.5  $\mu\text{m}$ 이었다.

프로그램은 CHE(Channel Hot Electron) 주입 방법을 사용하였고 소거는 고온 정공 주입 방법을 사용하여 소거 속도를 높였으며 5 V의 극히 낮은 저전압 프로그램을 시도하였다.

셀 선택성과 디스터브 특성을 조사하여 CSL-NOR 구조를 가진 어레이를 멀티비트로 구동시키기 위한 최적의 프로그램 및 소거 전압을 구하였다.

전하유지 특성을 조사한 결과 10년 후 약 0.2 V의 문턱전압 변화 특성을 보이고 있었다. 절화막내에서 국소적으로 트랩된 전하들의 분포를 전하 펌핑 방법(charge pumping method)으로 조사하여

멀티비트 동작 시 국소 문턱 전압 분포를 확인하였고, 시간에 따른 전하 유지 특성을 조사한 결과 전하의 측면 확산이 관찰되지 않는다.

이상의 실험으로부터 새로운 공정 개발 없이 집적도가 우수한 CSL-NOR형 플래시 메모리가 프로그램 동작 방법만을 달리하였을 때 셀의 실질적 집적도를 최소 2배 이상으로 높일 수 있고 양호한 전하 기억 유지 특성을 갖도록 하는 최적의 멀티비트 어레이 동작 전압을 제시하였다.

### 참고 문헌

- [1] The International Technology Roadmap for Semiconductor(ITRS), table 38a, 2001.
- [2] B. Eitan, P. Pavan, I. Bloom, E. Aloni, A. Frommer, and D. Finzi, "NROM: a novel localized trapping, 2-bit nonvolatile memory cell", IEEE Electron Device Letters, Vol. 21, No. 11, p. 543, 2000.
- [3] S. Tiwari et al. "A silicon nanocrystals based memory", Appl. Phys. Lett. Vol. 68, p. 1377, 1996.
- [4] H. A. R. Wegener, A. J. Lincoln, H. C. Pao, M. R. O'Connell, and R. E. Oleksiak, "The variable threshold transistor, a new electrically alterable, non-destructive read-only storage device", IEEE IEDM Tech. Dig., Washington, D. C., p. 70, 1967.
- [5] F. L. Hampton and J. R. Cricchi, "Space charge distribution limitation on scale down of MNOS memory devices", IEEE IEDM Tech. Dig., p. 374, 1979.
- [6] Ho-Myoung An, Myung-Shik Lee, Kwang-Yell Seo, Byoung-Cheul Kim, and Joo-Yeon Kim, "An investigation of locally trapped charge distribution using the charging pumping method in the two-bit SONOS cell", Trans. EEM, Vol. 5, No. 4, p. 148, 2004.
- [7] 김주연, "SONOS 구조를 갖는 멀티비트 소자의 프로그램 특성", 전기전자재료학회논문지, 16권 9호, p. 771, 2003.
- [8] Chun Chen and Tso-Ping Ma, "Direct lateral profile of hot-carrier-induced oxide charge and interface traps in thin gate MOSFET's", IEEE Trans. Electron Dev., Vol. 45, No. 11, p. 512, 1998.