

Pseudo MOSFET을 이용한 Nano SOI 웨이퍼의 전기적 특성분석

Electrical Characterization of Nano SOI Wafer by Pseudo MOSFET

배영호^{1,a}, 김병길¹, 권경욱²
(Young-Ho Bae^{1,a}, Byoung-Gil Kim¹, and Kyung-Wook Kwon²)

Abstract

The Pseudo MOSFET measurements technique has been used for the electrical characterization of the nano SOI wafer. Silicon islands for the Pseudo MOSFET measurements were fabricated by selective etching of surface silicon film with dry or wet etching to examine the effects of the etching process on the device properties. The characteristics of the Pseudo MOSFET were not changed greatly in the case of thick SOI film which was 205 nm. However the characteristics of the device were dependent on etching process in the case of less than 100 nm thick SOI film. The sub 100 nm SOI was obtained by thinning the silicon film of standard thick SOI wafer. The thickness of SOI film was varied from 88 nm to 44 nm by chemical etching. The etching process effects on the properties of pseudo MOSFET characteristics, such as mobility, turn-on voltage, and drain current transient. The etching process dependency is greater in the thinner SOI wafer.

Key Words : SOI, Characterization, Pseudo MOSFET, Etching, Nano SOI

1. 서론

SOI(silicon on insulator) 웨이퍼는 절연체 상부에 단결정 박막 실리콘이 존재하는 구조적 특징으로 초고집적 회로의 기관 이외에 신 구조 소자, 디스플레이용 소자, 각종 센서 등 응용 분야가 광범위하여 많은 연구가 진행되고 있다[1-4]. Pseudo MOSFET 측정법은 SOI 웨이퍼의 전기적 특성을 분석하는 기법으로써 매몰산화막이 게이트 절연막으로 작용하여 도핑이나 열처리와 같은 제조 공정이 필요 없이 MOSFET 소자를 동작시키고 그 특성을 분석하는 기술이다. 따라서 공정에 의한 물성 변화가 없이 제조된 SOI 웨이퍼 자체의 특성을 분석해 낼 수 있다는 장점이 있어 SOI 웨이퍼 제조 공정에서 품질 관리의 기법으로 사용되고 있다[5,6]. Pseudo MOSFET 측정법은 뒷면의 기관을

게이트, 매몰산화막을 게이트 절연막으로 사용하며 표면 실리콘 층에 두 개의 탐침을 접촉하여 소스와 드레인으로 사용하는 방법[5]과 수은 전극을 이용하여 소스와 드레인으로 사용하는 방법이 있다[6]. 이들은 각각 장단점이 있으며 탐침을 이용하는 경우에는 탐침의 압력이나 접촉상태의 영향을 받고[5,6] 수은 전극을 이용하는 경우에는 표면에 형성되는 자연 산화막이나 표면 상태에 따라 그 특성이 달라진다는 문제점이 있다[7]. Pseudo MOSFET에서는 기관 전체가 게이트 전극으로 작용하고 매몰산화막 전체가 게이트 절연막으로 작용하므로 소스와 드레인이 형성되는 표면 실리콘 층을 선택 식각하여 각각의 소자를 분리한다. 이러한 실리콘 island의 형성은 공정의 간편성으로 인해 일반적으로 건식 식각으로 이루어지지만[8] 식각 공정에 의해 Pseudo MOSFET 소자의 특성이 영향을 받을 가능성이 있다[1,9]. 본 연구에서는 100 nm 이하의 표면 실리콘층 두께를 가지는 nano SOI 웨이퍼의 특성 분석에 Pseudo MOSFET 측정법을 적용하기 위하여 표면 실리콘 island의 형성 공정에 따른 Pseudo MOSFET 소자의 특성 변화를 조사하였다.

1. 위덕대학교 전자공학부

(경북 경주시 강동면 유금리 525)

2. 매그나칩 반도체

a. Corresponding Author : yhbae@uu.ac.kr

접수일자 : 2005. 9. 7

1차 심사 : 2005. 10. 12

심사완료 : 2005. 10. 25

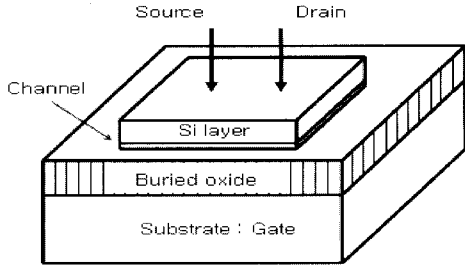


그림 1. Pseudo MOSFET의 구조.
Fig. 1. Structure of Pseudo MOSFET.

2. 이론

그림 1은 Pseudo MOSFET의 구조를 나타낸 것이다. 그림에 나타난 바와 같이 Pseudo MOSFET은 소스 드레인 전극이 탐침에 의한 점 접촉으로써 전류의 흐름이 일반적인 MOSFET에서와 같이 채널 영역으로 한정되지 못한다. 또한 표면 실리콘층의 두께가 얇아서 전계가 공핍되므로 turn-on 전압이 양전압이 인가된 경우와 음전압이 인가된 경우 각각 나타난다. 따라서 일반적인 MOSFET 소자의 수학적 모형으로부터 약간의 수정이 필요하며 드레인 전류는 다음 식과 같이 표현된다[5].

$$I_D = f_g C_{ox} \mu_{eff} \left(V_G - V_T - \frac{1}{2} V_D \right) V_D \quad (1)$$

여기서 계수 f_g 는 MOSFET에서 전류의 경로로 인한 채널 폭과 길이의 비 W/L 에 해당하며 점 접촉으로 소스와 드레인이 형성되는 Pseudo MOSFET에서는 0.75로 주어진다. 위 식 (1)로부터 turn-on 전압 및 채널 이동도의 추출이 가능하다. Pseudo MOSFET의 경우 소스 드레인이 점 접촉으로 이루어지므로 직렬 저항이 일반적인 MOSFET 보다 크게 나타난다. 따라서 직렬 저항의 효과를 제거할 수 있는 다음 식을 이용한다.

$$\frac{I_D}{\sqrt{g_m}} = \sqrt{f_g C_{ox} \mu_0} V_D (V_G - V_T) \quad (2)$$

3. 실험

Pseudo MOSFET 측정을 위한 표면 실리콘 island 형성 공정에서 건식 식각과 습식 식각 공정

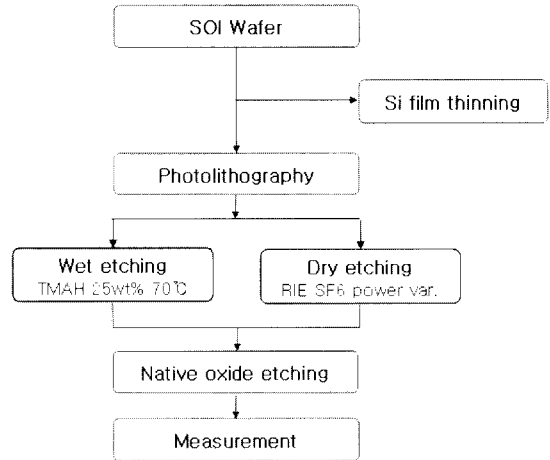


그림 2. 실험 공정도.
Fig. 2. Flow chart of the experiment.

을 각각 수행하여 시편을 제작하였다. 건식 식각을 위한 RIE 공정에서 플라즈마 출력을 50 W에서 150 W까지 변화시키며 특성의 변화를 관찰하였고 습식 식각법과 비교를 위한 시편은 50 W로 최소화하여 고정하였다. 습식 식각은 25 %의 TMAH 용액을 사용하였으며 식각 용액의 온도는 70 °C로 유지하였다. 선택 식각을 위한 마스크는 표면에 형성된 자연산화막을 이용하였다.

또한 표면 실리콘층의 두께 변화에 따른 플라즈마 손상의 영향 변화를 조사하기 위하여 표면 실리콘층의 두께를 최초 205 nm로부터 44 nm의 범위로 변화시켜 각각의 특성을 비교 분석하였다. 실리콘 층의 두께 감소는 습식 식각법으로 행하였으며 ellipsometry를 이용하여 감소된 두께를 측정하였다. 실리콘 island의 크기는 한 변의 길이가 7 mm인 정방형이었고 측정을 위한 소스 드레인 탐침 간의 간격은 1 mm로 하였다. 측정은 Keithley 236 SMU로 구성된 전류-전압 측정 시스템으로 행하였으며 소자의 전류-전압(I_D - V_G) 특성과 드레인 전류의 과도현상을 측정하였다.

4. 결과 및 고찰

그림 3은 표면 실리콘층의 두께가 205 nm인 표준형 SOI 웨이퍼를 사용하여 실리콘 island를 형성하여 측정된 결과이다. 습식 식각과 플라즈마 출력

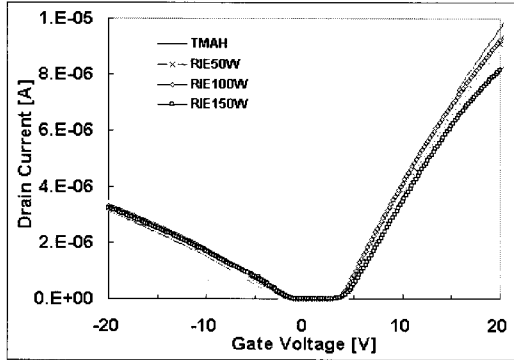
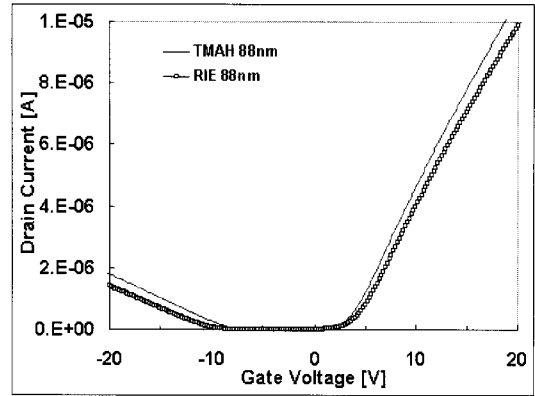


그림 3. 플라즈마 출력에 따른 I_D - V_G 특성.
 Fig. 3. The I_D - V_G characteristics with plasma power variation.

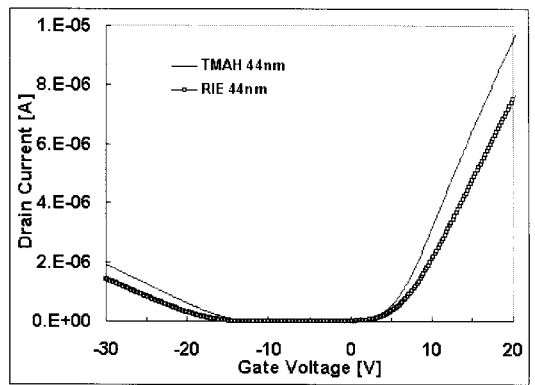
변화에 따른 특성 변화를 관찰하였으며 플라즈마 출력은 50 W에서 150 W로 변화시켰다. 그림에 나타난 바와 같이 플라즈마 출력이 50 W, 100 W인 경우에는 습식 식각된 경우와 큰 차이를 나타내지 않지만 150 W의 경우에는 게이트 전압이 큰 범위에서 드레인 전류 값의 감소를 확인할 수 있다. 이는 플라즈마 공정이 pseudo MOSFET 측정에 영향을 미칠 수 있음을 의미한다.

그림 4는 표면 실리콘층의 두께가 각각 88 nm와 44 nm의 두께인 SOI 웨이퍼에서 식각 공정에 따른 특성을 비교하여 나타낸 것이다. 건식 공정으로 식각을 행할 때 플라즈마 손상을 최소로 하기 위하여 플라즈마 출력을 50 W로 하였다. 그림 4(a)의 실리콘층 두께 88 nm인 시편에서 건식 식각한 경우 표면 실리콘층의 두께가 205 nm인 경우보다 드레인 전류의 감소와 turn-on 전압의 증가가 현저히 나타남을 확인할 수 있다. 이러한 현상은 표면 실리콘층의 두께가 44 nm로 감소된 경우 더욱 현저히 나타났다.

그림 5는 각각의 경우에서 트랜스컨덕턴스를 구하여 나타낸 것이다. 그림에 나타난 바와 같이 트랜스컨덕턴스 역시 건식 식각에 의하여 열화가 발생하고 이 현상은 표면 실리콘층의 두께가 44 nm로 얇은 경우 더욱 크게 나타난다. 따라서 실리콘층의 두께가 100 nm 이하로 얇은 경우에는 건식 식각으로 제조된 시편에서 turn-on 전압의 증가와 이동도의 감소가 나타나며 이는 표면실리콘 층의 두께가 얇을수록 심각하다는 것을 알 수 있다.



(a) 88 nm of silicon layer thickness

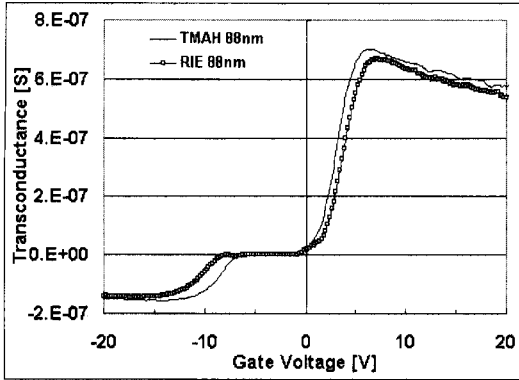


(b) 44 nm of silicon layer thickness

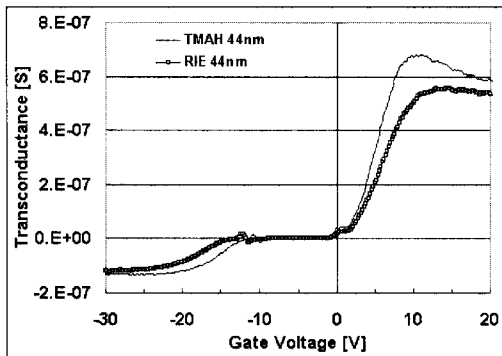
그림 4. 식각 공정 및 실리콘층 두께에 따른 I_D - V_G 특성.

Fig. 4. The I_D - V_G characteristics dependence on etching process with different silicon layer thickness.

그림 6은 식각 공정의 차이에 따른 드레인 전류의 과도현상을 측정된 그림이다. 드레인에 0.2 V의 바이어스를 인가한 상태에서 게이트로 작용하는 기관에 바이어스 전압을 0 V에서 20 V로 펄스를 가하여 드레인 전류의 시간적 변화를 측정하였다. 그림에서 RIE 식각으로 제조된 소자의 경우, 드레인 전류가 급격히 증가하여 1초 이내에 최대 값을 나타낸 후 약간의 감소 과정을 거쳐서 안정화되는 것을 볼 수 있다. 하지만 습식 식각으로 제조된 소자에서는 드레인 전류의 turn-on 시간이 10초 이



(a) 88 nm of silicon layer thickness



(b) 44 nm of silicon layer thickness

그림 5. 식각 공정 및 실리콘층 두께에 따른 트랜스컨덕턴스.

Fig. 5. The transconductance characteristics dependence on etching process with different silicon layer thickness.

상으로 과도현상이 길게 나타남을 관찰할 수 있다. 이러한 현상은 다음과 같이 설명이 가능하다.

Pseudo MOSFET의 경우에는 소스-드레인 접합이 없이 점-접촉으로만 소스-드레인을 구성하므로 게이트에 펄스가 인가된 후 채널 전하가 형성이 되기까지 일정한 시간 지연이 일어난다. 따라서 드레인 전류가 안정화되는데 일정한 시간이 걸린다. 하지만 건식 식각으로 제조된 경우에는 실리콘 island 형성 과정에서 노출된 실리콘 측벽이 손상을 받아서 소수 캐리어의 재결합-생성 중심 (generation-recombination center)으로 작용하여 채널 전하 형성 시간이 단축된 것으로 보인다. 이

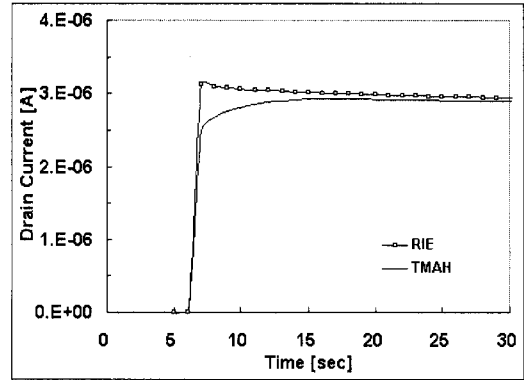


그림 6. 식각 공정에 따른 드레인 전류 과도현상.
Fig. 6. Drain current transient dependence on etching process.

상의 실험 결과에서 pseudo MOSFET 측정을 위한 실리콘 표면의 선택 식각 공정에서 일반적으로 행하여지는 건식 식각은 소자의 전기적 특성에 영향을 미치며 보다 정확한 특성 분석을 위하여 습식 식각법으로 대체되어야 한다는 것을 알 수 있다.

5. 결론

표면 실리콘층 두께 100 nm 이하의 nano SOI 웨이퍼 특성 분석에 Pseudo MOSFET 측정법을 적용하였다. 표면 실리콘층의 형성을 위한 선택 식각 공정 변화에 따른 소자의 전류-전압 특성과 드레인 전류 과도현상을 분석하였다. 그 결과 건식 식각으로 실리콘층을 식각한 경우 드레인 전류의 열화가 발생하여 소자의 턴온 전압 증가와 이동도의 감소가 나타나며 이러한 현상은 실리콘층의 두께가 얇을수록 심각하다는 것을 알았다. 또한 표면 실리콘층의 식각 공정이 드레인 전류의 과도현상에도 심각한 영향을 미친다는 것을 확인하였다. 따라서 nano SOI 웨이퍼 특성을 분석하기 위한 pseudo MOSFET 특성 측정에 있어서 표면 실리콘층의 선택 식각은 습식 식각법을 이용하여야 보다 정확한 특성 분석이 가능하다는 결론을 얻었다.

감사의 글

본 연구는 과학기술부의 21세기 프론티어 연구 개발사업으로 시행한 양성자기반 공학기술개발사업의 지원을 받았음.

참고 문헌

- [1] Y. H. Bae, K. W. Kwon, J. H. Lee, J. H. Lee, H. J. Woo, and S. Cristoloveanu, "Effects of etching processes on the properties of pseudo-MOSFETs for the UTSOI characterization", The 12th Proc. Int. Symp. Silicon-on-Insulator Technology and Devices, The Electrochemical Soc., p. 295, 2005.
- [2] Y. H. Bae, W. J. Zang, S. H. Hahm, J. H. Lee, and J. H. Lee, "Nano gap fabrication by thermal stress cleavage on SIMOX SOI for lateral FED application", The 10th Proc. Int. Symp. Silicon-on-Insulator Technology and Devices, The Electrochemical Soc., p. 445, 2001.
- [3] 장재원, 김 훈, 신경식, 김재경, 주병권, "SOI 웨이퍼를 이용한 top emission 방식 AMOLEDs의 스위칭 소자용 단결정 실리콘 트랜지스터", 전기전자재료학회논문지, 16권, 4호, p. 291, 2003.
- [4] 김종준, 정두연, 이종호, 오환술, "SOI NMOSFET을 이용한 photo detector의 특성", 전기전자재료학회논문지, 15권, 7호, p. 583, 2002.
- [5] S. Cristoloveanu., D. Munteanu., and M. S. T. Liu, "A review of the pseudo-MOS transistor in SOI wafers: operation, parameter extraction, and applications", IEEE Transactions on Electron Devices, Vol. 47, No. 5, p. 1018, 2000.
- [6] H. Hovel, "Si film electrical characterization in SOI substrates by the HgFET technique", Solid State Electronics, Vol. 47, No. 6, p. 1311, 2003.
- [7] J. Y. Choi and D. K. Schroder, "Mercury pseudo MOSFET (HgFET) drain current dependence on surface treatment", The 12th Proc. Int. Symp. Silicon-on-Insulator Technology and Devices, The Electrochemical Soc., p. 301, 2005.
- [8] N. Bresson and S. Cristoloveanu, "Innovating SOI films: impact of thickness and temperature", Microelectronic Engineering, Vol. 72, p. 357, 2004.
- [9] 권경옥, 이종현, 유인식, 우형주, 배영호, "Pseudo-MOSFET을 이용한 SOI wafer 특성 분석", 한국전기전자재료학회 2004추계학술대회논문집, p. 21, 2004.